

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-79069

(P2023-79069A)

(43)公開日 令和5年6月7日(2023.6.7)

(51)国際特許分類		F I		テーマコード(参考)	
G 0 9 G	3/3233(2016.01)	G 0 9 G	3/3233	3 K 1 0 7	
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20	6 1 1 A	5 C 0 8 0
G 0 9 G	3/30 (2006.01)	G 0 9 G	3/20	6 3 1 V	5 C 3 8 0
H 1 0 K	50/00 (2023.01)	G 0 9 G	3/20	6 1 2 U	
H 1 0 K	59/00 (2023.01)	G 0 9 G	3/20	6 3 2 Z	
		審査請求	未請求	請求項の数	13 O L (全28頁) 最終頁に続く

(21)出願番号	特願2021-192495(P2021-192495)	(71)出願人	514188173 株式会社 J O L E D 東京都千代田区神田錦町三丁目 2 3 番地
(22)出願日	令和3年11月26日(2021.11.26)	(74)代理人	100189430 弁理士 吉川 修一
		(74)代理人	100190805 弁理士 傍島 正朗
		(72)発明者	加藤 敏行 東京都千代田区神田錦町三丁目 2 3 番地 株式会社 J O L E D 内
		F ターム(参考)	3K107 AA01 AA05 BB01 CC14 HH03 HH04 5C080 AA06 BB05 CC03 DD25 DD26 EE28 FF11 FF12 JJ01 JJ02 JJ03 JJ04 最終頁に続く

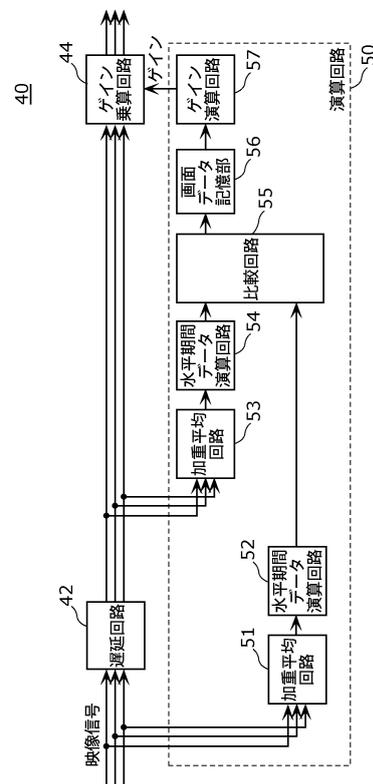
(54)【発明の名称】 電流制限回路、表示装置、及び、電流制限方法

(57)【要約】

【課題】映像信号が示す輝度が急激に増大する場合にも表示パネルの消費電力を抑制できる電流制限回路などを提供する。

【解決手段】電流制限回路40は、映像信号が入力され、映像信号を1フレームに相当する時間だけ遅延させた遅延信号を出力する遅延回路42と、映像信号が入力される演算回路50であって、遅延信号に対応する複数の画素での消費電力と、映像信号に対応する複数の画素での消費電力とに基づいて、遅延信号に乗算するゲインを演算する演算回路50と、遅延信号とゲインとを乗算するゲイン乗算回路44とを備える。

【選択図】図2



【特許請求の範囲】

【請求項 1】

複数の画素を有する表示パネル用の映像信号が入力され、前記複数の画素の消費電流を制限する電流制限回路であって、

前記映像信号が入力され、前記映像信号を 1 フレームに相当する時間だけ遅延させた遅延信号を出力する遅延回路と、

前記映像信号が入力される演算回路であって、前記遅延信号に対応する前記複数の画素での消費電力と、前記映像信号に対応する前記複数の画素での消費電力とに基づいて、前記遅延信号に乘算するゲインを演算する演算回路と、

前記遅延信号と前記ゲインとを乗算するゲイン乗算回路とを備える電流制限回路。

10

【請求項 2】

前記演算回路は、1 フレーム分の前記遅延信号及び 1 フレーム分の前記映像信号に含まれる 1 フレーム分の信号に対応する前記複数の画素での消費電力の予測値である画面電力値を演算する

請求項 1 に記載の電流制限回路。

【請求項 3】

前記演算回路は、少なくとも 1 水平期間分の前記遅延信号を含む第一信号に対応する前記複数の画素での消費電力である第一電力換算データと、前記第一信号の 1 フレーム後の少なくとも 1 水平期間分の前記映像信号を含む第二信号に対応する前記複数の画素での消費電力である第二電力換算データとが入力され、前記第一電力換算データ及び前記第二電力換算データのうち大きい方を出力する比較回路と、

20

1 フレーム分の前記比較回路の出力を積算することで前記画面電力値を演算し、前記画面電力値に基づいて前記ゲインを演算するゲイン演算回路とを有する

請求項 2 に記載の電流制限回路。

【請求項 4】

複数の画素を有する表示パネル用の映像信号が入力され、前記複数の画素の消費電流を制限する電流制限回路であって、

前記映像信号が入力され、前記映像信号を 1 フレームに相当する時間だけ遅延させた遅延信号を出力する遅延回路と、

30

前記映像信号が入力される演算回路であって、連続する 2 フレーム分の前記映像信号に対応する前記複数の画素での消費電力に基づいて、前記遅延信号に乘算するゲインを演算する演算回路と、

前記遅延信号と前記ゲインとを乗算するゲイン乗算回路とを備える電流制限回路。

【請求項 5】

前記演算回路は、複数の電力値を演算し、前記複数の電力値のうち最大の電力値である画面電力値に基づいて前記ゲインを演算し、

前記複数の電力値の各々は、連続する 2 フレーム分の前記映像信号に含まれる連続する 1 フレーム分の前記映像信号に対応する前記複数の画素の消費電力を示す

40

請求項 4 に記載の電流制限回路。

【請求項 6】

前記ゲインは、前記画面電力値が前記複数の画素の消費電力の制御目標上限値である制御目標電力値を超える場合には、1 未満である

請求項 2、3、5 のいずれか 1 項に記載の電流制限回路。

【請求項 7】

前記ゲインは、前記画面電力値が前記制御目標電力値を超える場合には、前記制御目標電力値を前記画面電力値で除した値以下の値である

請求項 6 に記載の電流制限回路。

【請求項 8】

50

前記演算回路は、前記ゲインを前記映像信号の垂直期間より短い周期毎に演算し、かつ、出力する

請求項 1 ~ 7 のいずれか 1 項に記載の電流制限回路。

【請求項 9】

前記映像信号は、RGB 信号を含む

請求項 1 ~ 8 のいずれか 1 項に記載の電流制限回路。

【請求項 10】

前記遅延信号に含まれる RGB 各々の信号の画素値の加重平均を演算する第一加重平均回路と、

前記映像信号に含まれる RGB 各々の信号の画素値の加重平均を演算する第二加重平均回路とをさらに備え、

前記第一加重平均回路と、前記第二加重平均回路とは集積されている

請求項 9 に記載の電流制限回路。

【請求項 11】

請求項 1 ~ 10 のいずれか 1 項に記載の電流制限回路と、

前記表示パネルとを備える

表示装置。

【請求項 12】

表示パネルが有する複数の画素の消費電流を制限する電流制限方法であって、

前記複数の画素を有する表示パネル用の映像信号を 1 フレームに相当する時間だけ遅延させた遅延信号を出力する遅延ステップと、

前記遅延信号に対応する前記複数の画素での消費電力と、前記映像信号に対応する前記複数の画素での消費電力とに基づいて、前記遅延信号に乗算するゲインを演算するゲイン演算ステップと、

前記遅延信号と前記ゲインとを乗算するゲイン乗算ステップとを含む電流制限方法。

【請求項 13】

表示パネルが有する複数の画素の消費電流を制限する電流制限方法であって、

前記複数の画素を有する表示パネル用の映像信号を 1 フレームに相当する時間だけ遅延させた遅延信号を出力する遅延ステップと、

連続する 2 フレーム分の前記映像信号に対応する前記複数の画素での消費電力に基づいて、前記遅延信号に乗算するゲインを演算するゲイン演算ステップと、

前記遅延信号と前記ゲインとを乗算するゲイン乗算ステップとを含む電流制限方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電流制限回路、表示装置、及び、電流制限方法に関する。

【背景技術】

【0002】

従来、有機 EL (Electro-Luminescence) 表示装置などの各画素が自発光素子を含む表示装置が開発されている。このような表示装置においては表示パネルの大型化が求められている。表示パネルの大型化に伴い、表示装置において消費される消費電力が増加する。そこで、表示装置における消費電力を抑制する技術が知られている (特許文献 1 参照)。特許文献 1 に開示された表示装置においては、映像信号に基づいて水平期間 (水平同期周期) 毎に表示パネルにおける消費電力を計算し、計算結果に基づいて表示パネルの各画素に供給する電流を制限することによって、表示パネルの消費電力を制御している。これにより、特許文献 1 に開示された表示装置においては、表示パネルにおける消費電力を制御目標電力値以下に抑制しようとしている。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0003】

【特許文献1】特開2007-212644号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1に開示された表示装置においては、例えば、全黒表示から全白表示に切り替わる場合のように、映像信号が示す輝度が急激に上昇する場合などに、表示パネルの消費電力が制御目標電力値を超え得る。

【0005】

本開示は、上記の課題に鑑みてなされたものであり、映像信号が示す輝度が急激に増大する場合にも表示パネルの消費電力を抑制できる電流制限回路などを提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本開示の一態様に係る電流制限回路は、複数の画素を有する表示パネル用の映像信号が入力され、前記複数の画素の消費電流を制限する電流制限回路であって、前記映像信号が入力され、前記映像信号を1フレームに相当する時間だけ遅延させた遅延信号を出力する遅延回路と、前記映像信号が入力される演算回路であって、前記遅延信号に対応する前記複数の画素での消費電力と、前記映像信号に対応する前記複数の画素での消費電力とに基づいて、前記遅延信号に乗算するゲインを演算する演算回路と、前記遅延信号と前記ゲインとを乗算するゲイン乗算回路とを備える。

【0007】

また、上記目的を達成するために、本開示の一態様に係る電流制限回路は、複数の画素を有する表示パネル用の映像信号が入力され、前記複数の画素の消費電流を制限する電流制限回路であって、前記映像信号が入力され、前記映像信号を1フレームに相当する時間だけ遅延させた遅延信号を出力する遅延回路と、前記映像信号が入力される演算回路であって、連続する2フレーム分の前記映像信号に対応する前記複数の画素での消費電力に基づいて、前記遅延信号に乗算するゲインを演算する演算回路と、前記遅延信号と前記ゲインとを乗算するゲイン乗算回路とを備える。

【0008】

また、上記目的を達成するために、本開示の一態様に係る表示装置は、前記電流制限回路と、前記表示パネルとを備える。

【0009】

また、上記目的を達成するために、本開示の一態様に係る電流制限方法は、表示パネルが有する複数の画素の消費電流を制限する電流制限方法であって、前記複数の画素を有する表示パネル用の映像信号を1フレームに相当する時間だけ遅延させた遅延信号を出力する遅延ステップと、前記遅延信号に対応する前記複数の画素での消費電力と、前記映像信号に対応する前記複数の画素での消費電力とに基づいて、前記遅延信号に乗算するゲインを演算するゲイン演算ステップと、前記遅延信号と前記ゲインとを乗算するゲイン乗算ステップとを含む。

【0010】

また、上記目的を達成するために、本開示の一態様に係る電流制限方法は、表示パネルが有する複数の画素の消費電流を制限する電流制限方法であって、前記複数の画素を有する表示パネル用の映像信号を1フレームに相当する時間だけ遅延させた遅延信号を出力する遅延ステップと、連続する2フレーム分の前記映像信号に対応する前記複数の画素での消費電力に基づいて、前記遅延信号に乗算するゲインを演算するゲイン演算ステップと、前記遅延信号と前記ゲインとを乗算するゲイン乗算ステップとを含む。

【発明の効果】

【0011】

10

20

30

40

50

本開示によれば、映像信号が示す輝度が急激に増大する場合にも表示パネルの消費電力を抑制できる電流制限回路などを提供できる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】図 1 は、実施の形態 1 に係る表示装置の構成を示すブロック図である。

【図 2】図 2 は、実施の形態 1 に係る電流制限回路の機能構成を示すブロック図である。

【図 3】図 3 は、実施の形態 1 に係る電流制限回路の集積態様の一例を示すブロック図である。

【図 4】図 4 は、実施の形態 1 に係る電流制限回路が有する加重平均回路の機能構成を示すブロック図である。

10

【図 5】図 5 は、実施の形態 1 に係る電流制限回路が有するゲイン乗算回路の機能構成を示すブロック図である。

【図 6】図 6 は、実施の形態 1 に係る表示装置が備える表示パネルの機能構成を示すブロック図である。

【図 7】図 7 は、実施の形態 1 に係る画素を構成するサブ画素の構成の一例を示す回路図である。

【図 8】図 8 は、実施の形態 1 に係るサブ画素に入力される書き込み信号の一例を示す図である。

【図 9】図 9 は、実施の形態 1 に係る表示部の表示状態の遷移を示す模式図である。

【図 10】図 10 は、実施の形態 1 に係る電流制限方法の流れを示すフローチャートである。

20

【図 11】図 11 は、実施の形態 1 に係る画面データ記憶部の構成を示す模式図である。

【図 12】図 12 は、実施の形態 1 に係るゲイン演算回路におけるゲイン演算方法を示すフローチャートである。

【図 13】図 13 は、比較例 2 に係る表示装置が備える電流制限回路の機能構成を示すブロック図である。

【図 14】図 14 は、比較例 1、比較例 2、及び実施の形態 1 に係る各表示装置において全黒表示から全白表示に変化させる際の複数の画素での消費電力の時間波形を示すグラフである。

【図 15】図 15 は、比較例 1、比較例 2、及び実施の形態 1 に係る各表示装置において全黒表示から全白表示に変化させる際のゲインの時間波形を示すグラフである。

30

【図 16】図 16 は、実施の形態 2 に係る電流制限回路の機能構成及び集積態様を示すブロック図である。

【図 17】図 17 は、実施の形態 3 に係る電流制限回路の機能構成を示すブロック図である。

【図 18】図 18 は、実施の形態 3 に係る画面電力値の演算方法の一例を示す図である。

【図 19】図 19 は、実施の形態 3 に係る画面電力値の演算方法の他の一例を示す図である。

【図 20】図 20 は、比較例 1、実施の形態 1、及び実施の形態 3 に係る各表示装置において全黒表示から、縞状の白表示及び黒表示に変化させ、さらに、縞状の白表示及び黒表示をそれぞれ黒表示及び白表示に反転させた際の複数の画素での消費電力の時間波形を示すグラフである。

40

【図 21】図 21 は、比較例 1、実施の形態 1、及び実施の形態 3 に係る各表示装置において全黒表示から、縞状の白表示及び黒表示に変化させ、さらに、縞状の白表示及び黒表示をそれぞれ黒表示及び白表示に反転させた際のゲインの時間波形を示すグラフである。

【図 22】図 22 は、変形例に係る電流制限回路と表示装置との関係を示すブロック図である。

【図 23】図 23 は、変形例に係る電流制限回路を内蔵した P C の外觀図である。

【図 24】図 24 は、変形例に係る電流制限回路を内蔵したハードディスクレコーダの外觀図である。

50

【図 25】図 25 は、各実施の形態に係る表示装置を内蔵した薄型フラット TV の外観図である。

【発明を実施するための形態】

【0013】

以下、本開示の実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示における一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程、並びに、工程の順序などは、一例であって本開示を限定する主旨ではない。

【0014】

なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【0015】

(実施の形態 1)

実施の形態 1 に係る電流制限回路、表示装置、及び電流制限方法について説明する。

【0016】

[1-1. 表示装置の全体構成]

実施の形態に係る表示装置の全体構成について図 1 ~ 図 6 を用いて説明する。

【0017】

図 1 は、本実施の形態に係る表示装置 10 の構成を示すブロック図である。図 2 は、本実施の形態に係る電流制限回路 40 の機能構成を示すブロック図である。図 3 は、本実施の形態に係る電流制限回路 40 の集積態様の一例を示すブロック図である。図 4 及び図 5 は、それぞれ、本実施の形態に係る電流制限回路 40 が有する加重平均回路 51 及びゲイン乗算回路 44 の機能構成を示すブロック図である。図 6 は、本実施の形態に係る表示装置 10 が備える表示パネル 60 の機能構成を示すブロック図である。

【0018】

図 1 に示されるように、表示装置 10 は、電流制限回路 40 と、表示パネル 60 とを備える。

【0019】

表示パネル 60 は、各々が自発光素子を含む複数の画素を有し、映像信号に対応する画像を表示するパネルである。図 6 に示されるように、表示パネル 60 は、表示部 70 と、書き込み処理部 62 と、ソースドライバ 68 と、書き込み用シフトレジスタ 64 とを有する。表示部 70 は、マトリクス状に配置された複数の画素を有し、映像信号に対応する画像を表示する。書き込み処理部 62 は、表示データを表示部 70 に書き込むための制御信号とデータ信号を出力する。書き込み処理部 62 は、いわゆる TCON (Timing - Controller) チップに含まれる回路である。ソースドライバ 68 は、表示部 70 に対してデータ信号を出力する。書き込み用シフトレジスタ 64 は、データ信号を表示部 70 に書き込むための制御信号である書き込み信号を表示部 70 に出力する。

【0020】

電流制限回路 40 は、複数の画素を有する表示パネル 60 用の映像信号が入力され、複数の画素の消費電流を制限することで、表示パネル 60 の消費電力を抑制する回路である。本実施の形態では、電流制限回路 40 は、表示パネル 60 の消費電力に相当する複数の画素に供給される電力値が制御目標電力値を超えた場合に、複数の画素に供給される電流を制限する。電流制限回路 40 は、映像信号に含まれる画素値に 1 以下のゲインを乗算することにより、映像信号の画素値を低減し、低減された画素値を含む映像信号を表示パネル 60 に出力することにより、複数の画素の消費電流を制限する。電流制限回路 40 は、図 2 に示されるように、遅延回路 42 と、ゲイン乗算回路 44 と、演算回路 50 とを有する。

【0021】

電流制限回路 40 は、例えば、集積回路として実現される。電流制限回路 40 は、表示

パネル 60 に含まれる書き込み処理部 62 などと併せて TCON チップの一部として集積されてもよいし、単独の集積回路であってもよい。また、電流制限回路 40 の集積態様は、これらに限定されない。例えば、図 3 に示されるように、電流制限回路 40 は、フロントエンド回路部 31 と、制御回路部 32 との二つの集積回路部を有してもよい。フロントエンド回路部 31 は、遅延回路 42 を有する。制御回路部 32 は、電流制限回路 40 のうち、遅延回路 42 以外の構成要素を有する。図 3 に示される例では、制御回路部 32 は、TCON チップの一部として集積されてもよく、フロントエンド回路部 31 は、TCON チップ以外の集積回路として集積されてもよい。なお、電流制限回路 40 は、集積回路以外の電気回路などを用いて実現されてもよい。

【0022】

遅延回路 42 は、映像信号が入力され、映像信号を 1 フレームに相当する時間だけ遅延させた遅延信号を出力する回路である。1 フレームに相当する時間は、表示パネル 60 の垂直期間（垂直同期周期）に相当する。1 フレームに相当する時間のことを以下では 1 フレーム時間とも称する。

【0023】

演算回路 50 は、映像信号が入力され、遅延信号に乗算するゲインを演算する回路である。演算回路 50 は、遅延信号に対応する複数の画素での消費電力と、映像信号に対応する複数の画素での消費電力とに基づいて、遅延信号に乗算するゲインを演算する。本実施の形態では、演算回路 50 は、1 フレーム分の遅延信号及び 1 フレーム分の映像信号に含まれる 1 フレーム分の信号に対応する複数の画素での消費電力の予測値である画面電力値を演算する。演算回路 50 は、画面電力値が、複数の画素の消費電力の制御目標上限値である制御目標電力値を超える場合に、ゲインを 1 未満の値に設定する。演算回路 50 は、画面電力値が、複数の画素の消費電力の制御目標上限値である制御目標電力値を超える場合に、制御目標電力値を画面電力値で除した値を演算し、ゲインを、当該値以下の値に設定し、画面電力値が、制御目標電力値を超えない場合に、ゲインを 1 に設定する。演算回路 50 は、ゲインを映像信号の垂直期間より短い周期毎に演算し、かつ、出力する。本実施の形態では、演算回路 50 は、ゲインを水平期間毎に演算し、かつ、出力する。演算回路 50 は、加重平均回路 51 及び 53 と、水平期間データ演算回路 52 及び 54 と、比較回路 55 と、画面データ記憶部 56 と、ゲイン演算回路 57 とを有する。

【0024】

加重平均回路 51 及び 53 は、映像信号に含まれる画素値の加重平均を演算する回路である。本実施の形態では、映像信号（及び遅延信号）は、RGB 信号を含む。加重平均回路 53 は、遅延信号に含まれる RGB 各々の信号の画素値の加重平均を演算する第一加重平均回路の一例である。加重平均回路 51 は、映像信号に含まれる RGB 各々の信号の画素値の加重平均を演算する第二加重平均回路の一例である。図 4 に示されるように、加重平均回路 51 は、RGB 各々の表示データに対して、表示部 70 の RGB 画素別の電力消費特性に応じた重み係数（R 信号重み係数、G 信号重み係数、及び B 信号重み係数）を乗算し、それらの和を演算する。加重平均回路 53 も、加重平均回路 51 と同様の回路構成を有する。加重平均回路 51 には、映像信号が入力され、加重平均回路 53 には、遅延回路 42 から出力された遅延信号が入力される。

【0025】

水平期間データ演算回路 52 及び 54 は、水平期間毎に表示データに対応する水平期間電力換算データを演算する。本実施の形態では、水平期間データ演算回路 52 及び 54 は、それぞれ、加重平均回路 51 及び 53 が出力した加重平均の水平期間における積算値、又は、平均値を水平期間電力換算データ（レベル積算値）として演算する。

【0026】

比較回路 55 は、遅延回路 42 から出力された遅延信号に基づいて演算された電力換算データと、遅延信号の次のフレームの映像信号に基づいて演算された電力換算データとを比較して、大きい方の電力換算データを出力する回路である。より具体的には、比較回路 55 は、少なくとも 1 水平期間分の遅延信号を含む第一信号に対応する複数の画素での消

10

20

30

40

50

費電力である第一電力換算データと、第一信号の1フレーム後の少なくとも1水平期間分の映像信号を含む第二信号に対応する複数の画素での消費電力である第二電力換算データとが入力され、第一電力換算データ及び第二電力換算データのうち大きい方を出力する。本実施の形態では、第一信号は、1水平期間分の遅延信号を含み、第二信号は、第一信号の1フレーム後の1水平期間分の映像信号を含む。なお、第一信号及び第二信号は、それぞれ、2水平期間分以上の遅延信号、及び、2水平期間分以上の映像信号を含んでもよい。また、第一電力換算データは、第一信号に基づいて水平期間データ演算回路54によって演算された電力換算データであり、第二電力換算データは、第二信号に基づいて水平期間データ演算回路52によって演算された電力換算データである。

【0027】

画面データ記憶部56は、少なくとも1フレーム分の電力換算データを記憶する。本実施の形態では、画面データ記憶部56には、比較回路55が出力する電力換算データが入力され、画面データ記憶部56は、1フレーム分の電力換算データを記憶する。

【0028】

ゲイン演算回路57は、画面データ記憶部56が記憶する電力換算データと、制御目標電力値とに基づいて、遅延信号に乗算するゲインを演算する。本実施の形態では、ゲイン演算回路57は、画面データ記憶部56が記憶する電力換算データに基づいて、複数の画素における1フレーム分の消費電力である画面電力値を演算する。本実施の形態では、ゲイン演算回路57は、画面データ記憶部56に記憶された水平ライン数の水平期間電力換算データの和を画面電力値として演算する。言い換えると、ゲイン演算回路57は、1フレーム分の比較回路55の出力を積算することで画面電力値を演算し、当該画面電力値に基づいてゲインを演算する。

【0029】

ゲイン演算回路57が演算するゲインは、画面電力値が制御目標電力値を超える場合には、1未満である。より具体的には、ゲイン演算回路57が演算するゲインは、画面電力値が制御目標電力値を超える場合には、制御目標電力値を画面電力値で除した値以下の値である。本実施の形態では、ゲインは、画面電力値が制御目標電力値を超える場合には、制御目標電力値を画面電力値で除した値である。ゲイン演算回路57は、画面電力値が制御目標電力値を超えない場合に、ゲインを1に設定する。本実施の形態では、ゲイン演算回路57は、画面電力値が制御目標電力値を超える場合には、制御目標電力値を画面電力値で除することでゲインを演算する。なお、ゲインの設定方法は、これに限定されない。例えば、ゲイン演算回路57は、画面電力値に対応する値と、ゲインとの関係を示すルックアップテーブルを有し、当該ルックアップテーブルに基づいて、画面電力値に対応するゲインを設定してもよい。

【0030】

ゲイン乗算回路44は、遅延信号にゲインを乗算する回路である。ゲイン乗算回路44は、映像信号に、ゲイン演算回路57で演算されたゲインを乗算する。本実施の形態では、図5に示されるように、遅延信号に含まれるRGBの各信号にゲインを乗算する。これにより、画面電力値が制御目標電力値を超える場合に、遅延信号に1未満のゲインが乗算されるため、遅延信号の輝度を低減できる。したがって、表示パネル60の複数の画素に供給される電流が制限される。

【0031】

表示パネル60が有する複数の画素について、図7を用いて説明する。図7は、本実施の形態に係る画素を構成するサブ画素の構成の一例を示す回路図である。図7には、自発光素子として有機EL素子を用いるサブ画素が示されている。本実施の形態に係る画素は、RGBの三色にそれぞれ対応する三つのサブ画素を含む。図7に示されるサブ画素は、赤色(R)の光を出射するためのサブ画素である。なお、緑色及び青色の光を出射するためのサブ画素も、図7に示される回路と同様の回路構成を有する。

【0032】

サブ画素は、図7に示されるように、TFT (Thin Film Transist

10

20

30

40

50

or、薄膜トランジスタ) 81と、コンデンサ84と、TFT82と、自発光素子85rとを有する。

【0033】

TFT81は、ソースドライバ68の出力信号であるデータ信号が一端に入力される。コンデンサ84は、TFT81に接続される。TFT82は、TFT81とコンデンサ84との接続点に制御端子が接続されている。自発光素子85rは、TFT82に接続される。

【0034】

TFT81は、書き込み用シフトレジスタ64の出力する制御信号である書き込み信号に基づいてオン/オフを切り替える。1水平期間内に書き込み信号によりTFT81がオンすると、画素に書き込む信号レベルに応じたソースドライバ出力信号であるデータ信号がコンデンサ84に保持される。

【0035】

書き込み信号がオフになった後、コンデンサ84に保持された電圧に応じた電流がTFT82に流れ、自発光素子85rは点灯する。

【0036】

[1 - 2 . 電流制限回路の動作及び電流制限方法]

電流制限回路40の動作及び電流制限方法について説明する。

【0037】

まず、電流制限回路40の動作などの説明に先立って、図7に示されるサブ画素に入力される信号について図8を用いて説明する。図8は、本実施の形態に係るサブ画素に入力される書き込み信号の一例を示す図である。表示装置10は、ソースドライバ68が水平期間毎に出力するデータ信号を、書き込み信号により表示部70に書き込み、水平ライン(以下、単に「ライン」ともいう。)単位の発光を行う。表示装置10は、このような動作を垂直期間毎に繰り返す。

【0038】

次に、表示部70の表示状態の遷移について図9を用いて説明する。図9は、本実施の形態に係る表示部70の表示状態の遷移を示す模式図である。図9において、表示画面は、時点T1から時点T2、時点T2から時点T3の表示へと移行する。図9に示される第mフレームの終わりに相当する時点T1においては第mフレームの画面が表示されている。ここで、データ信号を各画素に書き込むための制御信号である書き込み信号を出力する書き込み用シフトレジスタ64は、表示部70の表示エリアの先頭を起点に画面の上から下へと走査するように書き込み信号を出力する。このため、第mフレームの次のフレームである第nフレーム(つまり、第m+1フレーム)の中間に相当する時点T2では、画面の上半分が第nフレームの画面となり、下半分は第mフレームの画面のままとなる。第nフレームの終わりに相当する時点T3になると、表示エリアの下まで走査され、全画面第nフレームの画面となる。

【0039】

次に、本実施の形態に係る電流制限回路40の動作及び電流制限方法について図10を用いて説明する。図10は、本実施の形態に係る電流制限方法の流れを示すフローチャートである。

【0040】

図10に示されるように、まず、電流制限回路40の遅延回路42は、映像信号を1フレーム時間だけ遅延させる(遅延ステップS1)。

【0041】

続いて、電流制限回路40のゲイン演算回路57は、遅延信号に乗算するゲインを演算する(ゲイン演算ステップS2)。以下、ゲイン演算ステップS2について説明する。

【0042】

ゲイン演算回路57がゲインの演算において用いる電力換算データを記憶する画面データ記憶部56の構成について図11を用いて説明する。図11は、本実施の形態に係る画

10

20

30

40

50

面データ記憶部 56 の構成を示す模式図である。図 11 に示されるように、画面データ記憶部 56 は、比較回路 55 から出力された電力換算データを記憶する。本実施の形態では、比較回路 55 には、第一電力換算データとして、現フレームの第 i ラインの水平期間電力換算データが、水平期間データ演算回路 54 から入力される（図 2 参照）。ここで、現フレームの映像信号は、図 2 に示される遅延回路 42 から出力されて加重平均回路 53 に入力される遅延信号に相当する。また、比較回路 55 には、第二電力換算データとして、現フレームの次のフレームの第 i ラインの水平期間電力換算データが、水平期間データ演算回路 52 から入力される（図 2 参照）。ここで、次のフレームの映像信号は、図 2 に示される加重平均回路 51 に入力される映像信号に相当する。比較回路 55 は、第一電力換算データ及び第二電力換算データのうち大きい方を画面データ記憶部 56 に出力する。

10

【 0043 】

比較回路 55 から出力された第一電力換算データ及び第二電力換算データのうち大きい方の電力換算データは、第 i ラインの電力値として画面データ記憶部 56 に記憶される。次のフレームの書き替えが始まると、画面データ記憶部 56 は、記憶する電力値を、第 1 ラインから順に新たに書き替える。

【 0044 】

次に、ゲイン演算回路 57 における演算処理について、図 12 を用いて説明する。図 12 は、本実施の形態に係るゲイン演算回路 57 におけるゲイン演算方法を示すフローチャートである。

【 0045 】

図 12 に示されるように、まず、ゲイン演算回路 57 は、画面データ記憶部 56 が記憶する水平期間電力換算データに基づいて画面電力値を演算する（S11）。具体的には、画面データ記憶部 56 に記憶された水平ライン数の水平期間電力換算データの和を画面電力値として演算する。

20

【 0046 】

続いて、ゲイン演算回路 57 は、演算した画面電力値が予め定められた制御目標電力値を超えているかどうか判断する（S12）。画面電力値が制御目標電力値を超えていなければ、ゲインを 1 に設定する（S13）。画面電力値が制御目標電力値を超えていれば、画面電力値に対する制御目標電力値の比を 1 未満のゲインとして演算する（S14）。

【 0047 】

以上のように、ゲインが演算される。

30

【 0048 】

続いて、図 10 に戻り、電流制限回路 40 のゲイン乗算回路 44 は、遅延信号と、ゲインとを乗算する（S3）。ゲイン乗算回路 44 は、遅延回路 42 から入力された遅延信号と、ゲイン演算回路 57 から入力されたゲインとを乗算する。本実施の形態では、ゲイン乗算回路 44 は、映像信号に含まれる R 信号、G 信号、及び B 信号の各々にゲインを乗算する。このようにゲイン乗算回路 44 が、ゲインを遅延信号に乗算することで、画面電力値が制御目標電力値を超えている場合に、表示部 70 の複数の画素に供給される電流が制限される。

【 0049 】**[1 - 3 . 効果]**

本実施の形態に係る表示装置 10 の効果について、比較例に係る表示装置と比較しながら説明する。ここでは、比較例 1 に係る表示装置として、電流制限回路を備えない点において、本実施の形態に係る表示装置 10 と相違し、その他の点において一致する表示装置を用いる。また、比較例 2 に係る表示装置として、従来技術の電流制限回路を備える点において、本実施の形態に係る表示装置 10 と相違し、その他の点において一致する表示装置を用いる。比較例 2 に係る表示装置が備える電流制限回路について図 13 を用いて説明する。図 13 は、比較例 2 に係る表示装置が備える電流制限回路 940 の機能構成を示すブロック図である。図 13 に示されるように、比較例 2 に係る電流制限回路 940 は、加重平均回路 51 と、水平期間データ演算回路 52 と、画面データ記憶部 56 と、ゲイン演

40

50

算回路 5 7 と、ゲイン乗算回路 4 4 とを備える。比較例 2 の電流制限回路 9 4 0 の加重平均回路 5 1、水平期間データ演算回路 5 2、画面データ記憶部 5 6、ゲイン演算回路 5 7、及び、ゲイン乗算回路 4 4 は、それぞれ、本実施の形態に係る電流制限回路 4 0 の加重平均回路 5 1、水平期間データ演算回路 5 2、画面データ記憶部 5 6、ゲイン演算回路 5 7、及び、ゲイン乗算回路 4 4 と同様の構成を有する。

【 0 0 5 0 】

表示部 7 0 の複数の画素の消費電力及び演算回路 5 0 が演算するゲインについて、それぞれ、図 1 4 及び図 1 5 を用いて説明する。図 1 4 は、比較例 1、比較例 2、及び本実施の形態に係る各表示装置において全黒表示から全白表示に変化させる際の複数の画素での消費電力の時間波形を示すグラフである。図 1 4 に示される例では、表示部 7 0 を全黒表示から全白表示（つまり、最大輝度での全画素白表示）に変化させた後、全白表示に維持される。図 1 4 には、各時点において、比較例 2 に係る表示部 7 0 に表示される画像（ a ）～（ d ）、及び、本実施の形態に係る表示部 7 0 に表示される画像（ e ）～（ h ）が併せて示されている。図 1 5 は、比較例 1、比較例 2、及び本実施の形態に係る各表示装置において全黒表示から全白表示に変化させる際のゲインの時間波形を示すグラフである。

10

【 0 0 5 1 】

図 1 4 の画像（ a ）及び（ e ）に示されるように、図 1 4 のグラフの時刻 $t = 1.0$ [フレーム時間] においては、各表示装置の表示部 7 0 は、いずれも全黒表示状態である。この場合、表示部 7 0 の複数の画素に供給される電流はほぼゼロである。続いて、全白表示を示す映像信号が各表示装置に入力された場合、表示部 7 0 の水平期間毎に、表示部 7 0 の上端のラインから順に、黒表示から白表示に切り替えられる。ここで、比較例 1 に係る表示装置においては、すべてのラインにおいて表示装置に入力される映像信号どおりに白表示に切り替えられる。つまり、図 1 5 に示されるように、比較例 1 に係る表示装置は、映像信号に乗算されるゲインが常に 1 である表示装置に相当する。

20

【 0 0 5 2 】

比較例 1 に係る表示装置においては、時刻 $t = 1.0$ 以降に表示部 7 0 の上端のラインから順に黒表示から最大輝度での白表示に切り替えられる。これに伴い、図 1 4 のグラフに示されるように、消費電力は、0 % から徐々に上昇し、時刻 $t = 2.0$ において、100 % となる。

【 0 0 5 3 】

比較例 2 に係る表示装置においては、時刻 $t = 1.0$ 以降に表示部 7 0 の上端のラインから順に黒表示から白表示に切り替えられる際に、上端付近のラインにおいては、映像信号どおりに最大輝度での白表示に切り替えられる。この場合、図 1 4 のグラフに示されるように、白表示への切り替えの途中で、消費電力が制御目標電力値を超える（図 1 4 のグラフの時刻 $t = 1.4$ 付近参照）。図 1 4 に示される例では、制御目標電力値は、全画面において最大輝度で白表示を行った場合の消費電力の 40 % である。このように複数の画素の消費電力が制御目標電力値を超える場合、図 1 5 に示されるように、比較例 2 に係る電流制限回路 9 4 0 は、映像信号に 1 未満のゲインを乗算する。これにより、複数の画素に供給される電流が制限される。

30

【 0 0 5 4 】

例えば、図 1 4 の時刻 $t = 1.5$ においては、表示部 7 0 の上側の半分の領域に配置されたラインが黒表示から白表示に切り替えられる。比較例 2 に係る表示装置において、この状態では、図 1 4 の画像（ b ）に示されるように、電流制限回路によって映像信号の輝度が低減されるため、上端のラインから下方のラインに近づくにしたがって、白表示の輝度が低下する。具体的には、表示部 7 0 の上端のラインは、映像信号どおりに白表示されるが、図 1 1 の画像（ b ）において白表示されているラインのうち最も下方に配置されているライン（つまり、表示部 7 0 の上下方向の中央に位置するライン）は、映像信号が示す輝度より低い輝度で白表示（つまりグレー表示）される。その後、表示部 7 0 の下半分のラインに配置された画素も、映像信号が示す輝度より低い輝度で白表示される。これにより、時刻 $t = 2.0$ では、図 1 4 の画像（ c ）に示されるように、表示部 7 0 は、表示

40

50

部 70 の下端に近づくほど輝度が低下する全白表示となる。時刻 $t = 2.0$ では、表示部 70 の上端に付近のラインにおいて、映像信号どおりの輝度で白表示されるため、複数の画素の消費電力は、制御目標電力値を大幅に超える。

【0055】

時刻 $t = 2.0$ から 1 フレーム時間の間も電流制限回路 40 によって複数の画素に供給される電流が制限される。これにより、時刻 $t = 2.0$ から 1 垂直周期経過後の時刻 $t = 3.0$ では、すべてのラインが、映像信号が示す輝度より低い輝度で全白表示される。これにより、時刻 $t = 3.0$ 以降において複数の画素の消費電力は、制御目標電力値以下に制限される。

【0056】

以上のように比較例 2 に係る表示装置では、複数の画素の消費電力が一時的に大幅に制御目標電力値を超え得る。

【0057】

次に、本実施の形態に係る表示装置 10 の表示部 70 は、図 14 の画像 (e) に示されるように、図 14 のグラフの時刻 $t = 1.0$ においては、全黒表示状態である。表示パネル 60 に入力される 1 フレーム分の遅延信号が全黒表示を示す場合に表示部 70 は全黒表示となる。全黒表示を示す 1 フレーム分の遅延信号に続く 1 フレーム分の映像信号が全白表示を示す場合、図 2 に示される電流制限回路 40 の比較回路 55 には、全黒表示を示す 1 フレーム分の遅延信号に対応する第 1 電力換算データと、全白表示を示す 1 フレーム分の映像信号に対応する第 2 電力換算データとが入力される。この場合、第 2 電力換算データの方が第 1 電力換算データより大きいため、比較回路 55 は、第 2 電力換算データを画面データ記憶部 56 に出力する。このため、全黒表示から全白表示への切り替えが始まる時刻 $t = 1.0$ において、画面データ記憶部 56 の各ライン電力には、全白表示に対応する電力が入力されている。これに伴い、ゲイン演算回路 57 は、画面電力値として全白表示に対応する電力値を演算し、当該画面電力値に対応するゲインを演算する。図 14 に示される例では、ゲイン演算回路 57 は、ゲインを $40\% / 100\% = 0.4$ と演算する。したがって、図 15 に示されるように、時刻 $t = 1.0$ 以降では、ゲイン乗算回路 44 において、全白表示を示す 1 フレーム分の遅延信号に含まれる RGB 信号にゲインとして 0.4 が乗算される。これにより、図 14 の画像 (f) に示されるように、時刻 $t = 1.0$ 以降に、表示部 70 の上端のラインから、全白表示に対応する輝度より低い輝度での白表示に切り替えられる。なお、図 15 に示されるように、表示部 70 の上端のラインから順に黒表示から白表示への切り替えが始まる時刻 ($t = 1.0$) より前の時刻 ($t = 0.4$ 程度) にゲインは 1 未満となり、それ以降、時刻 $t = 1.0$ までゲインは徐々に減少する。

【0058】

時刻 $t = 2.0$ 以降では、図 14 の画像 (g) 及び (h) に示されるように、表示部 70 の全体が低い輝度での白表示に切り替えられる。したがって、常に複数の画素の消費電力は、制御目標電力値以下に制限される。

【0059】

以上のように、本実施の形態に係る表示装置 10 及び電流制限方法では、遅延信号に対応する複数の画素での消費電力と、映像信号に対応する複数の画素での消費電力とに基づいて、遅延信号に乗算するゲインを演算する。これにより、本実施の形態に係る表示装置 10 及び電流制限方法では、各比較例に係る表示装置より、映像信号が示す輝度が急激に増大する場合にも表示パネル 60 の消費電力 (つまり、電流) を抑制できる。また、表示装置 10 では、表示パネル 60 の複数の画素の消費電力を制御目標電力値以下に抑制できる。

【0060】

(実施の形態 2)

実施の形態 2 に係る電流制限回路などについて説明する。本実施の形態に係る電流制限回路は、第二電力換算データの演算に係る構成において、実施の形態 1 に係る電流制限回

10

20

30

40

50

路 40 と相違する。以下、本実施の形態に係る電流制限回路について、実施の形態 1 に係る電流制限回路 40 との相違点を中心に図 16 を用いて説明する。

【0061】

図 16 は、本実施の形態に係る電流制限回路 140 の機能構成及び集積態様を示すブロック図である。図 16 に示されるように、電流制限回路 140 は、遅延回路 42 と、ゲイン乗算回路 44 と、演算回路 150 とを有する。演算回路 150 は、加重平均回路 151 及び 53 と、水平期間データ演算回路 152 r、152 g、152 b、及び 54 と、比較回路 55 と、画面データ記憶部 56 と、ゲイン演算回路 57 とを有する。

【0062】

水平期間データ演算回路 152 r、152 g、及び 152 b は、水平期間毎に表示データに対応する水平期間電力換算データを演算する。水平期間データ演算回路 152 r、152 g、及び 152 b は、それぞれ、映像信号に含まれる R 信号、G 信号、及び B 信号の水平期間における積算値、又は、平均値を演算する。本実施の形態では、水平期間データ演算回路 152 r、152 g、及び 152 b は、それぞれ、重み係数を乗算されていない R 信号、G 信号、及び B 信号に基づいて演算を行う。

【0063】

加重平均回路 151 は、映像信号に含まれる画素値の加重平均を演算する回路である。本実施の形態では、加重平均回路 151 は、水平期間データ演算回路 152 r、152 g、及び 152 b から入力された RGB 各々の信号の画素値の積算値の加重平均を演算し、第二電力換算データとして比較回路 55 へ出力する。

【0064】

以上のように、本実施の形態に係る電流制限回路 140 においては、第二電力換算データの演算において、水平期間データの積算と、加重平均との演算の順序が、実施の形態 1 に係る電流制限回路 40 と異なる。このような電流制限回路 140 においても、加重平均回路 151 及び 53 で用いられる重み係数が定数である場合（言い換えると、重み係数が画素値などに応じて変化する関数でない場合）には、実施の形態 1 に係る電流制限回路 40 と同様の効果が奏される。

【0065】

また、図 16 に示されるように、電流制限回路 140 は、フロントエンド回路部 131 と、制御回路部 132 との二つの集積回路部を有する。フロントエンド回路部 131 は、遅延回路 42 と、水平期間データ演算回路 152 r、152 g、及び 152 b とを有する。制御回路部 132 は、加重平均回路 151 及び 53 と、水平期間データ演算回路 54 と、比較回路 55 と、画面データ記憶部 56 と、ゲイン演算回路 57 と、ゲイン乗算回路 44 とを有する。

【0066】

このように、フロントエンド回路部 131 が、遅延回路 42 と、水平期間データ演算回路 152 r、152 g、及び 152 b とを有することで、制御回路部 132 の回路構成を簡素化することができる。特に、制御回路部 132 が TCON チップに含まれる場合には、TCON チップの構成を簡素化することができる。

【0067】

また、制御回路部 132 において、加重平均回路 151 と加重平均回路 53 とが集積されていることで、加重平均回路 151 と加重平均回路 53 とで重み係数を共有することができる。したがって、電流制限回路 140 に必要な記憶容量を削減することができる。

【0068】

なお、電流制限回路 140 の集積態様は、図 16 に示される態様に限定されない。例えば、加重平均回路 151 及び 53 は、フロントエンド回路部 131 に集積されてもよい。

【0069】

（実施の形態 3）

実施の形態 3 に係る電流制限回路などについて説明する。本実施の形態に係る電流制限回路は、演算回路の構成において実施の形態 1 に係る電流制限回路 40 と相違する。以下

10

20

30

40

50

、本実施の形態に係る電流制限回路について、実施の形態 1 に係る電流制限回路 4 0 との相違点を中心に説明する。

【 0 0 7 0 】

[3 - 1 . 電流制限回路の構成]

本実施の形態に係る電流制限回路の構成について、図 1 7 を用いて説明する。図 1 7 は、本実施の形態に係る電流制限回路 2 4 0 の機能構成を示すブロック図である。図 1 7 に示されるように、電流制限回路 2 4 0 は、遅延回路 4 2 と、ゲイン乗算回路 4 4 と、演算回路 2 5 0 とを有する。

【 0 0 7 1 】

本実施の形態に係る演算回路 2 5 0 は、映像信号が入力され、映像信号に対応する複数の画素での消費電力に基づいて、遅延信号に乗算するゲインを演算する。より具体的には、演算回路 2 5 0 は、連続する 2 フレーム分の映像信号に対応する複数の画素での消費電力に基づいて、ゲインを演算する。演算回路 2 5 0 は、複数の電力値を演算し、当該複数の電力値のうち、最大の電力値である画面電力値に基づいてゲインを演算する。つまり、本実施の形態では、画面電力値として、複数の電力値の最大値を用いる。ここで、複数の電力値の各々は、連続する 2 フレーム分の映像信号に含まれる連続する 1 フレーム分の映像信号に対応する複数の画素の消費電力を示す。なお、連続する 2 フレーム分の映像信号は、1 フレーム分の遅延信号と、当該遅延信号に続く 1 フレーム分の映像信号との組み合わせに対応する。したがって、本実施の形態に係る演算回路 2 5 0 は、1 フレーム分の遅延信号に対応する複数の画素での消費電力と、1 フレーム分の映像信号に対応する複数の画素での消費電力に基づいて、ゲインを演算するとも言える。

10

20

【 0 0 7 2 】

演算回路 2 5 0 が演算するゲインは、画面電力値が制御目標電力値を超える場合には、1 未満である。より具体的には、演算回路 2 5 0 が演算するゲインは、画面電力値が制御目標電力値を超える場合には、制御目標電力値を画面電力値で除した値以下の値である。本実施の形態では、ゲインは、画面電力値が制御目標電力値を超える場合には、制御目標電力値を画面電力値で除した値である。演算回路 2 5 0 は、ゲインを映像信号の垂直期間より短い周期毎に演算し、かつ、出力する。本実施の形態では、演算回路 2 5 0 は、ゲインを水平期間毎に演算し、かつ、出力する。演算回路 2 5 0 は、加重平均回路 5 1 と、水平期間データ演算回路 5 2 と、画面データ記憶部 2 5 6 と、ゲイン演算回路 2 5 7 とを有する。

30

40

【 0 0 7 3 】

本実施の形態に係る画面データ記憶部 2 5 6 は、水平期間データ演算回路 5 2 が出力する 2 フレーム分の電力換算データを記憶する。具体的には、画面データ記憶部 2 5 6 は、1 フレーム分の遅延信号に対応する電力換算データと、当該 1 フレーム分の遅延信号に続く 1 フレーム分の映像信号に対応する電力換算データとを記憶する。画面データ記憶部 2 5 6 には、水平期間データ演算回路 5 2 が出力する電力換算データが入力される。画面データ記憶部 2 5 6 に水平期間データ演算回路 5 2 から電力換算データが入力されると、画面データ記憶部 2 5 6 は、当該電力換算データの 2 フレーム分だけ前に入力された電力換算データを削除する。

【 0 0 7 4 】

ゲイン演算回路 2 5 7 は、画面データ記憶部 2 5 6 が記憶する電力換算データと、制御目標電力値とに基づいて、遅延信号に乗算するゲインを演算する。本実施の形態では、ゲイン演算回路 2 5 7 は、画面データ記憶部 2 5 6 が記憶する 2 フレーム分の電力換算データに基づいて、複数の画素における 1 フレーム分の消費電力である画面電力値を演算する。

【 0 0 7 5 】

本実施の形態に係る電流制限回路 2 4 0 の動作及び電流制限方法について、上述した図 1 0 を用いて説明する。本実施の形態に係る電流制限方法においても、図 1 0 に示される実施の形態 1 に係る電流制限方法と同様に、遅延ステップと、ゲイン演算ステップと、ゲ

50

イン乗算ステップとを含む。本実施の形態に係る遅延ステップ、及びゲイン乗算ステップは、それぞれ、実施の形態 1 に係る遅延ステップ、及びゲイン乗算ステップと同様である。

【 0 0 7 6 】

本実施の形態に係る電流制限方法のゲイン演算ステップにおいては、連続する 2 フレーム分の映像信号に対応する複数の画素での消費電力に基づいて、遅延信号に乗算するゲインを演算する。ゲイン演算ステップにおいて、ゲイン演算回路 2 5 7 は、複数の電力値を演算し、当該複数の電力値のうち最大の電力値である画面電力値に基づいてゲインを演算する。

【 0 0 7 7 】

本実施の形態に係るゲイン演算回路 2 5 7 における画面電力値の演算方法について、図 1 8 及び図 1 9 を用いて説明する。図 1 8 及び図 1 9 の各々は、本実施の形態に係る画面電力値の演算方法の一例を示す図である。図 1 8 には、遅延回路 4 2 から、現フレームの最終ラインに対応する遅延信号が出力されるタイミングにおける画面データ記憶部 2 5 6 に記憶された電力換算データが示されている。図 1 9 には、遅延回路 4 2 から、現フレームの第 i ラインに対応する遅延信号が出力されるタイミングにおける画面データ記憶部 2 5 6 に記憶された電力換算データが示されている。なおここで i は、1 以上、表示部 7 0 におけるライン数以下の整数を示す。

【 0 0 7 8 】

本実施の形態では、画面データ記憶部 2 5 6 は、2 フレーム分の映像信号に対応する表示部 7 0 の表示画面上の水平ライン毎の水平期間電力換算データを記憶する。例えば、現フレーム（第 m フレーム）の第 i ラインの水平期間電力換算データは、現フレームの第 i ラインの電力値として画面データ記憶部 2 5 6 に記憶される。現フレームの次のフレーム（第 $m + 1$ フレーム）の第 i ラインの水平期間電力換算データは、次のフレームの第 i ラインの電力値として画面データ記憶部 2 5 6 に記憶される。新たなラインの水平期間電力換算データが演算される度に、画面データ記憶部 2 5 6 が記憶する電力値も新たに書き替えられる。画面データ記憶部 2 5 6 は、水平期間データ演算回路 5 2 から入力される電力換算データを、表示部 7 0 の表示画面に書き込まれた遅延信号に相当する電力値、及び、遅延信号に続く 1 フレーム分の映像信号に相当する電力値として記憶する。

【 0 0 7 9 】

図 1 8 に示される例では、現フレームの（1 フレーム分の）映像信号に対応する電力換算データと、次のフレームの（1 フレーム分の）映像信号に対応する電力換算データとの、2 フレーム分の映像信号に対応する電力換算データを記憶する。図 1 9 に示される例では、前のフレームの第（ $i + 1$ ）ラインから最終ラインまでの映像信号に対応する電力換算データと、現フレームの（1 フレーム分の）映像信号に対応する電力換算データと、次のフレームの第 1 ラインから第 i ラインまでの映像信号に対応する電力換算データとの、2 フレーム分の映像信号に対応する電力換算データを記憶する。

【 0 0 8 0 】

ゲイン演算回路 2 5 7 は、画面データ記憶部 2 5 6 が記憶する 2 フレーム分の電力換算データに基づいて、表示部 7 0 の表示画面に書き込まれた信号に相当する電力値、及び、連続して 1 フレーム時間以内に表示部 7 0 の表示画面に書き込まれる信号に対応する電力値の中から最大値を画面電力値として演算する。

【 0 0 8 1 】

具体的には、図 1 8 に示される例では、現フレームの第 1 ライン電力から最終ライン電力までを積算した電力値 $S(1)$ 、現フレームの第 2 ライン電力から最終ライン電力までと次のフレームの第 1 ライン電力とを積算した電力値 $S(2)$ 、 \dots 、現フレームの第 i ライン電力から最終ライン電力までと次のフレームの第 1 ライン電力から第（ $i - 1$ ）ライン電力までを積算した電力値 $S(i)$ 、 \dots 、現フレームの現ラインすなわち現フレームの最終ライン電力から次のフレームの第（ $n_e - 1$ ）ライン電力までを積算した電力値 $S(n_e)$ を、ゲイン演算回路 2 5 7 は演算する。ここで、 n_e は、表示部 7 0 にお

10

20

30

40

50

けるライン数を表す。

【 0 0 8 2 】

図 1 9 に示される例では、前のフレームの第 ($i + 1$) ライン電力から、現フレームの第 i ライン電力までを積算した電力値 $S (1)$ 、 \dots 、現フレームの現ラインすなわち現フレームの第 i ライン電力から、次のフレームの第 ($i - 1$) ライン電力までを積算した電力値 $S (n e)$ をゲイン演算回路 2 5 7 は演算する。

【 0 0 8 3 】

続いて、ゲイン演算回路 2 5 7 は、電力値 $S (1) \sim S (n e)$ の中から最大値を、画面電力値として選択する。

【 0 0 8 4 】

続いて、ゲイン演算回路 2 5 7 は、実施の形態 1 に係るゲイン演算回路 5 7 と同様に、画面電力値が制御目標電力値を超える場合に、ゲインとして、画面電力値に対する制御目標電力値の比を演算する。この場合、ゲインは 1 未満となる。ゲイン演算回路 2 5 7 は、画面電力値が制御目標電力値を超えない場合に、ゲインを 1 に設定する。

【 0 0 8 5 】

[3 - 2 . 効果]

本実施の形態に係る電流制限回路 2 4 0 及びそれを備える表示装置は、実施の形態 1 に係る電流制限回路 4 0 及び表示装置 1 0 と同様の効果を奏する。本実施の形態に係る電流制限回路 2 4 0 を備える表示装置のさらなる効果について、比較例 1 に係る表示装置、及び実施の形態 1 に係る表示装置 1 0 と比較しながら図 2 0 及び図 2 1 を用いて説明する。

【 0 0 8 6 】

図 2 0 は、比較例 1、実施の形態 1、及び本実施の形態に係る各表示装置において全黒表示から、縞状の白表示及び黒表示に変化させ、さらに、縞状の白表示及び黒表示をそれぞれ黒表示及び白表示に反転させた際の複数の画素での消費電力の時間波形を示すグラフである。なお、各表示装置において全黒表示から、縞状の白表示及び黒表示に変化させ、さらに、各表示装置において、縞状の白表示及び黒表示をそれぞれ黒表示及び白表示に反転させた後は、1 フレーム毎に白表示と黒表示との反転を繰り返す。ここで、縞状の白表示は、最大輝度での白表示である。図 2 0 には、各時点において、実施の形態 1 に係る表示部 7 0 に表示される画像 (a) ~ (d)、及び、本実施の形態に係る表示部 7 0 に表示される画像 (e) ~ (h) が併せて示されている。比較例 1 に係る表示装置は、実施の形態 1 の効果の説明において用いた比較例 1 に係る表示装置と同じ構成を有する。図 2 1 は、比較例 1、実施の形態 1、及び本実施の形態に係る各表示装置において全黒表示から、縞状の白表示及び黒表示に変化させ、さらに、縞状の白表示及び黒表示をそれぞれ黒表示及び白表示に反転させた際のゲインの時間波形を示すグラフである。

【 0 0 8 7 】

図 2 0 の画像 (a) 及び (e) に示されるように、図 2 0 のグラフの時刻 $t = 1 . 0$ [フレーム時間] においては、各表示装置の表示部 7 0 は、全黒表示状態である。この場合、表示部 7 0 の複数の画素に供給される電流はほぼゼロである。続いて、縞状の白表示及び黒表示を示す映像信号が各表示装置に入力された場合、表示部 7 0 の水平期間毎に、表示部 7 0 の上端のラインから縞状に白表示に切り替えられる。

【 0 0 8 8 】

ここで、比較例 1 に係る表示装置 1 0 においては、すべてのラインにおいて表示装置に入力される映像信号どおりに縞状に切り替えられる。比較例 1 に係る表示装置においては、時刻 $t = 1 . 0$ 以降に表示部 7 0 の上端のラインから順に黒表示から最大輝度での白表示に切り替えられる。これに伴い、図 1 4 のグラフに示されるように、消費電力は、0 % から徐々に上昇し、時刻 $t = 2 . 0$ において、約 5 0 % となる。図 2 1 に示されるように、比較例 1 に係る表示装置は、映像信号に乗算されるゲインが常に 1 である表示装置に相当する。

【 0 0 8 9 】

実施の形態 1 に係る表示装置 1 0 の表示部 7 0 は、図 2 0 の画像 (a) に示されるよう

10

20

30

40

50

に、図 20 のグラフの時刻 $t = 1.0$ においては、全黒表示状態である。全黒表示を示す 1 フレーム分の遅延信号に続く 1 フレーム分の映像信号が縞状の白表示及び黒表示を示す場合、図 2 に示される電流制限回路 40 の比較回路 55 には、全黒表示を示す 1 フレーム分の遅延信号に対応する第 1 電力換算データと、縞状の白表示及び黒表示を示す 1 フレーム分の映像信号に対応する第 2 電力換算データとが入力される。この場合、第 2 電力換算データが第 1 電力換算データ以上であるため、比較回路 55 は、第 2 電力換算データを画面データ記憶部 56 に出力する。

【 0 0 9 0 】

したがって、全黒表示から縞状の白表示及び黒表示への切り替えが始まる時刻 $t = 1.0$ において、画面データ記憶部 56 の各ライン電力には、縞状の白表示及び黒表示を示す 1 フレーム分の映像信号に対応する電力値が入力されている。これに伴い、ゲイン演算回路 57 は、画面電力値として縞状の白表示及び黒表示を示す 1 フレーム分の映像信号に対応する電力値を演算し、当該画面電力値に対応するゲインを演算する。図 20 に示される例では、ゲイン演算回路 57 は、ゲインを $40\% / 50\% = 0.8$ と演算する。したがって、図 21 に示されるように、時刻 $t = 1.0$ においては、ゲイン乗算回路 44 において、縞状の白表示及び黒表示を示す 1 フレーム分の遅延信号に含まれる RGB 信号にゲインとして 0.8 が乗算される。

【 0 0 9 1 】

時刻 $t = 1.0$ では、縞状の白表示及び黒表示を示す 1 フレーム分の遅延信号に続く 1 フレーム分の映像信号が、縞状の白表示及び黒表示をそれぞれ黒表示及び白表示に反転させた表示を示す。この場合、図 2 に示される電流制限回路 40 の比較回路 55 には、縞状の白表示及び黒表示を示す 1 フレーム分の遅延信号に対応する第 1 電力換算データと、縞状の黒表示及び白表示を示す 1 フレーム分の映像信号に対応する第 2 電力換算データとが入力される。ここで、1 フレーム分の遅延信号と 1 フレーム分の映像信号とでは、白表示と黒表示とが反転している。つまり、1 フレーム分の遅延信号が白表示を示すラインにおいては、1 フレーム分の映像信号は黒表示を示し、1 フレーム分の遅延信号が黒表示を示すラインにおいては、1 フレーム分の映像信号は白表示を示す。したがって、1 フレーム分の遅延信号が白表示を示すラインにおいては第 1 電力換算データの方が第 2 電力換算データより大きく、1 フレーム分の遅延信号が黒表示を示すラインにおいては、第 2 電力換算データの方が第 1 電力換算データより大きい。このため、時刻 $t = 1.0$ から時刻 $t = 2.0$ までの期間では、比較回路 55 は、常に、白表示に対応する電力換算データを画面データ記憶部 56 に出力する。したがって、時刻 $t = 2.0$ において、画面データ記憶部 56 には、全ラインにおいて白表示に対応する電力値が記憶されている。この場合、ゲイン演算回路 57 は、ゲインを $40\% / 100\% = 0.4$ と演算する。つまり、図 21 に示されるように、時刻 $t = 1.0$ から時刻 $t = 2.0$ までの期間に、ゲイン演算回路 57 が演算するゲインは、0.8 から 0.4 へと徐々に減少する。これにより、図 20 の画像 (b) に示されるように、時刻 $t = 1.5$ では、表示部 70 の上半分が、縞状の白表示及び黒表示に切り替えられ、図 20 の画像 (c) に示されるように、時刻 $t = 2.0$ では、表示部 70 の全体が、縞状の白表示及び黒表示に切り替えられる。画像 (b) 及び (c)、白表示領域の輝度は、遅延信号が示す白表示の輝度より低く、かつ、上端から下端に近づくにしたがって白表示の輝度が低下する。

【 0 0 9 2 】

時刻 $t = 2.0$ 以降では、常に時刻 $t = 2.0$ と同様に、画面データ記憶部 56 には、全ラインにおいて白表示に対応する電力値が記憶される。このため、時刻 $t = 2.0$ 以降に表示が切り替えられるラインの遅延信号に対するゲインは、時刻 $t = 2.0$ と同様に、0.4 となる。したがって、図 21 に示されるように、時刻 $t = 2.0$ から 1 フレーム時間が経過した時刻 $t = 3.0$ では、表示部 70 の全ラインに対応する遅延信号に対して、0.4 のゲインが乗算されている。このため、図 20 の画像 (d) に示されるように、白表示領域の輝度は、最大輝度から大幅に低減されている。図 20 に示される例では、時刻 $t = 3.0$ における複数の画素の消費電力は、制御目標電力値の半分程度 (20%) に抑

10

20

30

40

50

制されている。

【0093】

このように実施の形態1に係る表示装置10においては、消費電力を必要以上に抑制する場合があります。

【0094】

これに対して、本実施の形態に係る電流制限回路240を備える表示装置は、図20の画像(e)に示されるように、図20のグラフの時刻 $t = 1.0$ においては、実施の形態1に係る表示装置10と同様に、全黒表示状態である。全黒表示を示す遅延信号に続く映像信号が縞状の白表示及び黒表示を示す場合、時刻 $t = 1.0$ において、図17に示される電流制限回路40の画面データ記憶部256には、全黒表示を示す1フレーム分の遅延信号に対応する電力換算データと、縞状の白表示及び黒表示を示す1フレーム分の映像信号に対応する電力換算データとが記憶されている。

10

【0095】

ゲイン演算回路257は、画面データ記憶部256に記憶された電力換算データに基づいて電力値 $S(1) \sim S(ne)$ を演算し、電力値 $S(1) \sim S(ne)$ の中から最大値を、画面電力値として選択する。図20に示される例では、電力値 $S(1) \sim S(ne)$ の最大値は、縞状の白表示及び黒表示に対応する電力値 $S(ne)$ の50%である。したがって、ゲイン演算回路257は、ゲインを $40\% / 50\% = 0.8$ と演算する。時刻 $t = 1.0$ 以降、縞状の表示が続くため、時刻 $t = 1.0$ 以降においても、電力値 $S(1) \sim S(ne)$ の最大値は、ほぼ50%に維持される。したがって、図21に示されるように、時刻 $t = 1.0$ 以降では、ゲイン乗算回路44において、縞状の白表示及び黒表示を示す遅延信号に含まれるRGB信号にゲインとして0.8が乗算される。これにより、図20の画像(f)に示されるように、時刻 $t = 1.5$ では、表示部70の上半分が縞状の白表示及び黒表示に切り替えられるが、白表示領域の輝度は、遅延信号が示す白表示の輝度より低い。時刻 $t = 2.0$ 、及び時刻 $t = 3.0$ では、表示部70は、図20の画像(g)及び(h)に示されるような縞状の表示となり、白表示領域の輝度は、遅延信号が示す白表示の輝度より低い。

20

【0096】

以上のように、本実施の形態に係る電流制限回路240においては、2フレーム分の映像信号に対応する複数の画素での消費電力に基づいて、遅延信号に乗算するゲインを演算する。これにより、映像信号が示す輝度が急激に増大する場合にも表示パネルの消費電力を抑制できる。また、本実施の形態に係る電流制限回路240においては、複数の電力値を演算し、複数の電力値のうち最大の電力値である画面電力値に基づいてゲインを演算する。これにより、複数の画素の消費電力が低減し過ぎることを抑制できる。

30

【0097】

(その他の実施の形態)

以上、本開示について、実施の形態に基づいて説明したが、本開示は、上記実施の形態に限定されるものではない。実施の形態における任意の構成要素を組み合わせる別の実施の形態や、実施の形態に対して本開示の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本実施の形態に係る処理回路などを内蔵した各種機器も本開示に含まれる。

40

【0098】

例えば、上記実施の形態では、各電流制限回路は表示装置に備えられているが、電流制限回路は、必ずしも表示装置に備えられなくてもよい。このような変形例について図22を用いて説明する。図22は、本変形例に係る電流制限回路40と表示装置710との関係を示すブロック図である。図22に示されるように、電流制限回路40は、GPU(Graphics Processing Unit)712に備えられる。GPU712は、画像処理用の演算装置であり、映像信号が入力されて、電流制限回路40によってゲインが乗算された遅延信号を出力する。GPU712は、表示装置710の外部に配置される。GPU712は、例えば、図23に示されるようなPC(Personal Co

50

m p u t e r) 8 0 4 に備えられてもよい。P C 8 0 4 は、キーボード 8 0 6 及びマウス 8 0 7 などによって操作される。表示装置 7 1 0 は、図 2 3 に示されるモニタ 8 0 5 に備えられてもよい。モニタ 8 0 5 は、表示装置 7 1 0 を備え、P C 8 0 4 からの映像信号を表示する。また、G P U 7 1 2 は、図 2 4 に示されるようなハードディスクレコーダ 8 0 8 に備えられてもよい。

【 0 0 9 9 】

以上のように上記各実施の形態に係る電流制限回路が表示装置に備えられない場合にも、上記各実施の形態に係る電流制限回路と同様の効果が奏される。

【 0 1 0 0 】

また、上記各実施の形態に係る表示装置は、図 2 5 に示されるような薄型フラット T V 8 0 2 に内蔵されてもよい。この場合にも、上記各実施の形態と同様の効果が奏される。

【 0 1 0 1 】

また、上記実施の形態では、表示パネルが有する画素が、R G B の三色にそれぞれ対応する三つのサブ画素を含む構成を示したが、画素の構成はこれに限定されない。例えば、画素が、R G B W の四色にそれぞれ対応する四つのサブ画素を含んでもよい。また表示パネルがモノクロ表示パネルである場合には、画素には、図 7 に示されるような単一の回路が含まれてもよい。

【 0 1 0 2 】

また、実施の形態 1 に係る電流制限回路 4 0、及び、実施の形態 2 に係る電流制限回路 1 4 0 は、加重平均回路 5 3 と、水平期間データ演算回路 5 4 とを用いて、第一電力換算データを演算する構成を備えたが、本開示に係る電流制限回路の構成はこれに限定されない。例えば、電流制限回路は、実施の形態 2 に係る水平期間データ演算回路 1 5 2 r、1 5 2 g、及び 1 5 2 b、並びに、加重平均回路 1 5 1 と同様の回路を用いて、第一電力換算データを演算してもよい。

【 0 1 0 3 】

また、上記実施の形態では、映像信号は、R G B 信号であったが、映像信号には、R G B 信号以外の信号が含まれてもよい。つまり、映像信号は、R G B 信号を含めばよい。

【 0 1 0 4 】

また、映像信号は、R G B 信号を含む信号に限定されない。例えば、映像信号は、輝度信号を含む色差信号であってもよい。

【 0 1 0 5 】

また、上記実施の形態においては、自発光素子として、有機 E L 素子を用いる例を示したが、自発光素子はこれに限定されない。例えば、自発光素子として、無機 E L 素子などを用いてもよい。

【 0 1 0 6 】

また、上記各実施の形態に係る電流制限回路を構成する構成要素の一部は、マイクロプロセッサ、R O M、R A M、ハードディスクユニット、ディスプレイユニット、キーボード、マウスなどから構成されるコンピュータシステムであってもよい。上記 R A M 又は上記ハードディスクユニットには、コンピュータプログラムが記憶されている。上記マイクロプロセッサが、当該コンピュータプログラムにしたがって動作することにより、その機能を達成する。ここでコンピュータプログラムは、所定の機能を達成するために、コンピュータに対する指令を示す命令コードが複数個組み合わせられて構成されたものである。

【 0 1 0 7 】

また、上記各実施の形態に係る電流制限回路を構成する構成要素の一部は、1 個のシステム L S I (L a r g e S c a l e I n t e g r a t i o n : 大規模集積回路) から構成されているとしてもよい。システム L S I は、複数の構成部を 1 個のチップ上に集積して製造された超多機能 L S I であり、具体的には、マイクロプロセッサ、R O M、R A M などを含んで構成されるコンピュータシステムである。上記 R A M には、コンピュータプログラムが記憶されている。上記マイクロプロセッサが、上記コンピュータプログラムにしたがって動作することにより、システム L S I は、その機能を達成する。

10

20

30

40

50

【 0 1 0 8 】

また、上記各実施の形態に係る電流制限回路を構成する構成要素の一部は、各装置に脱着可能なICカード又は単体のモジュールから構成されているとしてもよい。上記ICカード又は上記モジュールは、マイクロプロセッサ、ROM、RAMなどから構成されるコンピュータシステムである。上記ICカード又は上記モジュールは、上記の超多機能LSIを含むとしてもよい。マイクロプロセッサが、コンピュータプログラムにしたがって動作することにより、上記ICカード又は上記モジュールは、その機能を達成する。このICカード又はこのモジュールは、耐タンパ性を有するとしてもよい。

【 0 1 0 9 】

また、上記各実施の形態に係る電流制限回路を構成する構成要素の一部は、上記コンピュータプログラム又は上記デジタル信号をコンピュータで読み取り可能な記録媒体、例えば、フレキシブルディスク、ハードディスク、CD-ROM、MO、DVD、DVD-ROM、DVD-RAM、BD(Blu-ray(登録商標)Disc)、半導体メモリなどに記録したものとしてもよい。また、これらの記録媒体に記録されている上記デジタル信号であるとしてもよい。

【 0 1 1 0 】

また、上記各実施の形態に係る電流制限回路を構成する構成要素の一部は、上記コンピュータプログラム又は上記デジタル信号を、電気通信回線、無線又は有線通信回線、インターネットを代表とするネットワーク、データ放送等を経由して伝送するものとしてもよい。

【 0 1 1 1 】

また、本開示は、上記に示す方法であるとしてもよい。また、これらの方法をコンピュータにより実現するコンピュータプログラムであるとしてもよいし、上記コンピュータプログラムからなるデジタル信号であるとしてもよい。さらに、本開示は、そのコンピュータプログラムを記録したCD-ROM等である非一時的なコンピュータ読み取り可能な記録媒体として実現してもよい。

【 0 1 1 2 】

また、本開示は、マイクロプロセッサとメモリを備えたコンピュータシステムであって、上記メモリは、上記コンピュータプログラムを記憶しており、上記マイクロプロセッサは、上記コンピュータプログラムにしたがって動作するとしてもよい。

【 0 1 1 3 】

また、上記プログラム又は上記デジタル信号を上記記録媒体に記録して移送することにより、又は上記プログラム又は上記デジタル信号を、上記ネットワーク等を経由して移送することにより、独立した他のコンピュータシステムにより実施するとしてもよい。

【 0 1 1 4 】

上記実施の形態及び上記変形例をそれぞれ組み合わせてもよい。

【産業上の利用可能性】

【 0 1 1 5 】

本開示は、有機ELフラットパネルディスプレイに有用であり、特に、消費電力が大きくなる大画面のディスプレイにおいて用いるのに最適である。

【符号の説明】

【 0 1 1 6 】

- 10、710 表示装置
- 31、131 フロントエンド回路部
- 32、132 制御回路部
- 40、140、240、940 電流制限回路
- 42 遅延回路
- 44 ゲイン乗算回路
- 50、150、250 演算回路
- 51、53、151 加重平均回路

10

20

30

40

50

- 5 2、5 4、1 5 2 b、1 5 2 g、1 5 2 r 水平期間データ演算回路
- 5 5 比較回路
- 5 6、2 5 6 画面データ記憶部
- 5 7、2 5 7 ゲイン演算回路
- 6 0 表示パネル
- 6 2 書き込み処理部
- 6 4 書き込み用シフトレジスタ
- 6 8 ソースドライバ
- 7 0 表示部
- 8 1、8 2 T F T
- 8 4 コンデンサ
- 8 5 r 自発光素子
- 7 1 2 G P U
- 8 0 2 薄型フラット T V
- 8 0 4 P C
- 8 0 5 モニタ
- 8 0 6 キーボード
- 8 0 7 マウス
- 8 0 8 ハードディスクレコーダ

10

20

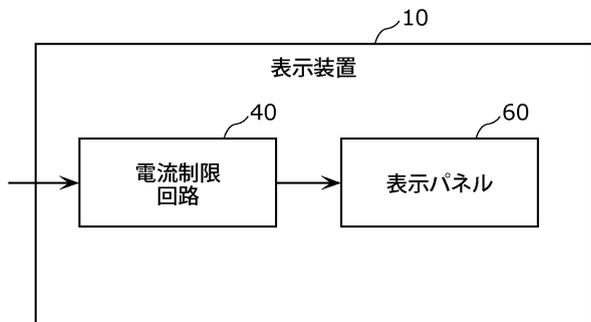
30

40

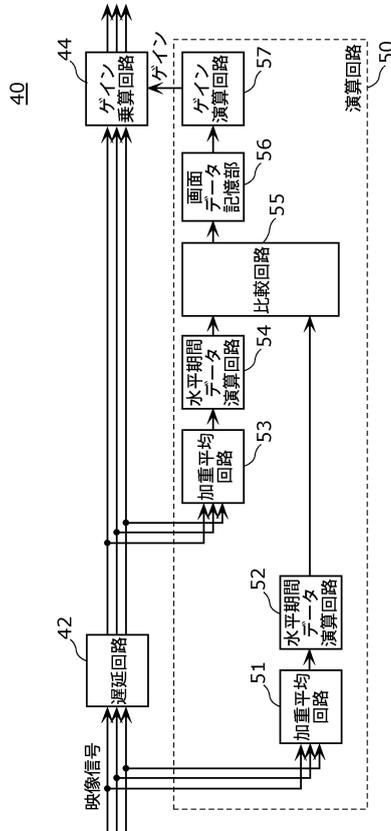
50

【 図 面 】

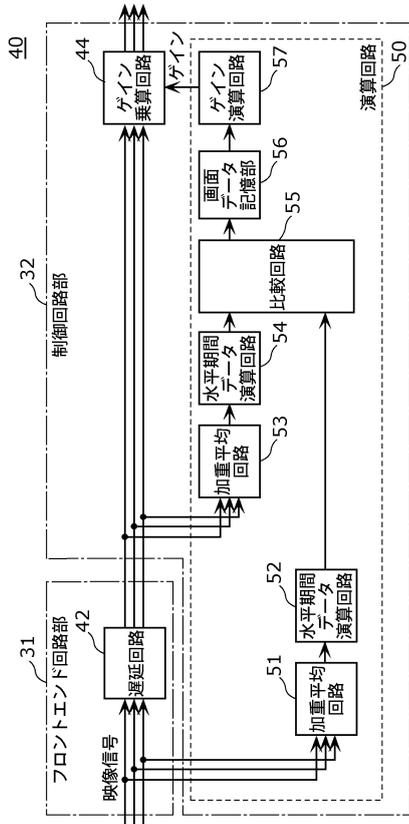
【 図 1 】



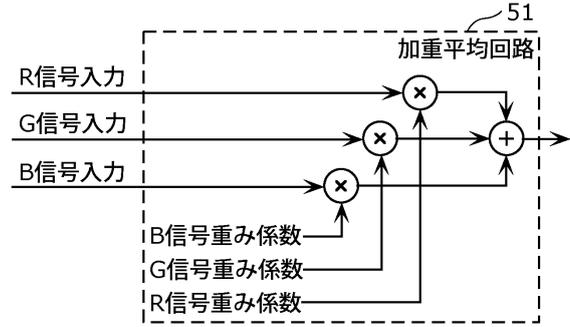
【 図 2 】



【 図 3 】



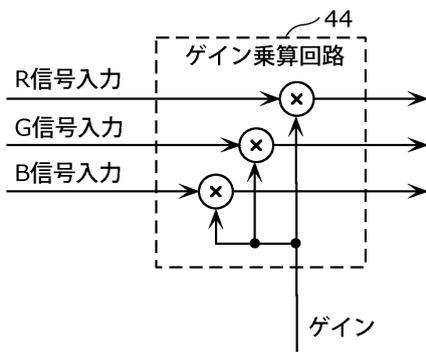
【 図 4 】



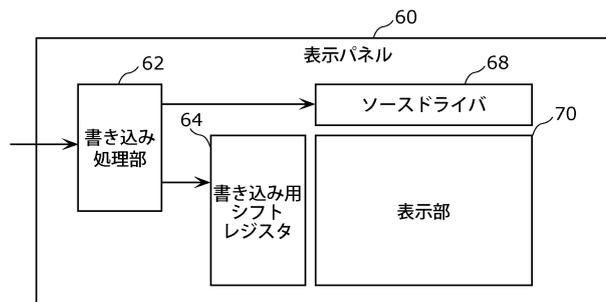
10

20

【 図 5 】



【 図 6 】

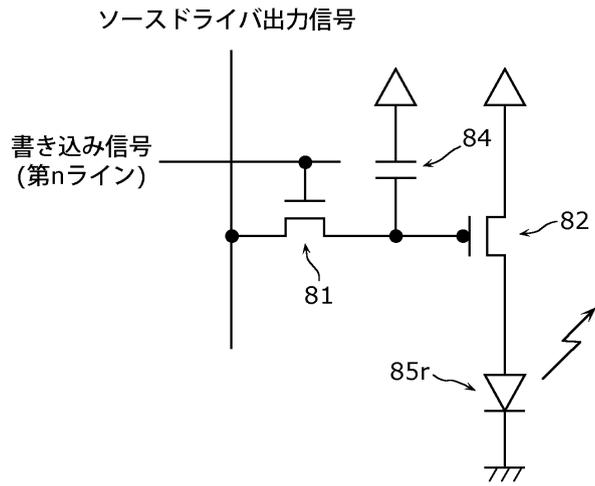


30

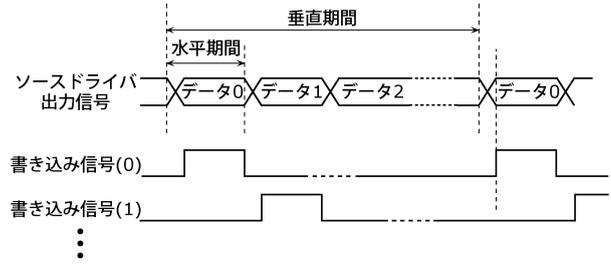
40

50

【 図 7 】

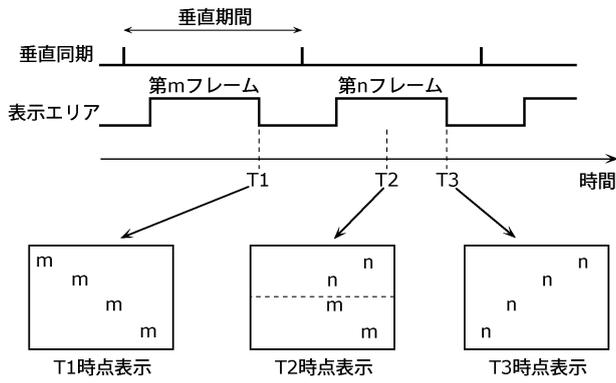


【 図 8 】

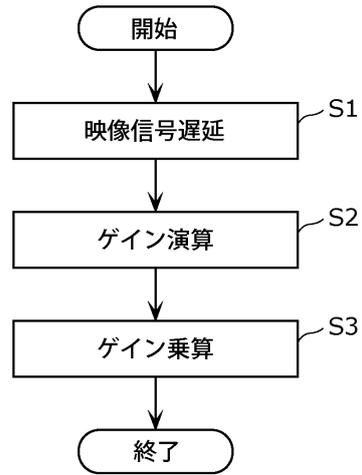


10

【 図 9 】



【 図 10 】



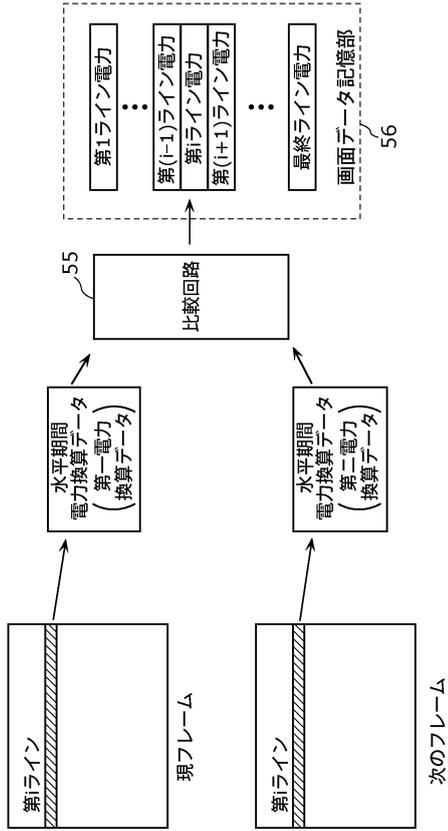
20

30

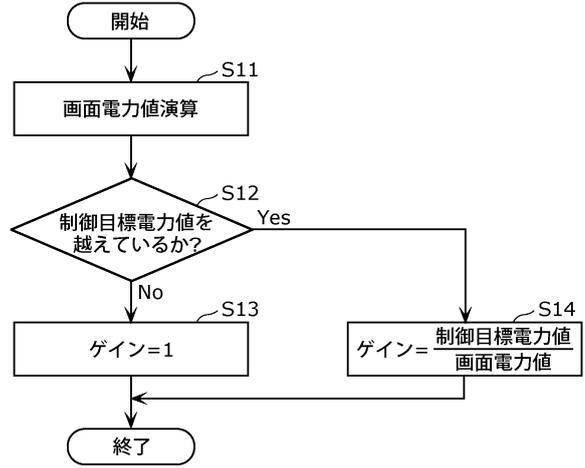
40

50

【図 1 1】



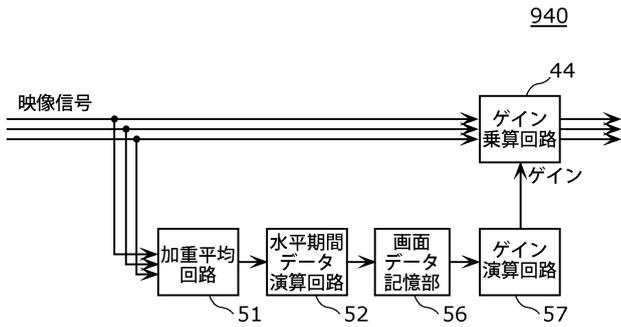
【図 1 2】



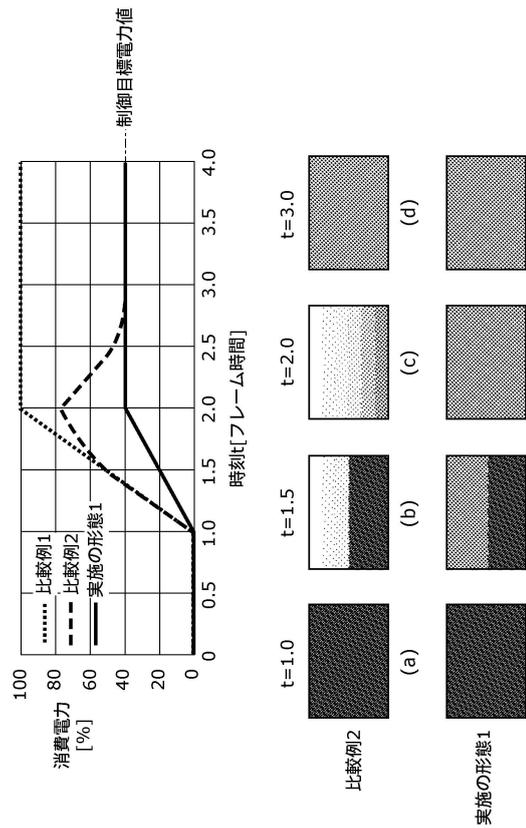
10

20

【図 1 3】



【図 1 4】

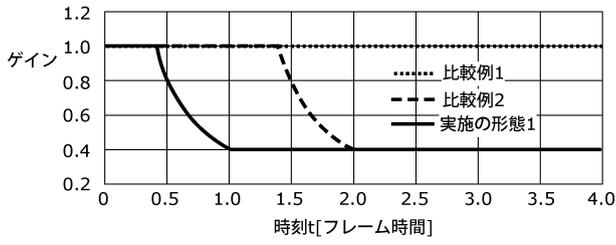


30

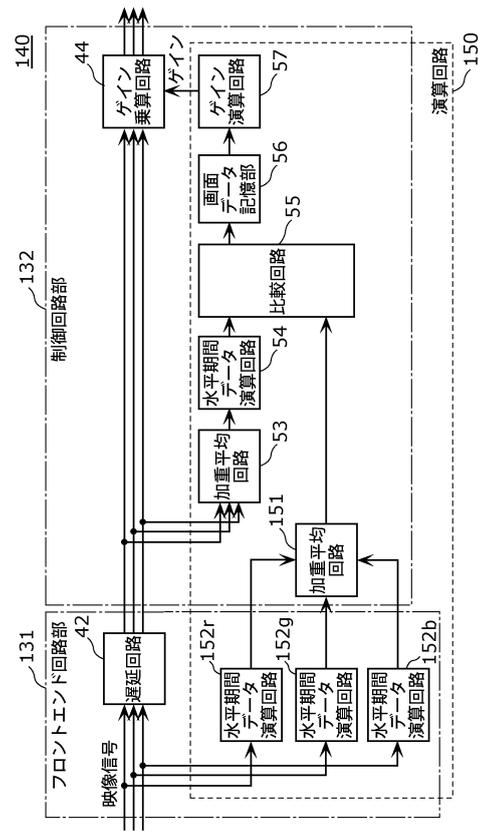
40

50

【図15】



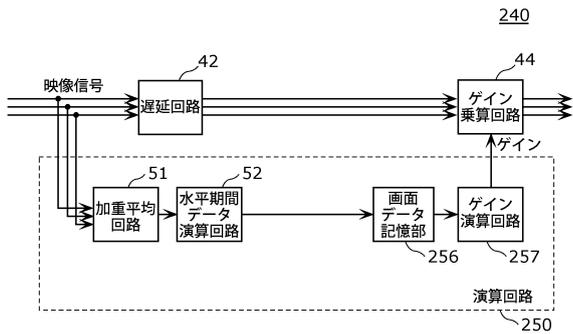
【図16】



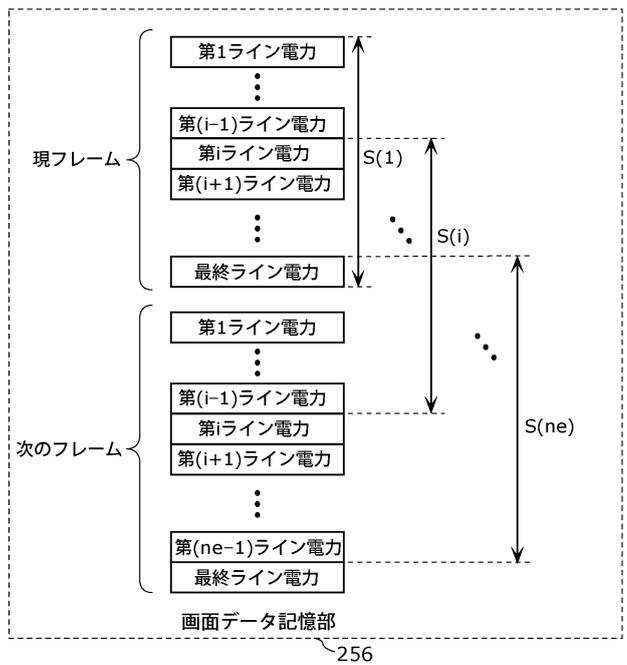
10

20

【図17】



【図18】

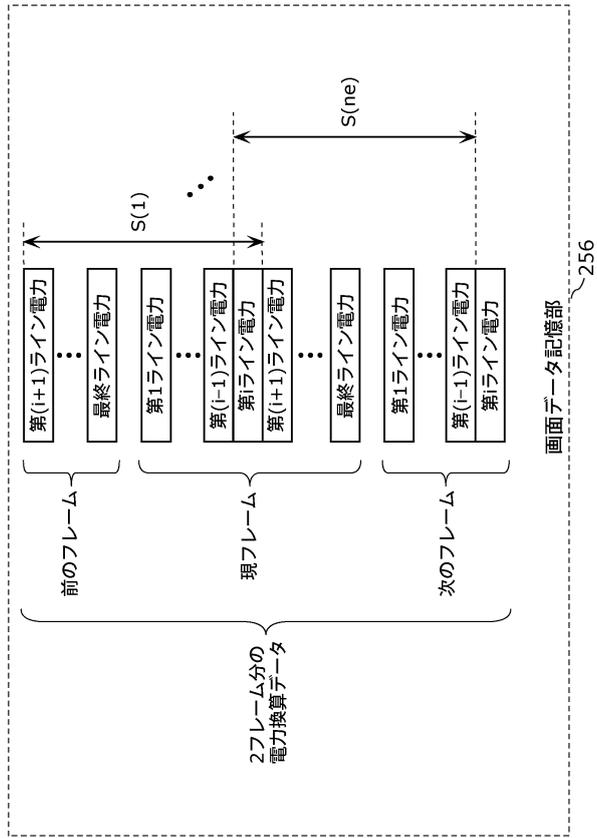


30

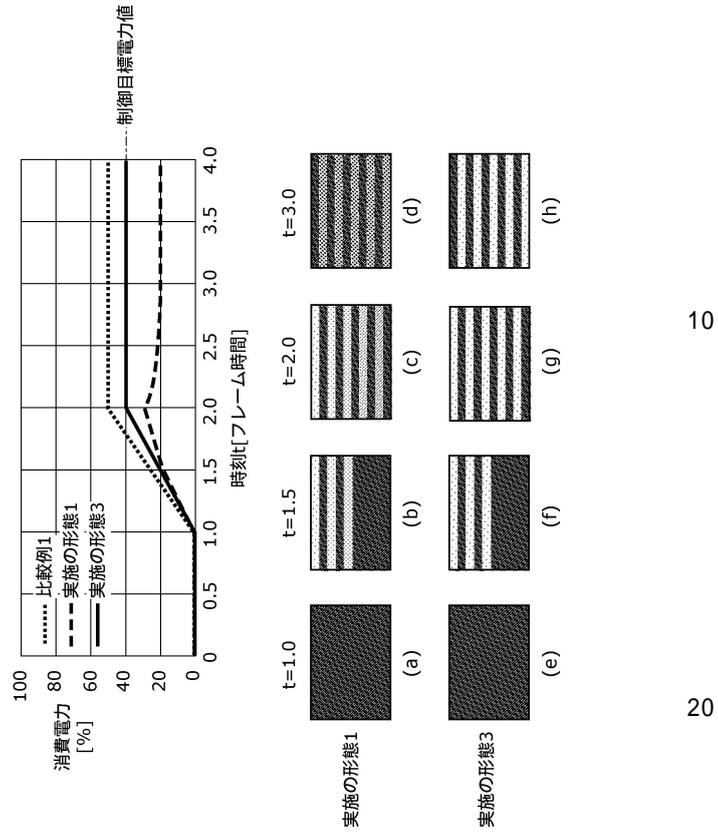
40

50

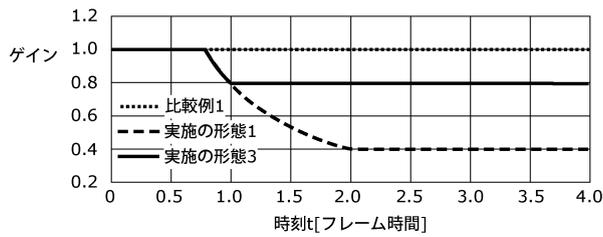
【 図 1 9 】



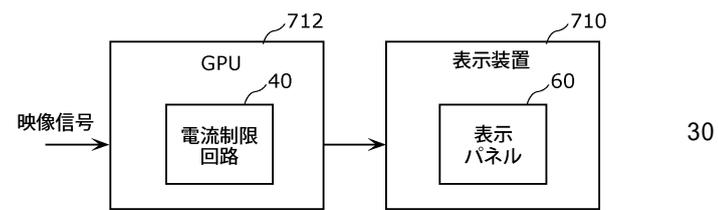
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



10

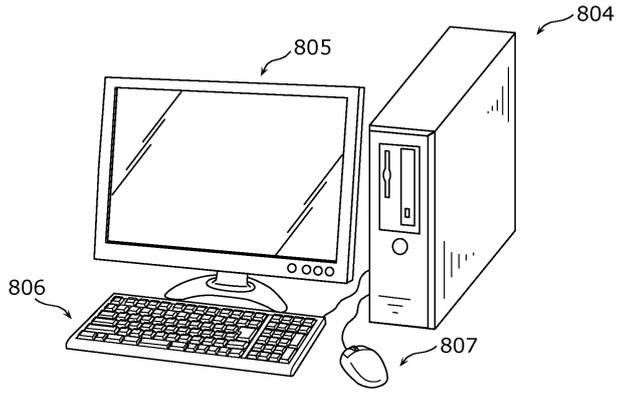
20

30

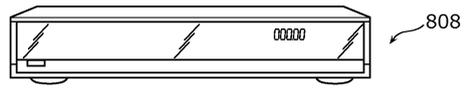
40

50

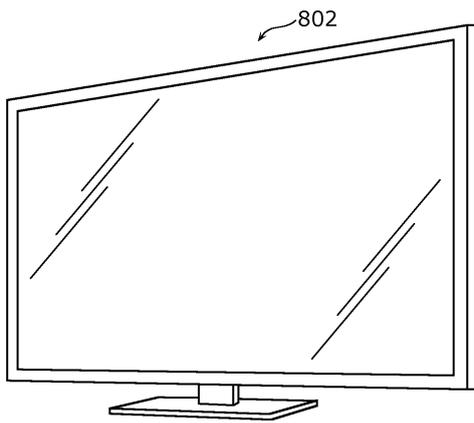
【 図 2 3 】



【 図 2 4 】



【 図 2 5 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 2 Z
G 0 9 G	3/30	H
G 0 9 G	3/20	6 3 1 B
H 0 5 B	33/14	A
H 0 1 L	27/32	

F ターム (参考)

JJ05 JJ07 KK02 KK43

5C380 AA01 AA02 AB06 AB18 AB31 AB34 AB36 AC07 AC08 BA01
BA45 CA11 CB01 CC26 CC33 CC62 CD012 CE11 CF02 CF04 CF07
CF13 CF15 CF19 CF61 DA02 DA06 DA32 DA35 EA02 EA05 FA09
FA11 FA12