

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 16/10 (2006.01)
G11C 16/02 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610110018.2

[43] 公开日 2007年1月31日

[11] 公开号 CN 1905072A

[22] 申请日 2006.7.28

[21] 申请号 200610110018.2

[30] 优先权

[32] 2005. 7. 29 [33] KR [31] 69270/05

[32] 2006. 1. 26 [33] KR [31] 8358/06

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴起台 崔正达 曹成奎

[74] 专利代理机构 北京市柳沈律师事务所

代理人 吕晓章 李晓舒

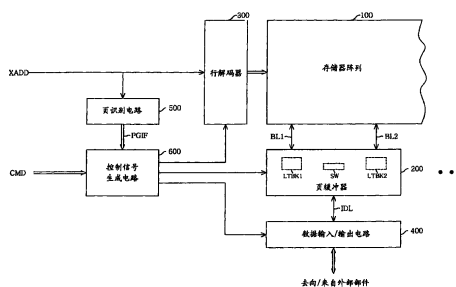
权利要求书 6 页 说明书 23 页 附图 38 页

[54] 发明名称

三级非易失半导体存储器设备及其驱动方法

[57] 摘要

一种用于非易失半导体存储器设备的页缓冲器，包含：开关，被配置来将耦合于第一存储器单元的第一比特线耦合到耦合于第二存储器单元的第二比特线；第一锁存块，耦合于第一比特线，并且被配置来将第一锁存数据传送给第一存储器单元；以及第二锁存块，耦合于第二比特线及第一锁存块，并且被配置来将第二锁存数据传送给第二存储器单元。



1. 一种用于非易失半导体存储器设备的页缓冲器，包含：
开关，被配置来将耦合于第一存储器单元的第一比特线耦合到耦合于第二存储器单元的第二比特线；
第一锁存块，耦合于第一比特线，并且被配置来将第一锁存数据传送给第一存储器单元；以及
第二锁存块，耦合于第二比特线及第一锁存块，并且被配置来将第二锁存数据传送给第二存储器单元。
2. 如权利要求1所述的页缓冲器，其中第一锁存块还包含：
第一锁存单元，被配置来存储第一锁存数据；
翻转触发单元，被配置来将第一锁存数据设置为第一逻辑状态；以及
第一触发单元，被配置来将第一锁存数据设置为第二逻辑状态。
3. 如权利要求2所述的页缓冲器，其中第一触发单元包含：
传送触发单元，被配置来响应于第二锁存数据，将第一锁存数据设置为第二逻辑状态；以及
触发电路，被配置来响应于第一存储器单元与第二存储器单元中一个的门限电压，将第一锁存数据设置为第二逻辑状态。
4. 如权利要求2所述的页缓冲器，其中翻转触发单元还被配置来响应于第二锁存数据、以及第一存储器单元与第二存储器单元中一个的门限电压，将第一锁存数据设置为第一逻辑状态。
5. 如权利要求1所述的页缓冲器，其中第二锁存块还包含：
第二锁存单元，被配置来存储第二锁存数据；以及
第二触发单元，被配置来响应于第一存储器单元与第二存储器单元中一个的门限电压，将第二锁存数据设置为第二逻辑状态。
6. 如权利要求1所述的页缓冲器，其中第一锁存块还被配置来输出在第一存储器单元与第二存储器单元中存储的至少三个数据比特中的一个。
7. 如权利要求1所述的页缓冲器，其中：
第一锁存块还被配置来改变第一存储器单元的门限电压；以及
第二锁存块还被配置来改变第二存储器单元的门限电压。
8. 如权利要求1所述的页缓冲器，其中第一存储器单元与第二存储器单

元为 NAND 存储器单元。

9. 如权利要求 1 所述的页缓冲器, 其中第一存储器单元与第二存储器单元为 NOR 存储器单元。

10. 一种对非易失半导体存储器设备编程的方法, 包含:

响应于第一数据比特, 对第一存储器单元门限电压编程;

响应于第二数据比特以及第一存储器单元门限电压, 对第一存储器单元门限电压以及第二存储器单元门限电压中的一个编程; 以及

响应于第三数据比特以及第二存储器单元门限电压, 对第一存储器单元门限电压以及第二存储器单元门限电压中的一个编程。

11. 如权利要求 10 所述的方法, 所述响应于第三数据比特以及第二存储器单元门限电压、对第一存储器单元门限电压以及第二存储器单元门限电压中的一个编程还包含: 响应于第一存储器单元门限电压, 对第一存储器单元门限电压以及第二存储器单元门限电压中的一个编程。

12. 如权利要求 10 所述的方法, 还包含:

验证所述响应于第一数据比特、对第一存储器单元门限电压的编程;

重复所述响应于第一数据比特、对第一存储器单元门限电压的编程, 直至编程被验证;

验证所述响应于第二数据比特以及第一存储器单元门限电压、对第一存储器单元门限电压以及第二存储器单元门限电压中的一个的编程;

重复所述响应于第二数据比特以及第一存储器单元门限电压、对第一存储器单元门限电压以及第二存储器单元门限电压中的一个的编程, 直至编程被验证;

验证所述响应于第三数据比特以及第二存储器单元门限电压, 对第一存储器单元门限电压以及第二存储器单元门限电压中的一个的编程; 以及

重复所述响应于第三数据比特以及第二存储器单元门限电压, 对第一存储器单元门限电压以及第二存储器单元门限电压中的一个的编程, 直至编程被验证。

13. 如权利要求 10 所述的编程方法, 其中:

所述响应于第一数据比特、对第一存储器单元门限电压编程还包含: 响应于第一数据比特, 增加第一存储器单元的门限;

所述响应于第二数据比特以及第一存储器单元门限电压、对第一存储器

单元门限电压以及第二存储器单元门限电压中的一个编程还包含：响应于第二数据比特以及第一存储器单元门限电压，增加第一存储器单元门限电压以及第二存储器单元门限电压中的一个；以及

所述响应于第三数据比特以及第二存储器单元门限电压、对第一存储器单元门限电压以及第二存储器单元门限电压中的一个编程还包含：响应于第三数据比特以及第二存储器单元门限电压，增加第一存储器单元门限电压以及第二存储器单元门限电压中的一个门限电压。

14. 如权利要求 10 所述的方法，所述对第一存储器单元门限电压编程还包含：响应于第一数据比特，将第一存储器单元门限电压编程至基本在至少三个门限电压组中的第二个门限电压组内。

15. 如权利要求 10 所述的方法，所述响应于第二数据比特以及第一存储器单元门限电压、对第一存储器单元门限电压以及第二存储器单元门限电压中的一个编程还包含：

如果第一存储器单元门限电压在至少三个门限电压组中的第一个门限电压组内，则响应于第二数据比特，将第二存储器单元的门限编程至基本在第三个门限电压组内；以及

如果第一存储器单元门限电压在第二个门限电压组内，则响应于第二数据比特，将第一存储器单元的门限编程至基本在第三个门限电压组内。

16. 如权利要求 10 所述的方法，所述响应于第三数据比特以及第二存储器单元门限电压、对第一存储器单元门限电压以及第二存储器单元门限电压中的一个编程还包含：

如果第二存储器单元门限电压在至少三个门限电压组中的第一个门限电压组内，则响应于第三数据比特，将第二存储器单元门限电压编程至基本在第二个门限电压组内；

否则，响应于第三数据比特，将第一存储器单元门限电压编程至基本在第二个门限电压组内。

17. 一种读取非易失半导体存储器的方法，包含：

利用第一参考电压，读出第一存储器单元门限电压；

利用第二参考电压，读出第二存储器单元门限电压；以及

响应于读出第一存储器单元门限电压与第二存储器单元门限电压，生成数据比特。

18. 如权利要求 17 所述的方法, 所述第一参考电压不同于所述第二参考电压。

19. 如权利要求 17 所述的方法, 还包含:

将第一锁存数据与第二锁存数据设置为第一状态;

响应于读出第一存储器单元门限电压, 改变第二锁存数据。

响应于第二锁存数据, 改变第一锁存数据;

响应于读出第二存储器单元门限电压, 改变第一锁存数据; 以及

所述生成数据比特还包括: 提供第一锁存数据。

20. 如权利要求 17 所述的方法, 其中所述读出第二存储器单元门限电压还包括: 利用第二参考电压, 读出第二存储器单元门限电压, 该第二参考电压基本等于第一参考电压。

21. 如权利要求 17 所述的方法, 还包含:

将第一锁存数据与第二锁存数据设置为第一状态;

响应于读出第二存储器单元门限电压, 改变第二锁存数据;

响应于读出第一存储器单元门限电压, 改变第二锁存数据;

响应于第二锁存数据, 改变第一锁存数据; 以及

所述生成数据比特还包括: 提供第一锁存数据。

22. 如权利要求 17 所述的方法, 还包括: 利用第三参考电压, 读出第二存储器单元门限电压。

23. 如权利要求 22 所述的方法, 其中:

第一参考电压与第二参考电压基本相等; 以及

第三参考电压不同于第一参考电压与第二参考电压。

24. 如权利要求 22 所述的方法, 还包含:

将第一锁存数据与第二锁存数据设置为第一状态;

响应于利用第一参考电压、读出第二存储器单元门限电压, 改变第二锁存数据;

响应于第二锁存数据, 改变第一锁存数据;

响应于利用第二参考电压、读出第二存储器单元门限电压, 改变第一锁存数据;

响应于第二锁存数据、以及读出第一存储器单元门限电压, 改变第一锁存数据; 以及

所述生成数据比特还包括：提供第一锁存数据。

25. 一种非易失半导体存储器设备，包含：

第一存储器单元串与第二存储器单元串，所述第一存储器单元串与第二存储器单元串每个都包含至少一个两级存储器单元与至少一个三级存储器单元，第一存储器单元串的每个三级存储器单元与第二存储器单元串的对应的三级存储器单元形成存储器单元对；以及

页缓冲器，耦合至第一存储器单元串与第二存储器单元串，并且被配置来将三比特数据映射到第一存储器单元串与第二存储器单元串的存储器单元对的门限电平，以及将一比特数据映射到两级存储器单元的门限电平。

26. 如权利要求 25 所述的非易失半导体存储器设备，其中第一存储器单元串与第二存储器单元串的每个还包含：

第一两级存储器单元；

多个三级存储器单元；以及

第二两级存储器单元；

其中，所述第一两级存储器单元、三级存储器单元、以及第二两级存储器单元相互串联耦合，从而第一两级存储器单元与第二两级存储器单元被放置在存储器单元串的相对端。

27. 如权利要求 25 所述的非易失半导体存储器设备，其中存储器单元对的存储器单元被耦合到同一字线。

28. 如权利要求 25 所述的非易失半导体存储器设备，还包含：控制信号生成电路，被配置来控制页缓冲器，从而如果行地址为对应于在多个三级存储器单元中存储的页的三级地址，则执行三级存储器单元操作，而如果行地址为对应于在两级存储器单元中存储的页的两级地址，则执行两级存储器单元操作。

29. 一种操作非易失半导体存储器设备的方法，包含：

接收与命令相关的行地址；

确定所述行地址是否对应于在多个三级存储器单元中存储的页；以及

如果所述行地址确实对应于这样的页，则在三级存储器单元上执行对应于所述命令的操作。

30. 如权利要求 29 所述的操作非易失半导体存储器设备的方法，还包含：如果所述行地址确实不对应于这样的页，则在与行地址相关的至少一个存储

器单元上执行对应于所述命令的操作。

三级非易失半导体存储器设备及其驱动方法

本申请要求分别于2005年7月29日、2006年1月26日提交的韩国专利申请2005-69270与2006-8358的优先权，其全部内容通过引用融入本文。

技术领域

一般地，本发明涉及半导体存储器设备；更具体地，涉及具有三级存储器单元的非易失半导体存储器设备，以及操作该非易失半导体存储器设备的方法。

背景技术

非易失半导体存储器设备当电源从其断开时保持所存储的数据。已经知道有适合于非易失半导体存储器设备的各种类型的存储器单元。用于非易失半导体存储器设备的一种此类存储器单元为单晶体管型存储器单元。

一般地，晶体管型存储器单元MC，如图1所示，包含半导体基底上的源极S与漏极D，在介电氧化物层DOX与栅极氧化物层GOX之间形成的浮动栅极FG，以及控制栅极CG。浮动栅极FG俘获电子。被俘获的电子设立存储器单元MC的门限电压。当非易失半导体存储器设备运行于读取操作时，检测存储器单元MC的门限电压，并且在其中存储所检测的数据。

一般地，在非易失半导体存储器设备的存储器单元MC中，可以反复运行编程与擦除快做。单晶体管存储器单元MC的各种功能由各种类型的施加电压确定。当电子移动到浮动栅极FG时，对此类单晶体管存储器单元MC编程。电子可以通过Fowler-Nordheim隧道(FN)或者电子注入移动到浮动栅极FG。电子注入可以为沟道热电子注入(CHE)或沟道启动次级电子注入(CISEI)。FN广泛用于一次擦除所有数据的闪烁存储器。

一般地，晶体管存储器单元MC存储两个值之一。这两个数据值，如图2所示，由被设置为两个电平之一的门限值存储。例如，当存储器单元MC的门限电压低于参考电压VM时，数据读取为“1”；而当存储器单元MC的门限电压高于参考电压VM时，数据读取为“0”。

随着半导体存储器设备变得高度集成，人们开发出了四级存储器单元。四级存储器单元，如图 3 所示，可以被编程为四个门限电压电平之一。结果，四级存储器单元可以存储四种数据类型之一。因此，具有四级存储器单元的非易失半导体存储器设备（此后称为“四级非易失半导体存储器设备”）的数据存储容量是具有两级存储器单元的非易失半导体存储器设备（此后称为“两级非易失半导体存储器设备”）的两倍。

在四级存储器单元中，临近级别的门限电压之间的余量一般为 0.67V，这是非常窄的。由于电子泄露等等，每个存储器单元的门限电压可能移动。相应地，被编程为四个门限电平之一的存储器单元 MC 的门限电压可能移动到临近的门限电压。结果，四级非易失半导体存储器设备具有可靠性低的问题。

另外，在四级存储器单元中，临近级别的门限电压之间的余量非常窄，并且施加到存储器单元的控制栅极的编程电压需要间隔非常窄的增量。相应地，四级非易失半导体存储器设备具有编程所需时间非常长的问题。

为了提高四级存储器单元的可靠性、以及减少编程所需时间，人们提出了具有三级存储器单元的非易失半导体存储器设备（此后称为“三级非易失半导体存储器设备”）。

三级存储器单元 MC，如图 4 所示，具有三级门限电压组 G1、G2、G3。在这种情况下，两个存储器单元 MC 形成一组，并且操作来存储 3 比特数据。

因此，与两级存储器单元相比，三级存储器单元具有更大量的存储状态，由此具有相对较高的集成度。另外，与四级存储器单元相比，三级存储器单元在门限电压组之间具有更大的间隔。由此，三级存储器单元具有相对较高的可靠性，并且相对减少了编程所需时间。

同时，现有的三级非易失半导体存储器设备，如图 5 所示，使用以下方法作为基本操作：从两个存储器单元 MC1 与 MC2 的每一个中，读取 3 级（G1、G2、G3）状态，并且将所读取的状态转换为 3 比特（BIT1、BIT2、BIT3）信息。因此，现有的三级非易失半导体存储器设备，如图 6 所示，具有以下缺点：其在页缓冲器 20 与数据输入/输出（I/O）线 30 之间，需要三级代码转换电路 40，从而增加了对布局的限制。

另外，在现有的三级非易失半导体存储器设备中，在读取操作时，通过检查两个存储器单元的每一个的三级状态，来确定三比特数据值。相应地，即使在确定一比特数据值的情况下，也需要进行总共四个数据取操作。结果，

现有的三级非易失半导体存储器设备具有总体取速度低的缺点。

另外，在现有的三级非易失半导体存储器设备中，在编程时依次编程两个存储器单元，因此其具有总体编程速度低的缺点。

发明内容

一种实施例包括一种用于非易失半导体存储器设备的页缓冲器，包含：开关，被配置来将耦合于第一存储器单元的第一比特线耦合到耦合于第二存储器单元的第二比特线；第一锁存块，耦合于第一比特线，并且被配置来将第一锁存数据传送给第一存储器单元；以及第二锁存块，耦合于第二比特线及第一锁存块，并且被配置来将第二锁存数据传送给第二存储器单元。

另一实施例包括一种对非易失半导体存储器设备编程的方法，包含：响应于第一数据比特，对第一存储器单元门限电压编程；响应于第二数据比特以及第一存储器单元门限电压，对第一存储器单元门限电压以及第二存储器单元门限电压中的一个编程；以及响应于第三数据比特以及第二存储器单元门限电压，对第一存储器单元门限电压以及第二存储器单元门限电压中的一个编程。

另一实施例包括一种读取非易失半导体存储器的方法，包含：利用第一参考电压，读出第一存储器单元门限电压；利用第二参考电压，读出第二存储器单元门限电压；以及响应于读出第一存储器单元门限电压与第二存储器单元门限电压，生成数据比特。

附图说明

图 1 为显示典型晶体管型存储器单元的纵向剖面图；

图 2 为显示典型两级存储器单元的门限电压的分布的图示；

图 3 为显示典型四级存储器单元的门限电压的分布的图示；

图 4 为显示典型三级存储器单元的门限电压的分布的图示；

图 5 为常规非易失半导体存储器设备中的三比特数据与相关门限电压的表；

图 6 为显示部分常规非易失半导体存储器设备的方框图；

图 7 为显示根据实施例的部分非易失半导体存储器设备的方框图；

图 8 为显示图 7 存储器阵列部分的方框图，其显示 NAND 型非易失半导体

存储器设备的存储器阵列；

图 9 为显示图 7 的页缓冲器的电路图；

图 10 与 11 为分别显示根据实施例的非易失半导体存储器设备的编程方法中第一页编程的流程图与数据流图；

图 12 为显示在根据实施例的非易失半导体存储器设备的编程方法中、在进行第一页编程之后、存储器单元的门限电压变化的视图；

图 13a 与 13b 为显示根据实施例的非易失半导体存储器设备的编程方法中第二页编程的流程图；

图 14a 与 14b 为基于图 13a 与 13b 的流程图的数据流图；

图 15 为显示在根据实施例的非易失半导体存储器设备的编程方法中、在进行第二页编程之后、存储器单元的门限电压变化的视图；

图 16a 与 16b 为显示根据实施例的非易失半导体存储器设备的编程方法中第三页编程的流程图；

图 17a 与 17b 为基于图 16a 与 16b 的流程图的数据流图；

图 18 为显示在根据实施例的非易失半导体存储器设备的编程方法中、在进行第三页编程之后、第一存储器单元与第二存储器单元的门限电压变化的视图；

图 19 为显示在根据实施例的非易失半导体存储器设备的读取方法中、第一页读取步骤的流程图；

图 20a 与 20b 为基于图 19 流程图的数据流图；

图 21 为显示在根据实施例的非易失半导体存储器设备的读取方法中、第二页读取的流程图；

图 22a 与 22b 为基于图 21 流程图的数据流图；

图 23a 与 23b 为显示在根据实施例的非易失半导体存储器设备的读取方法中、第三页读取的流程图；

图 24a 与 24b 为基于图 23a 与 23b 流程图的数据流图；

图 25 为显示由根据实施例的非易失半导体存储器设备执行的页解码方法的图示；

图 26 为显示由非易失半导体存储器设备执行的编程操作的实施例的流程图；

图 27 为显示由非易失半导体存储器设备执行的读取操作的实施例的流

程图；

图 28 为显示根据另一实施例的图 7 的存储器阵列部分的图示；

图 29 为显示根据另一实施例的图 7 的存储器阵列部分的图示，其显示 NOR 型非易失半导体存储器设备的存储器阵列；

图 30 为显示根据另一实施例的图 7 的存储器阵列部分的图示，其显示 OR 型非易失半导体存储器设备的存储器阵列。

具体实施方式

通过以下结合附图的详细描述，将会更清楚地理解本发明的以上以及其他目的、特征、以及其他优点。参照附图描述了优选实施例。在以下描述中，如果认为对相关公知功能与构造的详细描述会使实施例的理解不清楚，则省略详细描述。

在非易失半导体存储器设备的实施例中，包含三级存储器单元。如上所述，三级存储器单元 (MC) 具有三个门限电压组。可以根据第一参考电压 VR1 与第二参考电压 VR2，划分存储器单元 MC 的门限电压组。例如，可以将门限电压低于第一参考电压 VR1 的门限电压组指定为“第一门限电压组 G1”，可以将门限电压在第一参考电压 VR1 与第二参考电压 VR2 之间的门限电压组指定为“第二门限电压组 G2”。另外，可以将门限电压高于第二参考电压 VR2 的门限电压组指定为“第三门限电压组 G3”。

可以分别在验证编程是否成功的验证读取操作以及读取所存储的数据的正常读取操作中，将第一参考电压 VR1 与第二参考电压 VR2 设置为不同的电平。在该文中，假定第一参考电压 VR1 与第二参考电压 VR2 中的每一个在验证读取操作以及正常读取操作中不变。但是，作出该假定是为了描述方便。如上所述，此类参考电压可能变化。

图 7 为显示根据实施例的部分非易失半导体存储器设备的方框图。在图 7 中，显示有存储器阵列 100、页缓冲器 200、以及行解码器 300。

图 8 为显示图 7 存储器阵列 100 的一部分的方框图，其显示 NAND 型非易失半导体存储器设备的存储器阵列。存储器阵列 100 包含按行列矩阵结构排列的存储器单元 MC。

如图 8 所示，存储器阵列 100 包含第一单元串 ST1 与第二单元串 ST2。第一单元串 ST1 耦合至第一比特线，第二单元串 ST2 耦合至第二比特线。第

一单元串 ST1 包含多个第一存储器单元 MC1，第二单元串 ST2 包含多个第二存储器单元 MC2。第一存储器单元 MC1 与第二存储器单元 MC2 可以电气方式编程与擦除，并且保持数据，即使没有供电也如此。一个第一存储器单元 MC1 与一个第二存储器单元 MC2 可以形成一对。

在第一存储器单元 MC1 与第二存储器单元 MC2 的对中，可以对形成单个组的第一到第三比特数据编程。另外，可以读取根据第一存储器单元 MC1 与第二存储器单元 MC2 对的门限电压的存储状态，作为第一到第三比特数据。

在此处，所使用的第一到第三比特数据可以标记为“BIT1 to BIT3”（BIT1 到 BIT3）。

优选地，形成对的第一存储器单元 MC1 与第二存储器单元 MC2 分别位于第一单元串 ST1 与第二单元串 ST2。

再次参照图 7，通过第一比特线 BL1 与第二比特线 BL2，页缓冲器 200 耦合至存储器阵列。页缓冲器 200 被驱动来将形成组的第一到第三比特数据 BIT1 到 BIT3 映射到第一存储器单元 MC1 与第二存储器单元 MC2 对的门限电压组。

图 9 为详细显示图 7 的页缓冲器 200 的电路图。页缓冲器 200 包含开关 SW、第一锁存块 LTBK1 与第二锁存块 LTBK2。

可以响应于开关控制信号 SWC，控制该开关，以将第一比特线 BL1 连接到第二比特线 BL2。

第一锁存块 LTBK1 可以存储第一锁存数据 DLT1。另外，通过第一比特线 BL1，第一锁存块 LTBK1 可以发送/接收去向/来自存储器阵列 100 的数据。第一缓冲器块 LTBK1 包含读出节点 NSEN、第一锁存单元 210、第一触发单元 220、以及翻转触发单元 230。

响应于第一比特线连接信号，将读出节点 NSEN 连接到第一比特线 BL1。然后，通过比特线闭锁元件 240，可以提供读出节点 NSEN 上的数据。

第一锁存单元 210 锁存并存储第一锁存数据 DLT1。响应于第一比特线选择信号 BLSLT1，第一锁存单元 210 将第一锁存数据 DLT1 映射到第一比特线 BL1。

第一触发单元 220 可以根据读出节点 NSEN 的电压电平或者第二缓冲器块 LTBK2 的第二锁存数据 DLT2，将第一锁存数据 DLT1 改变为逻辑 H 状态。在此处，所使用的逻辑 L 状态与逻辑 H 状态可以分别被指定为“第一逻辑状态”

与“第二逻辑状态”。

详细地，第一触发单元 220 包含传送单元 221 与触发电路 223。响应于传送控制信号 TR，使能传送单元 221。在这种情况下，根据第二缓冲器块 LTBK2 的第二锁存数据 DLT2，传送单元 221 将第一锁存数据 DLT1 从逻辑 L 状态触发到逻辑 H 状态。

响应于第一锁存控制信号 LCH1，使能触发电路 223。在这种情况下，根据读出节点 NSEN 的电压电平，触发电路 223 进行控制操作，从而在第一锁存单元 210 中锁存的第一锁存数据 DLT1 被设置为逻辑 H 状态。

根据读出节点 NSEN 的电压电平与第二缓冲器块 LTBK2 的第二锁存数据 DLT2，翻转触发单元 230 可以将第一锁存单元 210 中锁存的第一锁存数据 DLT1 改变为逻辑 L 状态。根据读出节点 NSEN 的电压电平，翻转触发单元 230 进行控制操作，从而第一锁存数据 DLT1 可以改变。例如，当在第二锁存块 LTBK2 中锁存的第二锁存数据 DLT2 的逻辑状态为逻辑 L 时，翻转触发单元 230 不会将第一锁存数据 DLT1 改变为逻辑 L 状态。

优选地，第一缓冲器块 LTBK1 还包含第一输入/输出单元 250。第一输入/输出单元 250 可以装入 (load) 第一锁存单元 210 的第一锁存数据 DLT1，或者可以将第一锁存数据 DLT1 提供给内部数据线 IDL。

响应于读出预充电信号/PRE，读出预充电块 201 用电源电压 VDD 对读出节点 NSEN 预充电。

参照图 9，第二锁存块 LTBK2 可以存储第二锁存数据 DLT2。另外，通过第二比特线 BL2，第二锁存块 LTBK2 可以发送/接收去向/来自存储器阵列 100 的数据。

第二缓冲器块 LTBK2 包含第二锁存单元 260 与第二触发单元 270。第二锁存单元 260 锁存并存储第二锁存数据 DLT2。另外，响应于第二比特线选择信号 BLSLT2，第二锁存单元 260 可以发送/接收到第二比特线 BL2 的第二锁存数据 DLT2。

第二触发单元 270 可以根据读出节点 NSEN 的电压电平，将第二锁存数据 DLT2 改变为逻辑 H 状态。响应于第二锁存控制信号 LCH2，使能第二触发单元 270。在这种情况下，根据读出节点 NSEN 的电压电平，第二触发单元 270 进行控制操作，从而在第二锁存单元 260 中锁存的第二锁存数据 DLT2 被改变为逻辑 H 状态。

再次参照图 7，行解码器 300 耦合至存储器阵列 100，以控制选定字线 WL 的电压电平。根据行地址 XADD，行解码器 300 激活选定字线 WL。行解码器 300 提供串选择信号 SSL 与地选择信号 GSL。数据输入/输出电路 700 将在页缓冲器 200 中锁存的数据输出到外部系统，并且将从外部系统输入的数据装到页缓冲器 200 上。

图 7 的非易失半导体存储器设备还包含页识别电路 500 与控制信号生成电路 600。

页识别电路 500 接收行地址 XADD，并且提供页信息 PGIF 给控制信号生成电路 600。在这种情况下，页信息 PGIF 包含指示第一到第三页中哪页对应于收到的行地址 XADD 的信息。

响应于操作命令 CMD 与页信息 PGIF，控制信号生成电路 600 确定编程操作、读取操作等等，并且向页缓冲器 200、行解码器 300、以及数据 I/O 电路 400 提供根据所确定的操作的控制信号。

同时，在该实施例中，假定内部数据线 IDL 上的数据值等于第一到第三比特数据 BIT1 到 BIT3 中每一个的数据值，其在进行编程或读取操作时从页缓冲器之外提供。即，假定当每个比特数据值为“1”时，内部数据线 IDL 的逻辑电平为逻辑 H，而当每个比特数据值为“0”时，内部数据线 IDL 的逻辑电平为逻辑 L。

如图 3 所示，在三级非易失半导体存储器设备中，在页缓冲器与数据 I/O 线之间，不需要三级代码转换电路。由此，显著减少了对布局的限制。

接着描述非易失半导体存储器设备编程方法的实施例。对存储器单元对的编程按照第一到第三页编程步骤的次序进行，其分别使用第一到第三比特数据 BIT1 到 BIT3。

图 10 与 11 为分别显示非易失半导体存储器设备编程方法的实施例中第一页编程的流程图与数据流图。在第一页编程时，根据第一比特数据 BIT1，将第一存储器单元 MC1 的门限电压编程为第二门限电压组 G2。

参照图 10，在 S1110，第一锁存数据 DLT1 被重置为逻辑 H 状态。在 S1120，通过内部数据线 IDL，装入第一比特数据 BIT1，作为第一锁存数据 DLT1（参照图 11 的 A1）。即，当第一比特数据 BIT1 为“0”时，第一锁存数据 DLT1 被锁存为逻辑 L 状态。相反，当第一比特数据 BIT1 为“1”时，第一锁存数据 DLT1 被维持在逻辑 H 状态。

接着，在 S1130，利用第一锁存数据 DLT1，对第一存储器单元 MC1 进行编程（参照图 11 的 A2）。即，如果第一比特数据 BIT1 为“0”，则第一存储器单元 MC1 的门限电压增加，而如果第一比特数据 BIT1 为“1”，则第一存储器单元 MC1 的门限电压被维持在其先前状态上。

另外，在 S1140，根据第一参考电压 VR1，第一存储器单元 MC1 的门限电压被反映到读出节点 NSEN 上（参照图 11 的 A3）。即，在读出节点 NSEN 上，反映第一存储器单元 MC1 的门限电压是否高于第一参考电压 VR1。例如，如果第一存储器单元 MC1 的门限电压高于第一参考电压 VR1，则读出节点 NSEN 的电压电平被调整到电源电压 VDD。相反，如果第一存储器单元 MC1 的门限电压低于第一参考电压 VR1，则读出节点 NSEN 的电压电平被调整到地电压 VSS。

在 S1150，生成第一锁存控制信号 LCH1，作为 H 脉冲。此时，根据读出节点 NSEN 的电压电平，第一锁存数据 DLT1 选择性地改变到逻辑 H 状态（参照图 11 的 A4）。换言之，如果读出节点 NSEN 的电压电平为电源电压 VDD，则第一锁存数据 DLT1 被设置为逻辑 H 状态。相反，如果读出节点 NSEN 的电压电平被调整到地电压 VSS，则第一锁存数据 DLT1 被维持在其先前数据状态上。

因此，在进行了 S1150 之后第一锁存数据 DLT1 为逻辑 L 状态这一事实意味着：虽然对第一存储器单元 MC1 进行编程，但是第一存储器单元 MC1 的门限电压没有被调整到根据第一比特数据 BIT1 的第一或第二门限电压组 G1 或 G2 的目标。

在 S1160，生成第一数据线控制信号 DIO1，作为 H 脉冲，从而读出第一锁存数据 DLT1 的逻辑状态（参照图 11 的 A5）。在 S1170，验证编程是否成功。在该实施例中，在 S1160 读取的数据的逻辑 H 状态指示编程成功。相反，在 S1160 读取的数据的逻辑 L 状态指示编程失败。

如果编程失败，则流程返回到 S1130。在这种情况下，在 S1130，选定字线的电压电平逐步增加。

图 12 为显示在根据实施例的非易失半导体存储器设备的编程方法中、在进行第一页编程之后、第一存储器单元 MC1 与第二存储器单元 MC2 的门限电压变化的视图。

当第一比特数据 BIT1 为“1”（情况 11）时，第一存储器单元 MC1 与第二存储器单元 MC2 的门限电压都维持在擦除状态，即在第一门限电压组 G1 上。

当第一比特数据 BIT1 为“0”（情况 12）时，第一存储器单元 MC1 的门限电压被调整到第二门限电压组 G2，并且，第二存储器单元 MC2 的门限电压被维持在第一门限电压组 G1 上。

图 13a 与 13b 为显示根据实施例的非易失半导体存储器设备编程方法中第二页编程的流程图。另外，图 14a 与 14b 为基于图 13a 与 13b 的流程图的流程图。在第二页编程时，根据第二比特数据 BIT2、以及第一存储器单元 MC1 的门限电压，将第一存储器单元 MC1 或第二存储器单元 MC2 的门限电压编程为第三门限电压组 G3。

参照图 13a 与 13b，在 S1205，第一锁存数据 DLT1 与第二锁存数据 DLT2 被重置为逻辑 H 状态。在 S1210，通过内部数据线 IDL，利用第二比特数据 BIT2，进行控制第一锁存数据 DLT1 与第二锁存数据 DLT2 的数据装入步骤（参照图 14a 的 B1）。即，当第二比特数据 BIT2 为“0”时，第一锁存数据 DLT1 与第二锁存数据 DLT2 被锁存为逻辑 L 状态。相反，当第二比特数据 BIT2 为“1”时，第一锁存数据 DLT1 与第二锁存数据 DLT2 被维持在逻辑 H 状态。

此后，在 S1215 与 S1220，利用在第一页编程步骤中在第一存储器单元中编程的数据，进行控制在数据装入步骤控制的第二锁存数据 DLT2 的先前数据反映步骤。

详细地，在 S1215，根据第一参考电压 VR1，将在第一页编程步骤中编程的第一存储器单元 MC1 的数据反映在读出节点 NSEN 上（参照图 14a 的 B2）。另外，在 S1220，利用在 S1215 获得的读出节点 NSEN 的电压电平，控制第二锁存数据 DLT2（参照图 14a 的 B3）。因此，如果第一比特数据 BIT1 为“0”，则读出节点 NSEN 为逻辑 H 状态，并且第二锁存数据 DLT2 改变为逻辑 H 状态。相反，如果第一比特数据 BIT1 为“1”，则读出节点 NSEN 为逻辑 L 状态，并且第二锁存数据 DLT2 被维持在其当前状态上。

在 S1225，传送控制信号 TR 被激活为逻辑 H 状态。因此，在 S1225，响应于第二锁存数据 DLT2，将第一锁存数据 DLT1 选择性地设置为逻辑 H 状态（参照图 14a 的 B4 与 B4'）。即，如果第二锁存数据 DLT2 当前为“1”，则第一锁存数据 DLT1 被维持在其先前状态上。相反，如果第二锁存数据 DLT2 为“0”，则第一锁存数据 DLT1 改变为逻辑 H 状态。

以下描述在进行了 S1225 之后，第一锁存数据 DLT1 与第二锁存数据 DLT2 的逻辑状态。

即，如果第二比特数据 BIT2 为“1”，则第一锁存数据 DLT1 与第二锁存数据 DLT2 为逻辑 H，而不管第一比特数据 BIT1 的值为何。

另外，如果第一比特数据 BIT1 为“0”且第二比特数据 BIT2 为“0”，则第一锁存数据 DLT1 为逻辑 L，而第二锁存数据 DLT2 为逻辑 H。

另外，如果第一比特数据 BIT1 为“1”且第二比特数据 BIT2 为“0”，则第一锁存数据 DLT1 为逻辑 H，而第二锁存数据 DLT2 为逻辑 L。

此后，在 S1230，利用第一锁存数据 DLT1 与第二锁存数据 DLT2，对第一存储器单元 MC1 与第二存储器单元 MC2 进行编程（参照图 16b 的 B5 与 B5'）。即，如果第二比特数据 BIT2 为“1”，则第一存储器单元 MC1 的门限电压被维持在其先前状态上。

同时，如果第二比特数据 BIT2 为“0”，则将第一存储器单元 MC1 或第二存储器单元 MC2 的门限电压调整到第三门限电压组 G3。换言之，如果第一比特数据 BIT1 为“0”，则将第一存储器单元 MC1 的门限电压调整到第三门限电压组 G3。如果第一比特数据 BIT1 为“1”，则将第二存储器单元 MC2 的门限电压调整到第三门限电压组 G3。

因此，如果作为第一页编程的结果、已经将第一存储器单元 MC1 的门限电压调整到第二门限电压组 G2，则在第二页编程时，将第一存储器单元 MC1 的门限电压调整到第三门限电压组 G3。相反，当作为第一页编程的结果、已经将第一存储器单元 MC1 的门限电压维持在第一门限电压组 G1 上时，则在第二页编程时，响应于第二比特数据 BIT2，将第二存储器单元 MC2 的门限电压调整到第三门限电压组 G3。

接着，在 S1235，根据第二参考电压 VR2，将第一存储器单元 MC1 的门限电压反映在读出节点 NSEN 上（参照图 14b 的 B6）。即，在读出节点 NSEN 上反映第一存储器单元 MC1 的门限电压是否高于第二参考电压 VR2。

在 S1240，生成第一锁存控制信号 LCH1，作为 H 脉冲。在这种情况下，根据读出节点 NSEN 的电压电平，第一锁存数据 DLT1 选择性地改变到逻辑 H 状态（参照图 14b 的 B7）。

另外，在 S1245，根据第二参考电压 VR2，将第二存储器单元 MC2 的门限电压反映在读出节点 NSEN 上（参照图 14b 的 B8）。即，在读出节点 NSEN 上反映第二存储器单元 MC2 的门限电压是否高于第二参考电压 VR2。

在 S1250，生成第二锁存控制信号 LCH2，作为 H 脉冲。在这种情况下，

根据读出节点 NSEN 的电压电平，第二锁存数据 DLT 2 选择性地从逻辑 L 状态触发到逻辑 H 状态（参照图 14b 的 B9）。

在 S1255，同时或依次生成第一数据线控制信号 DI01 与第二数据线控制信号 DI02，作为 H 脉冲，并且读出第一锁存数据 DLT1 与第二锁存数据 DLT 2 的逻辑状态（参照图 14b 的 B10）。在 S1260，验证编程是否成功。

对于本领域技术人员来说，显然在该实施例的非易失半导体存储器设备中，可以使用如果第一存储器单元 MC1 与第二存储器单元 MC2 中任何一个的门限电压被调整为第三门限电压组 G3、则能够验证编程是否成功的电路，作为编程验证电路，用来在 S1260 验证编程是否成功。

如果编程失败，则重复 S1230 及以下步骤。此时，在 S1230，选定字线或比特线的电压电平逐步增加。

当参照图 10 的 S1140 到 S1150 时，本领域技术人员可以明白图 13b 的 S1235、S1240、S1245、以及 S1250 的读出节点 NSEN 电压电平以及第一锁存数据 DLT1 与第二锁存数据 DLT2 逻辑状态的变化，因此省略其详细描述。

图 15 为显示在根据实施例的非易失半导体存储器设备的编程方法中、在进行第二页编程之后、第一存储器单元 MC1 与第二存储器单元 MC2 的门限电压变化的视图。

当第一比特数据 BIT1 与第二比特数据 BIT2 都为“1”（情况 21）时，第一存储器单元 MC1 与第二存储器单元 MC2 的门限电压都维持在擦除状态，即在第一门限电压组 G1 上。

当第一比特数据 BIT1 为“1”且第二比特数据 BIT2 为“0”（情况 22）时，第一存储器单元 MC1 的门限电压被维持在第一门限电压组 G1 上，第二存储器单元 MC2 的门限电压被调整到第三门限电压组 G3。

当第一比特数据 BIT1 为“0”且第二比特数据 BIT2 为“1”（情况 23）时，第一存储器单元 MC1 的门限电压被维持在第二门限电压组 G2 上，第二存储器单元 MC2 的门限电压被维持在第一门限电压组 G1 上。

当第一比特数据 BIT1 与第二比特数据 BIT2 都为“0”（情况 24）时，第一存储器单元 MC1 的门限电压被调整到第三门限电压组 G3，第二存储器单元 MC2 的门限电压被维持在第一门限电压组 G1 上。

图 16a 与 16b 为显示根据实施例的非易失半导体存储器设备编程方法中第三页编程的流程图。图 17a 与 17b 为基于图 16a 与 16b 的流程图的流程图的数据流

图。在第三页编程时，根据第三比特数据 BIT3，将第一存储器单元 MC1 或第二存储器单元 MC2 的门限电压编程为第二门限电压组 G2。

参照图 16a 与 16b，在 S1305，第一锁存数据 DLT1 与第二锁存数据 DLT2 被重置为逻辑 H 状态。在 S1310，通过内部数据线 IDL，利用第三比特数据 BIT3，装入第一锁存数据 DLT1 与第二锁存数据 DLT2（参照图 17a 的 C1）。即，当第三比特数据 BIT3 为“0”时，第一锁存数据 DLT1 与第二锁存数据 DLT2 被锁存为逻辑 L 状态。相反，当第三比特数据 BIT3 为“1”时，第一锁存数据 DLT1 与第二锁存数据 DLT2 被维持在逻辑 H 状态。

接着，在 S1315 与 S1320，利用在第二页编程中在第二存储器单元 MC2 中编程的数据，控制第二锁存数据 DLT2。

详细地，在 S1315，根据第二参考电压 VR2，将在第二页编程步骤中编程的第二存储器单元 MC2 的数据反映在读出节点 NSEN 上（参照图 17a 的 C2）。另外，在 S1320，利用在步骤 S1315 获得的读出节点 NSEN 的电压电平，选择性地改变第二锁存数据 DLT2（参照图 17a 的 C3）。因此，当第一比特数据 BIT1 为“1”且第二比特数据 BIT2 为“0”时，第二锁存数据 DLT2 触发至逻辑 H 状态。相反，在除第一比特数据 BIT1 为“1”且第二比特数据 BIT2 为“0”之外的其余情况下，第二锁存数据 DLT2 被维持在其先前状态上。

另外，在 S1325，传送控制信号 TR 被激活为逻辑 H 状态。因此，在 S1325，利用第二锁存数据 DLT2，选择性地改变第一锁存数据 DLT1（参照图 17a 的 C4 与 C4'）。即，当第一比特数据 BIT1 为“1”且第二比特数据 BIT2 为“0”时，第一锁存数据 DLT1 被维持在其先前状态上。

相反，在其余情况下，第一锁存数据 DLT1 触发至逻辑 H 状态。

以下描述在进行了 S1325 之后，第一锁存数据 DLT1 与第二锁存数据 DLT2 的逻辑状态。

即，当第三比特数据 BIT3 为“1”时，第一锁存数据 DLT1 与第二锁存数据 DLT2 为逻辑 H，而不管第一比特数据 BIT1 与第二比特数据 BIT2 的值为何。

另外，当第一比特数据 BIT1 与第二比特数据 BIT2 为“0”且第三比特数据 BIT3 为“0”时，第一锁存数据 DLT1 为逻辑 H，而第二锁存数据 DLT2 为逻辑 L。

另外，当第一比特数据 BIT1 为“1”且第二比特数据 BIT2 与第三比特数据 BIT3 为“0”时，第一锁存数据 DLT1 为逻辑 L，而第二锁存数据 DLT2

为逻辑 H。

另外，当第一比特数据 BIT1 为“0”、第二比特数据 BIT2 为“1”、且第三比特数据 BIT3 为“0”时，第一锁存数据 DLT1 为逻辑 H，而第二锁存数据 DLT2 为逻辑 L。

另外，当第一至第三比特数据 BIT1 至 BIT3 为“0”时，第一锁存数据 DLT1 为逻辑 H，而第二锁存数据 DLT2 为逻辑 L。

此后，在 S1330，利用第一锁存数据 DLT1 与第二锁存数据 DLT2，对第一存储器单元 MC1 与第二存储器单元 MC2 进行编程（参照图 19b 的 C5）。当第三比特数据 BIT3 为“1”时，第一存储器单元 MC1 与第二存储器单元 MC2 的门限电压被维持在其先前状态上。

相反，当第三比特数据 BIT3 为“0”时，则将第一存储器单元 MC1 或第二存储器单元 MC2 的门限电压调整到第二门限电压组 G2。换言之，当第一比特数据 BIT1 为“1”且第二比特数据 BIT2 为“0”时，则将第一存储器单元 MC1 的门限电压调整到第二门限电压组 G2。在其余情况下，将第二存储器单元 MC2 的门限电压调整到第二门限电压组 G2。

因此，当作为第二页编程的结果、已经将第二存储器单元 MC2 的门限电压调整到第三门限电压组 G3 时，则在第三页编程时，响应于第三比特数据 BIT3，将第一存储器单元 MC1 的门限电压调整到第二门限电压组 G2。相反，当作为第二页编程步骤的结果、已经将第二存储器单元 MC2 的门限电压维持在第一门限电压组 G1 上时，则在第三页编程时，响应于第三比特数据 BIT3，将第二存储器单元 MC2 的门限电压调整到第二门限电压组 G2。

接着，在 S1335，根据第一参考电压 VR1，将第一存储器单元 MC1 的门限电压反映在读出节点 NSEN 上（参照图 17b 的 C6）。

在步骤 S1340，生成第一锁存控制信号 LCH1，作为 H 脉冲。在这种情况下，根据读出节点 NSEN 的电压电平，第一锁存数据 DLT1 选择性地改变到逻辑 H 状态（参照图 17b 的 C7）。

另外，在 S1345，根据第一参考电压 VR1，将第二存储器单元 MC2 的门限电压反映在读出节点 NSEN 上（参照图 17b 的 C8）。

在 S1350，生成第二锁存控制信号 LCH2，作为 H 脉冲。在这种情况下，根据读出节点 NSEN 的电压电平，第二锁存数据 DLT 2 选择性地改变为逻辑 H 状态（参照图 17b 的 C9）。

在 S1355, 同时或依次生成第一数据线控制信号 DI01 与第二数据线控制信号 DI02, 作为 H 脉冲, 从而读出第一锁存数据 DLT1 与第二锁存数据 DLT2 的逻辑状态 (参照图 17b 的 C10)。在步骤 S1360, 验证编程是否成功。

如果编程失败, 则重复 S1330 及以下步骤。此时, 在 S1330, 选定字线或比特线的电压电平逐步增加。

同时, 当参照图 10 的 S1140 和 S1150 时, 本领域技术人员可以明白图 17b 的 S1335、S1340、S1345、以及 S1350 的读出节点 NSEN 电压电平以及第一锁存数据 DLT1 与第二锁存数据 DLT2 逻辑状态的变化, 因此省略其详细描述。

图 18 为显示在根据实施例的非易失半导体存储器设备的编程方法中、在进行第三页编程步骤之后、第一存储器单元 MC1 与第二存储器单元 MC2 的门限电压变化的视图。

当第一比特数据 BIT1、第二比特数据 BIT2、与第三比特数据 BIT3 都为“1” (情况 31) 时, 第一存储器单元 MC1 与第二存储器单元 MC2 的门限电压都维持在擦除状态, 即在第一门限电压组 G1 上。

当第一比特数据 BIT1 与第二比特数据 BIT2 为“1”、且第三比特数据 BIT3 为“0” (情况 32) 时, 第一存储器单元 MC1 的门限电压被维持在第一门限电压组 G1 上, 第二存储器单元 MC2 的门限电压被调整到第二门限电压组 G2。

当第一比特数据 BIT1 为“1”、第二比特数据 BIT2 为“0”、且第三比特数据 BIT3 为“1” (情况 33) 时, 第一存储器单元 MC1 的门限电压被维持在第一门限电压组 G1 上, 第二存储器单元 MC2 的门限电压被维持在第三门限电压组 G3 上。

当第一比特数据 BIT1 为“1”、第二比特数据 BIT2 为“0”、且第三比特数据 BIT3 为“0” (情况 34) 时, 第一存储器单元 MC1 的门限电压被调整到第二门限电压组 G2, 第二存储器单元 MC2 的门限电压被维持在第三门限电压组 G3 上。

当第一比特数据 BIT1 为“0”、第二比特数据 BIT2 为“1”、且第三比特数据 BIT3 为“1” (情况 35) 时, 第一存储器单元 MC1 的门限电压被维持在第二门限电压组 G2 上, 第二存储器单元 MC2 的门限电压被维持在第一门限电压组 G1 上。

当第一比特数据 BIT1 为“0”、第二比特数据 BIT2 为“1”、且第三比特

数据 BIT3 为“0”（情况 36）时，第一存储器单元 MC1 的门限电压被维持在第二门限电压组 G2 上，第二存储器单元 MC2 的门限电压被调整到第二门限电压组 G2。

当第一比特数据 BIT1 为“0”、第二比特数据 BIT2 为“0”、且第三比特数据 BIT3 为“1”（情况 37）时，第一存储器单元 MC1 的门限电压被维持在第三门限电压组 G3 上，第二存储器单元 MC2 的门限电压被维持在第一门限电压组 G1 上。

当第一比特数据 BIT1、第二比特数据 BIT2、与第三比特数据 BIT3 都为“0”（情况 38）时，第一存储器单元 MC1 的门限电压被维持在第三门限电压组 G3 上，第二存储器单元 MC2 的门限电压被调整到第二门限电压组 G2。

由此，在实施例的三级非易失半导体存储器设备的驱动方法中，可以根据三个依次提供的比特数据 BIT1、BIT2、BIT3，同时控制第一存储器单元 MC1 与第二存储器单元 MC2 的门限电压。另外，可以通过对于每个比特数据值的仅仅一或两次读取操作，验证编程是否成功。

因此，根据实施例的三级非易失半导体存储器设备的编程方法，总体操作速度非常高。

此后，描述非易失半导体存储器设备的读取方法的实施例。在该例子中，即使可以随机地分别执行读取第一到第三比特数据 BIT1 到 BIT3 的第一到第三页读取步骤，进行存储器单元对的读取也没有问题。

图 19 为显示在根据实施例的非易失半导体存储器设备的读取方法中、第一页读取的流程图。图 20a 与 20b 为基于图 19 流程图的数据流图。在第一页读取时，验证第一门限电压组 G1 的第一存储器单元 MC1 与第三门限电压组 G3 的第二存储器单元 MC2，从而读取第一比特数据 BIT1。

参照图 19，在 S1410，第一锁存数据 DLT1 与第二锁存数据 DLT2 被设置为逻辑 L 状态（参照图 20a 的 D1）。

另外，在 S1420 与 S1430，利用依赖于基于第一参考电压 VR1 验证的第一存储器单元 MC1 门限电压的数据，进行控制第二锁存数据 DLT2 的数据获取 (fetching)。

详细地，在 S1420，根据第一参考电压 VR1，第一存储器单元 MC1 的门限电压被反映到读出节点 NSEN 上（参照图 20a 的 D2）。在 S1430，生成第二锁存控制信号 LCH2，作为 H 脉冲。此时，根据读出节点 NSEN 的电压电平，第

二锁存数据 DLT2 选择性地改变到逻辑 H 状态（参照图 20a 的 D3）。

另外，在 S1440，传送控制信号 TR 被激活为逻辑 H 状态。因此，在 S1440，由 S1430 处的第二锁存数据 DLT2 选择性地控制第一锁存数据 DLT1（参照图 20a 的 D4 与 D4'）。

描述在执行步骤 S1440 之后的第一锁存数据 DLT1 的逻辑状态。即，当第一存储器单元 MC1 的门限电压属于第一门限电压组 G1（图 20 的情况 31、情况 32、与情况 33）时，将第一锁存数据 DLT1 从逻辑 L 状态调整到逻辑 H 状态。相反，当第一存储器单元 MC1 的门限电压属于第二门限电压组 G2 或第三门限电压组 G3（图 18 的情况 34 至情况 38）时，将第一锁存数据 DLT1 维持在逻辑 L 状态上。

另外，在 S1450 与 S1460，利用依赖于基于第二参考电压 VR2 验证的第二存储器单元 MC2 的门限电压的数据，选择性地改变第一锁存数据 DLT1。

详细地，在 S1450，根据第二参考电压 VR2，第二存储器单元 MC2 的门限电压被反映到读出节点 NSEN 上（参照图 20b 的 D5）。在步骤 S1460，生成第一锁存控制信号 LCH1，作为 H 脉冲。在这种情况下，根据读出节点 NSEN 的电压电平，第一锁存数据 DLT1 选择性地改变到逻辑 H 状态（参照图 20b 的 D6）。

下面描述 S1460 处第一锁存数据 DLT1 的逻辑状态的变化。即，当第二存储器单元 MC2 的门限电压属于第三门限电压组 G3（图 18 的情况 33 与情况 34）时，将第一锁存数据 DLT1 从逻辑 L 状态调整到逻辑 H 状态。相反，在其余情况下，将第一锁存数据 DLT1 维持在其先前状态上。

因此，下面描述执行 S1440 与 S1460 之后的第一锁存数据 DLT1 的逻辑状态的变化。当第一存储器单元 MC1 的门限电压属于第一门限电压组 G1 时、或者当第二存储器单元 MC2 的门限电压属于第三门限电压组 G3（图 18 的情况 31 到情况 34）时，即，当第一比特数据 BIT1 为“1”时，将第一锁存数据 DLT1 调整到逻辑 H 状态。相反，在其余情况下（图 18 的情况 35 到情况 38），即，当第一比特数据 BIT1 为“0”时，将第一锁存数据 DLT1 维持在逻辑 L 状态上。

在 S1470，执行数据验证步骤，即生成第一数据线控制信号 DI01 作为 H 脉冲，读出第一锁存数据 DLT1 的逻辑状态，并且验证第一比特数据 BIT1（参照图 20b 的 D7）。

在该实施例中，具有逻辑 H 状态的输出数据指示第一比特数据 BIT1 为“1”，而具有逻辑 L 状态的输出数据指示第一比特数据 BIT1 为“0”。

由此，可以通过单个的读取操作读取第一比特数据 BIT1。

图 21 为显示在根据实施例的非易失半导体存储器设备的读取方法中、第二页读取的流程图。图 22a 与 22b 为基于图 21 流程图的数据流图。在第二页读取时，验证第三门限电压组 G3 的第一存储器单元 MC1 或第二存储器单元 MC2，从而读取第二比特数据 BIT2。

参照图 21，在 S1510，第一锁存数据 DLT1 与第二锁存数据 DLT2 被设置为逻辑 L 状态（参照图 22a 的 E1）。

另外，在 S1520 与 S1530，利用依赖于基于第二参考电压 VR2 验证的第二存储器单元 MC2 的门限电压的数据，控制第二锁存数据 DLT2。

详细地，在 S1520，根据第二参考电压 VR2，第二存储器单元 MC2 的门限电压被反映到读出节点 NSEN 上（参照图 22a 的 E2）。在 S1530，生成第二锁存控制信号 LCH2，作为 H 脉冲。在这种情况下，根据读出节点 NSEN 的电压电平，第二锁存数据 DLT2 选择性地改变到逻辑 H 状态（参照图 22a 的 E3）。

下面描述在执行 S1530 之后的第二锁存数据 DLT2 的逻辑状态。即，当第二存储器单元 MC2 的门限电压属于第三门限电压组 G3（图 18 的情况 33 与情况 34）时，将第二锁存数据 DLT2 从逻辑 L 状态调整到逻辑 H 状态。相反，在其余情况下（图 18 的情况 31、情况 32、以及情况 35 至情况 38），将第二锁存数据 DLT2 维持在逻辑 L 状态上。

另外，在 S1540 与 S1550，利用依赖于基于第二参考电压 VR2 验证的第一存储器单元 MC1 的门限电压的数据，控制第二锁存数据 DLT2。

详细地，在 S1540，根据第二参考电压 VR2，第一存储器单元 MC1 的门限电压被反映到读出节点 NSEN 上（参照图 22b 的 E4）。在 S1550，生成第二锁存控制信号 LCH2，作为 H 脉冲。在这种情况下，根据读出节点 NSEN 的电压电平，第二锁存数据 DLT2 选择性地改变到逻辑 H 状态（参照图 22b 的 E5）。

下面描述在执行 S1550 之后的第二锁存数据 DLT2 的逻辑状态。即，当第一存储器单元 MC1 的门限电压属于第三门限电压组 G3（图 18 的情况 37 与情况 38）时，将第二锁存数据 DLT2 调整到逻辑 H 状态。相反，在其余情况下（图 18 的情况 31 至情况 36），将第二锁存数据 DLT2 维持在其先前逻辑状态上。

另外，在 S1560，激活传送控制信号 TR 到逻辑 H 状态。因此，在 S1560，利用 S1530 与 S1550 处的第二锁存数据 DLT2，控制在步骤 S1550 设置的第一锁存数据 DLT1 (参照图 22b 的 E6 和 E6')。

以下描述执行 S1560 之后的第一锁存数据 DLT1 的逻辑状态。即，当第一存储器单元 MC1 或者第二存储器单元 MC2 的门限电压属于第三门限电压组 G3 (图 18 的情况 33、情况 34、情况 37 与情况 38) 时，将第一锁存数据 DLT1 从逻辑 L 状态调整到逻辑 H 状态。相反，在其余情况下 (图 18 的情况 31、情况 32、情况 35 与情况 36)，将第一锁存数据 DLT1 维持在逻辑 L 状态上。

在 S1570，生成第一数据线控制信号 DI01 作为 H 脉冲，读出第一锁存数据 DLT1 的逻辑状态，并且验证第二比特数据 BIT2 (参照图 22b 的 E7)。在该实施例中，具有逻辑 H 状态的输出数据指示第二比特数据 BIT2 为“1”，而具有逻辑 L 状态的输出数据指示第二比特数据 BIT2 为“0”。

如上所述，根据该实施例的非易失半导体存储器设备的驱动方法，可以通过单个读取操作读取第二比特数据 BIT2 的值。

图 23a 与 23b 为显示在根据实施例的非易失半导体存储器设备的读取方法中、第三页读取的流程图。图 24a 与 24b 为基于图 23a 与 23b 流程图的数据流图。在第三页读取步骤，验证第一门限电压组 G1 或第三门限电压组 G3 的第二存储器单元 MC2，排除第二门限电压组 G2 的第一存储器单元 MC1，从而读取第三比特数据 BIT3。

参照图 23a 与 23b，在步骤 S1610，将第一锁存数据 DLT1 与第二锁存数据 DLT2 设置为逻辑 L 状态 (参照图 24a 的 F1)。

另外，在 S1620 与 S1630，利用依赖于基于第一参考电压 VR1 验证的第二存储器单元 MC2 的门限电压的数据，控制第二锁存数据 DLT2。

详细地，在 S1620，根据第一参考电压 VR1，第二存储器单元 MC2 的门限电压被反映到读出节点 NSEN 上 (参照图 24a 的 F2)。在步骤 S1630，生成第二锁存控制信号 LCH2，作为 H 脉冲。此时，根据读出节点 NSEN 的电压电平，第二锁存数据 DLT2 选择性地改变到逻辑 H 状态 (参照图 24a 的 F3)。

另外，在 S1640，将传送控制信号 TR 激活到逻辑 H 状态。因此，在 S1640，利用在 S1630 获得的第二锁存数据 DLT2，控制在步骤 S1610 设置的第一锁存数据 DLT1。

下面描述在执行步骤 S1640 之后的第一锁存数据 DLT1 的逻辑状态。即，

当第二存储器单元 MC2 的门限电压属于第一门限电压组 G1 (图 18 的情况 31、情况 35、与情况 37) 时, 将第一锁存数据 DLT1 从逻辑 L 状态调整到逻辑 H 状态。相反, 当第一存储器单元 MC1 的门限电压属于第二或第三门限电压组 G2 或 G3 (图 18 的情况 32、情况 33、情况 34、情况 36、以及情况 38) 时, 将第一锁存数据 DLT1 维持在逻辑 L 状态上。

另外, 在 S1650 与 S1660, 利用依赖于基于第二参考电压 VR2 验证的第二存储器单元 MC2 的门限电压的数据, 选择性地改变第一锁存数据 DLT1。

详细地, 在 S1650, 根据第二参考电压 VR2, 第二存储器单元 MC2 的门限电压被反映到读出节点 NSEN 上 (参照图 24b 的 F5)。在 S1660, 生成第一锁存控制信号 LCH1, 作为 H 脉冲。在这种情况下, 根据读出节点 NSEN 的电压电平, 第一锁存数据 DLT1 选择性地改变到逻辑 H 状态 (参照图 24b 的 F6)。

下面描述 S1660 处的第一锁存数据 DLT1 的逻辑状态的变化。当第二存储器单元 MC2 的门限电压属于第三门限电压组 G3 (图 18 的情况 33 与情况 34) 时, 将第一锁存数据 DLT1 从逻辑 L 状态调整到逻辑 H 状态。相反, 在其余情况下, 将第一锁存数据 DLT1 维持在其先前逻辑状态上。

以下描述这种情况下执行 S1640 与 S1660 之后的第一锁存数据 DLT1 的逻辑状态的变化。当第二存储器单元 MC2 的门限电压属于第一门限电压组 G1 或者第三门限电压组 G3 (图 18 的情况 31、情况 35、情况 37、情况 33 与情况 34) 时, 将第一锁存数据 DLT1 从逻辑 L 状态调整到逻辑 H 状态。相反, 在其余情况下 (图 18 的情况 32、情况 36 与情况 38), 将第一锁存数据 DLT1 维持在逻辑 L 状态上。

另外, 在 S1670 与 S1680, 利用依赖于基于第一参考电压 VR1 验证的第一存储器单元 MC1 的门限电压的数据, 选择性地改变第一锁存数据 DLT1。在这种情况下, 响应于在 S1630 触发的第二锁存数据 DLT2, 使能对第一锁存数据 DLT1 的翻转触发。

详细地, 在 S1670, 根据第一参考电压 VR1, 第一存储器单元 MC1 的门限电压被反映到读出节点 NSEN 上 (参照图 24b 的 F7)。在 S1680, 生成翻转锁存信号 IVLCH, 作为 H 脉冲。在这种情况下, 根据读出节点 NSEN 的电压电平以及第二锁存数据 DLT2, 第一锁存数据 DLT1 选择性地改变到逻辑 L 状态 (参照图 24b 的 F8 与 F8')。

换言之, 根据读出节点 NSEN 的电压电平, 第一锁存数据 DLT1 选择性地

从逻辑 H 状态翻转触发到逻辑 L 状态。此时，只有当第二锁存数据 DLT2 处于逻辑 H 状态时，才能进行对第一锁存数据 DLT1 的翻转触发。

因此，只有当第一存储器单元 MC1 的门限电压属于第二门限电压组 G2、且第二存储器单元 MC2 的门限电压属于第三门限电压组 G3 时（图 18 的情况 34），才发生第一锁存数据 DLT1 从逻辑 H 状态到逻辑 L 状态的翻转触发。

以下描述执行步骤 S1680 之后的第一锁存数据 DLT1 的逻辑状态。在图 18 的情况 31、情况 33、情况 35、与情况 37 的情况下，第一锁存数据 DLT1 的逻辑状态为逻辑 H。另外，图 18 的情况 32、情况 34、情况 36、与情况 38 的情况下，第一锁存数据 DLT1 的逻辑状态为逻辑 L。

在 S1690，生成第一数据线控制信号 DI01 作为 H 脉冲，读出第一锁存数据 DLT1 的逻辑状态，并且验证第三比特数据 BIT3（参照图 24b 的 F9）。

如上所述，根据该实施例的非易失半导体存储器设备的驱动方法，可以通过单个读取操作读取第三比特数据 BIT3。

总之，根据该实施例的非易失半导体存储器设备的读取方法，可以在不用读取其他两个比特的情况下，读取第一到第三比特数据 BIT1 到 BIT3 中的每一个。因此，总体操作速度非常高。

以下接着描述由根据实施例的非易失半导体存储器设备执行的页解码方法。

图 25 为显示由根据实施例的非易失半导体存储器设备执行的页解码方法的图示。在图 25 的实施例中，第一串 ST1 与第二串 ST2 中的每一个都包括 22 个存储器单元。在第一串 ST1 与第二串 ST2 中的每一个中包含的 22 个存储器单元中，20 个存储器单元为可以按三级编程的存储器单元 MC1b 或 MC2b，而剩余的两个存储器单元为可以按两级编程的存储器单元 MC1a 或 MC2a。为了描述方便，将可以按三级编程的存储器单元 MC1b 或 MC2b 称为“三级存储器单元”，将可以按两级编程的存储器单元 MC1a 或 MC2a 称为“两级存储器单元”。

首先，描述选择形成对的两个三级存储器单元 MC1b 和 MC2b 的方法。根据实施例，形成对的两个三级存储器单元 MC1b 和 MC2b 分别排列在第一串 ST1 与第二串 ST2 中，如图 25 所示。在这种情况下，公知的是：利用排列在相同串中的、形成对的两个三级存储器单元 MC1b 与 MC2b，在数据读取操作中可以获得益处。

向第一串 ST1 与第二串 ST2 的存储器单元分配页地址。术语“页地址”指用来指定每个页的一系列号码。另外，在单个页间隔期间，可以从或向指定列中的存储器单元输入或输出一比特数据。

再次参照图 25，以下描述向第一串 ST1 与第二串 ST2 的存储器单元分配页的方法。向每个两级存储器单元 MC1a 与 MC2a 分配单个页。因此，一比特数据被映射到每个两级存储器单元 MC1a 与 MC2a。在图 25 的实施例中，页地址 PAGE1、PAGE2、PAGE63、与 PAGE64 被分配给两级存储器单元 MC1a 与 MC2a。

同时，在三级存储器单元 MC1b 与 MC2b 的情况下，向形成对的两个三级存储器单元 MC1b 或 MC2b 分配三个页。因此，实际向每个三级存储器单元 MC1b 与 MC2b 分配 1.5 个页。

在图 25 所示的实施例中，向第一串 ST1 与第二串 ST2 分配 60 个页，每个使用 20 对三级存储器单元 MC1b 与 MC2b，从而向每个串分配 30 个页。另外，向第一串 ST1 与第二串 ST2 分配 4 个页，每个使用两个两级存储器单元 MC1a 或 MC2a，从而向每个串分配两个页。总共向总数为 44 的存储器单元分配了 64 个页。

优选地，分配给对应成对三级存储器单元 MC1b 与 MC2b 的页地址具有顺序关系，如图 25 所示。由此，当非易失半导体存储器设备利用顺序页地址进行编程操作时，可以提高可靠性。

再次参照图 25，描述排列两级与三级存储器单元的方法。图 25 的每个串 ST1 与 ST2 通过地选择晶体管 TR1g 与 TR2g 分别耦合到共同来源线 CSL。串 ST1 与 ST2 通过相应的串选择晶体管 TR1s 与 TR2s 分别耦合到第一与第二比特线 BL1 与 BL2。另外，两级存储器单元 MC1a 和三级存储器单元 MC1b 被排列在串选择晶体管 TR1s 与地选择晶体管 TR1g 之间。两级存储器单元 MC2a 以及三级存储器单元 MC2b 被排列在串选择晶体管 TR2s 与地选择晶体管 TR2g 之间。

根据实施例，在串 ST1 与 ST2 中，排列两级存储器单元 MC1a 与 MC2a，以邻近相应的地选择晶体管 TR1g 与 TR2g，并且邻近相应的串选择晶体管 TR1s 与 TR2s。即，在操作期间，供以比三级存储器单元 MC1b 与 MC2b 低的电压的两级存储器单元 MC1a 与 MC2a 被排列得邻近地选择晶体管 TR1g 与 TR2g、以及串选择晶体管 TR1s 与 TR2s。由此，使由地选择晶体管 TR1g 与 TR2g、以及串选择晶体管 TR1s 与 TR2s 的泄露电流而导致的可靠性下降最小化。

根据该实施例的非易失半导体存储器设备根据行地址 XADD 来确定待操作的页类型，并且根据对页类型的确定，进行编程或读取操作。例如，如果行地址 XADD 指示要选择 PAGE63，则页类型为两级存储器单元。类似地，如果行地址 XADD 指示要选择 PAGE62，则页类型为三级存储器单元。相应地，使用对于该页类型的适当的编程或读取操作。

图 26 为显示由非易失半导体存储器设备执行的编程操作的实施例的流程图。在 S2110，输入用于命令编程操作的操作命令 CMD。另外，在 S2120，输入待编程的行地址 XADD 与数据。在 S2130，确定输入行地址 XADD 是否对应于具有三级存储器单元的页的三级地址。如果确定输入行地址 XADD 不为三级地址，则在 S2140 执行典型的两级编程操作。如果确定输入行地址 XADD 为三级地址，则在 S2160、S2170、或 S2180，执行对相应页的编程操作。

图 27 为显示由非易失半导体存储器设备执行的读取操作的实施例的流程图。在 S2210，输入用于命令读取操作的操作命令 CMD。在 S2220，输入行地址 XADD。在 S2230，确定输入的行地址 XADD 是否对应于具有三级存储器单元的页的三级地址。如果确定输入行地址 XADD 不为三级地址，则在 S2240 执行典型的两级读取操作。如果确定输入行地址 XADD 为三级地址，则在 S2160、S2170、或 S2180，执行对相应页的读取操作。

另外，如图 28 所示，存储器单元对可以是来自一串的两个存储器单元。另外，如图 29 与图 30 所示，本领域技术人员可以明白：即使本发明的三级非易失半导体存储器设备以 NAND 型存储器设备实现，也可以适当地修改数据控制电路的结构，从而可以在其他类型的存储器设备（例如 NOR 或 OR 型存储器设备）中实现本发明的技术原理。

虽然为了说明的目的公开了优选实施例，但是本领域技术人员可以理解：在不脱离权利要求限定的本发明的范围与精神的前提下，可以有各种修改、添加以及替换。

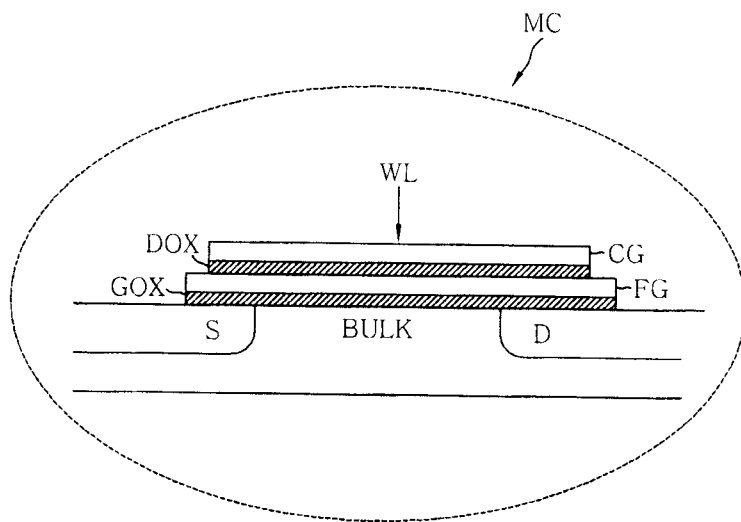


图 1

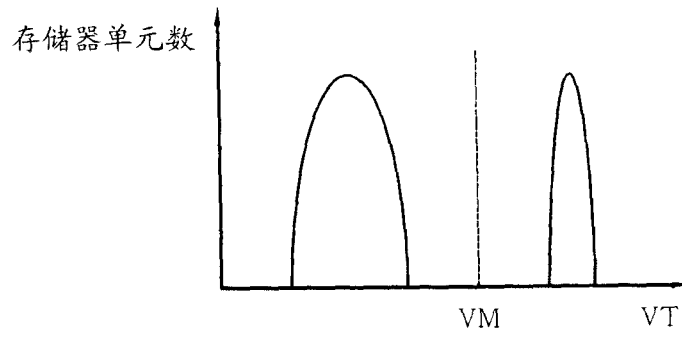


图 2

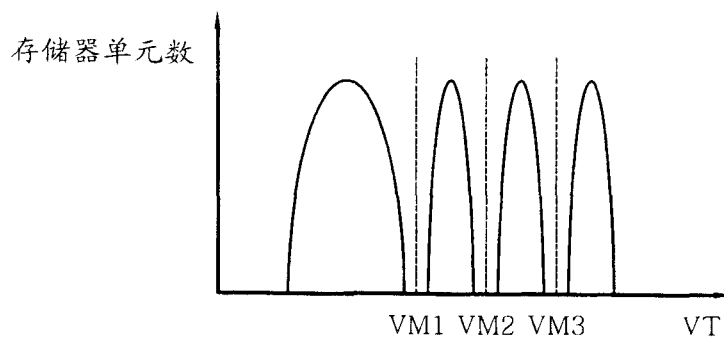


图 3

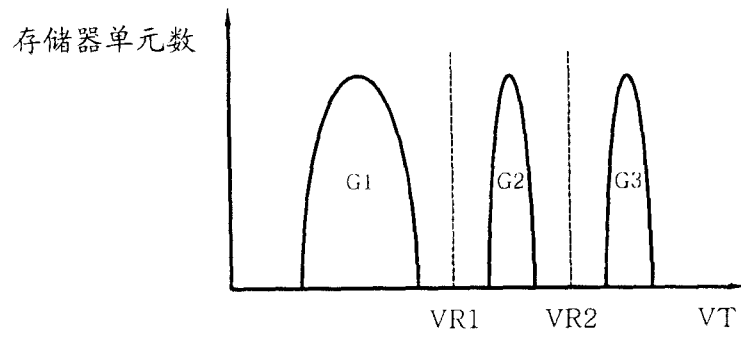


图 4

BIT1/BIT2/BIT3	MC1	MC2
0/0/0	G1	G1
0/0/1	G1	G2
0/1/0	G1	G3
0/1/1	G2	G1
1/0/0	G2	G2
1/0/1	G2	G3
1/1/0	G3	G1
1/1/1	G3	G2

图 5

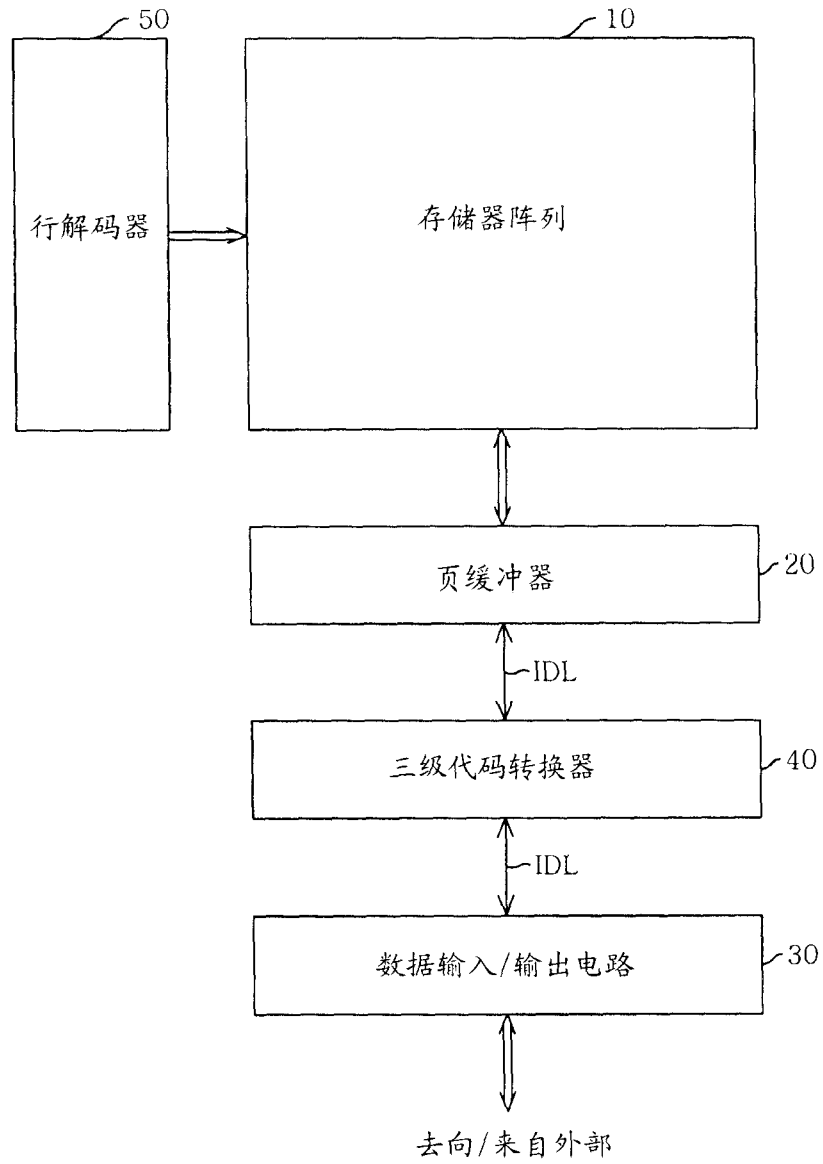


图 6

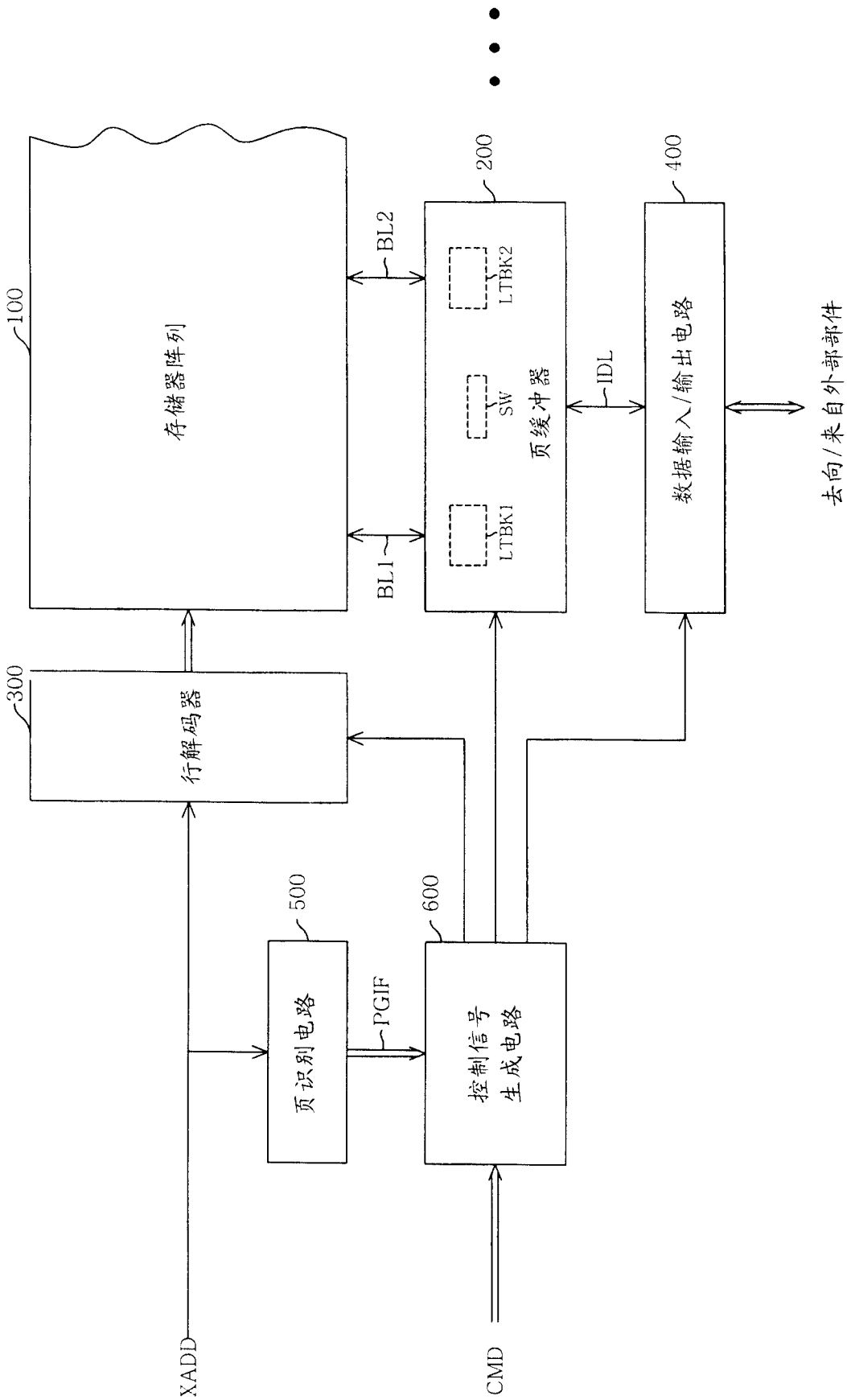


图 7

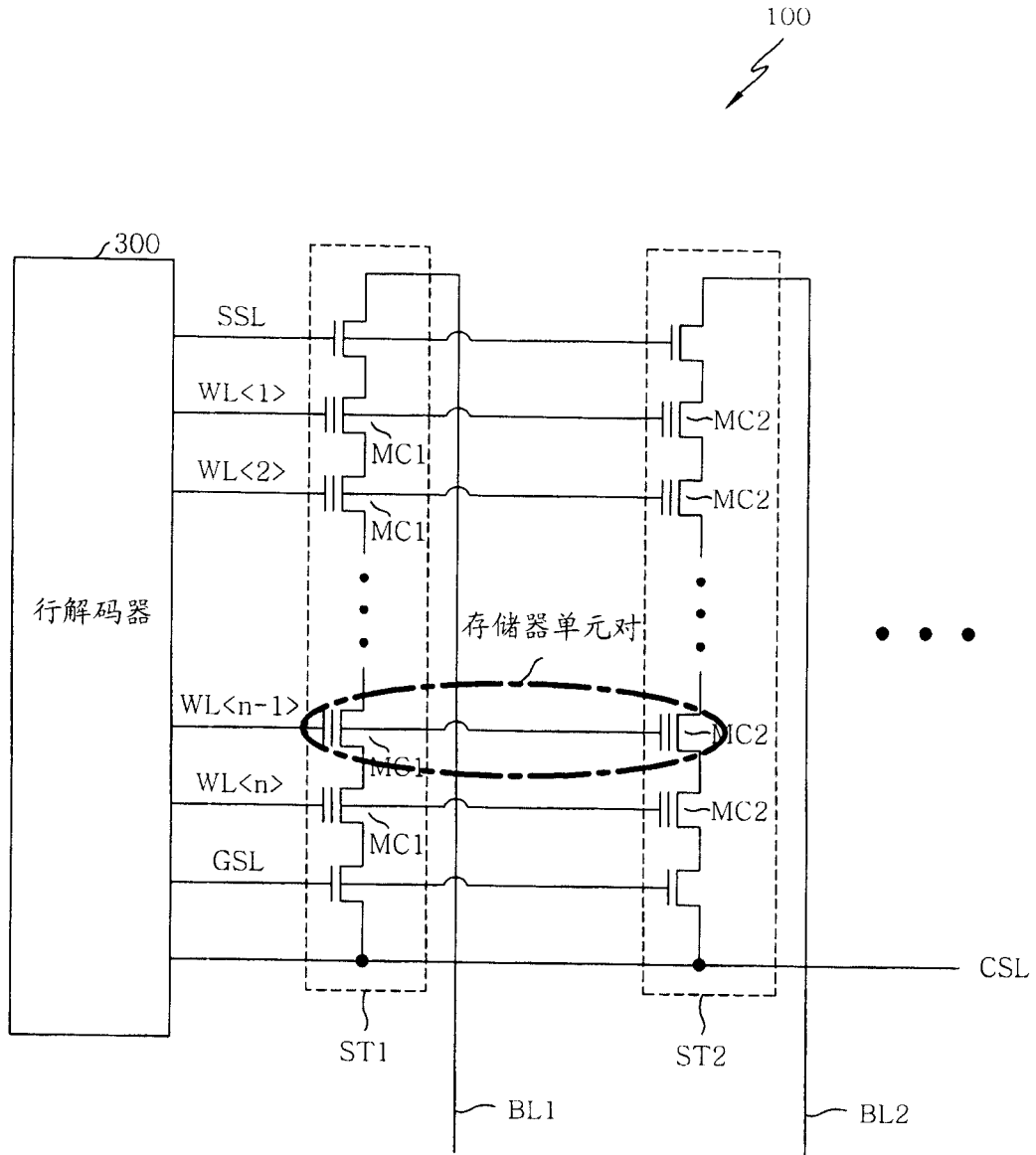


图 8

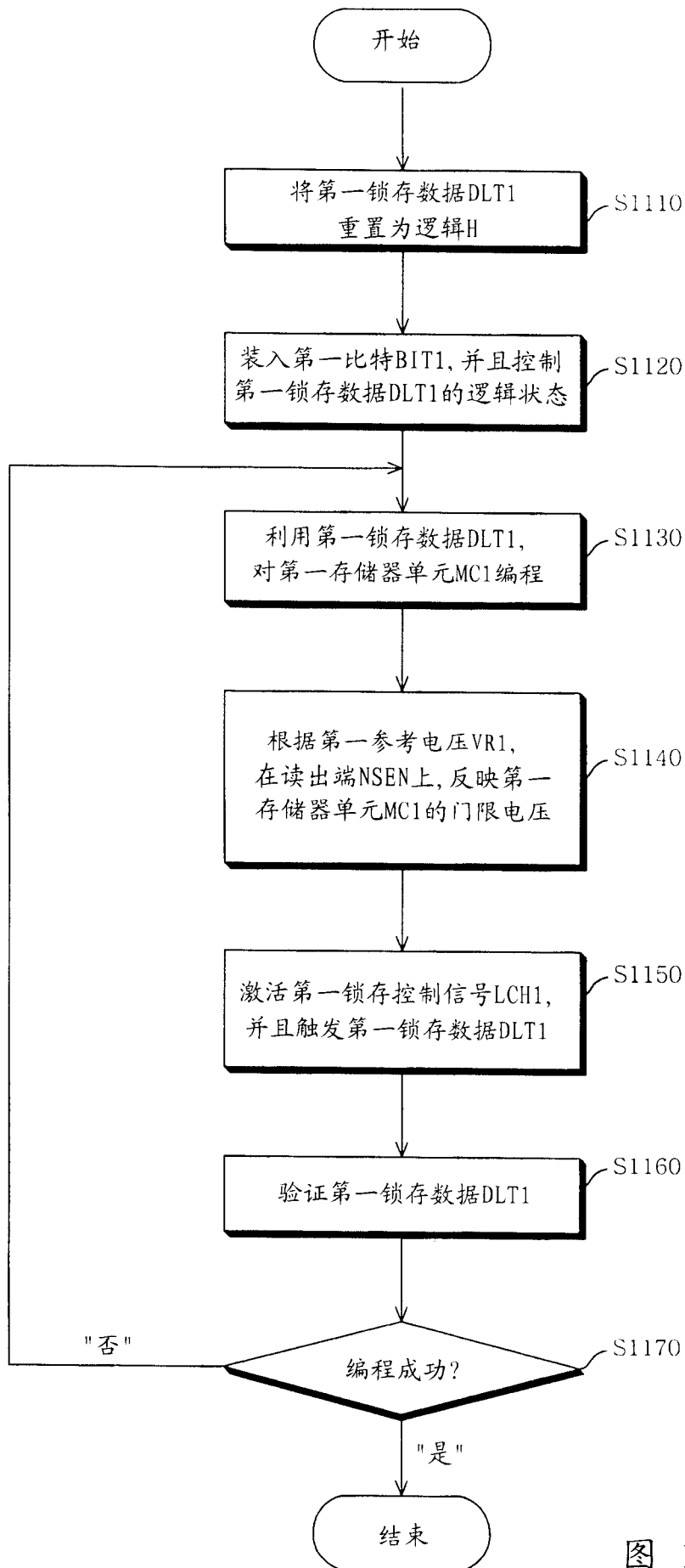


图 10

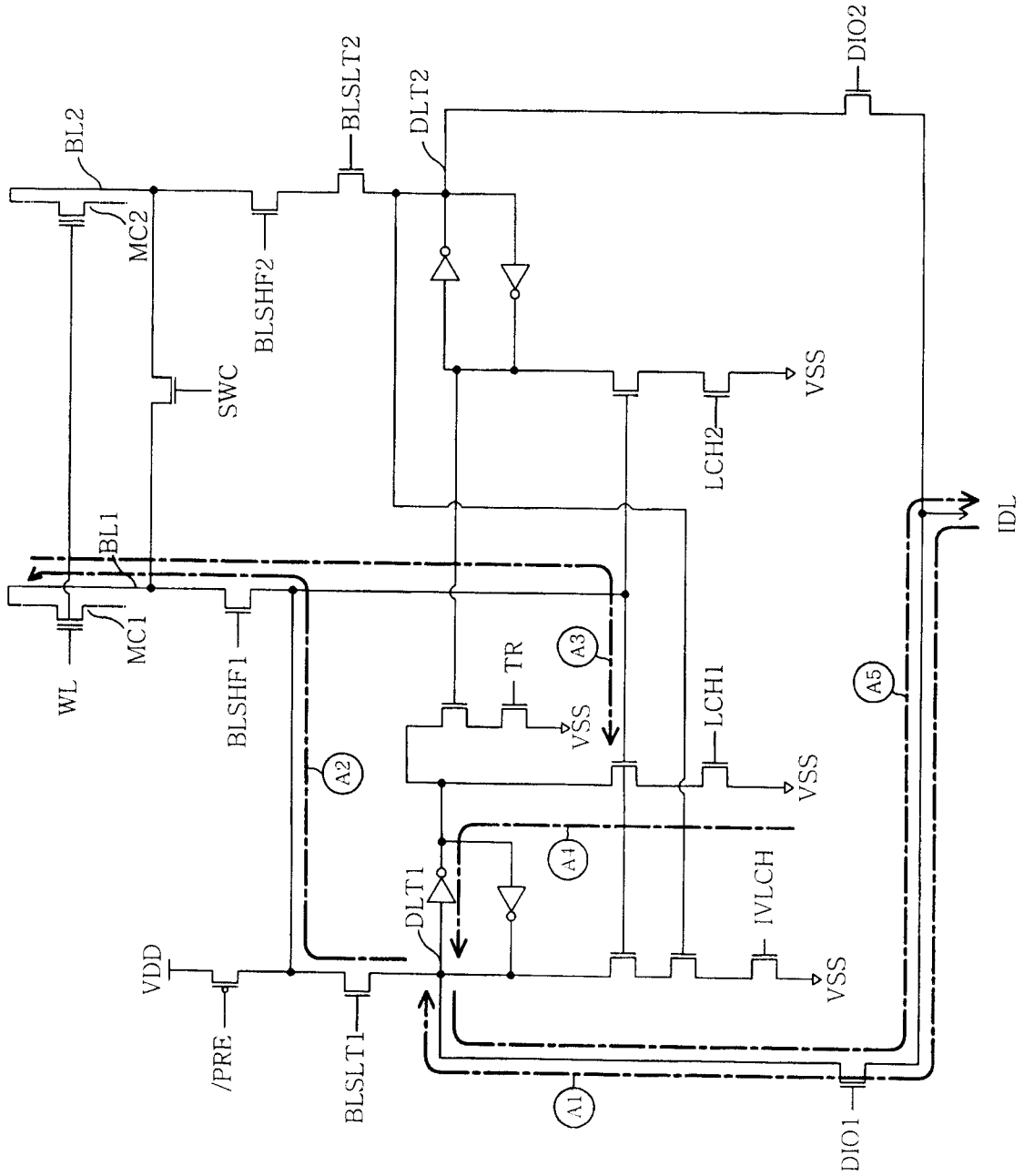


图 11

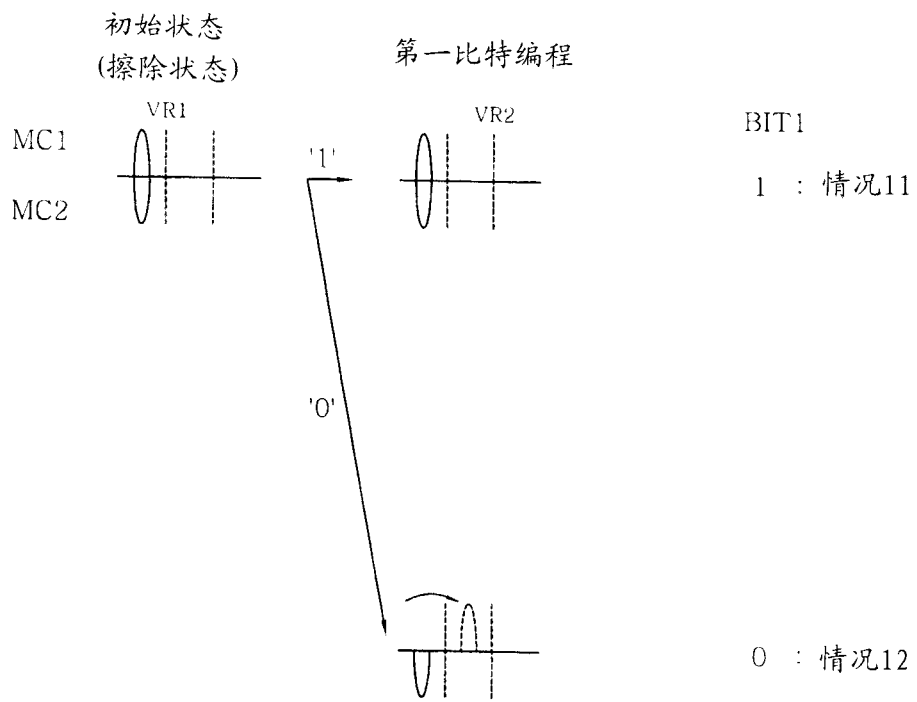


图 12

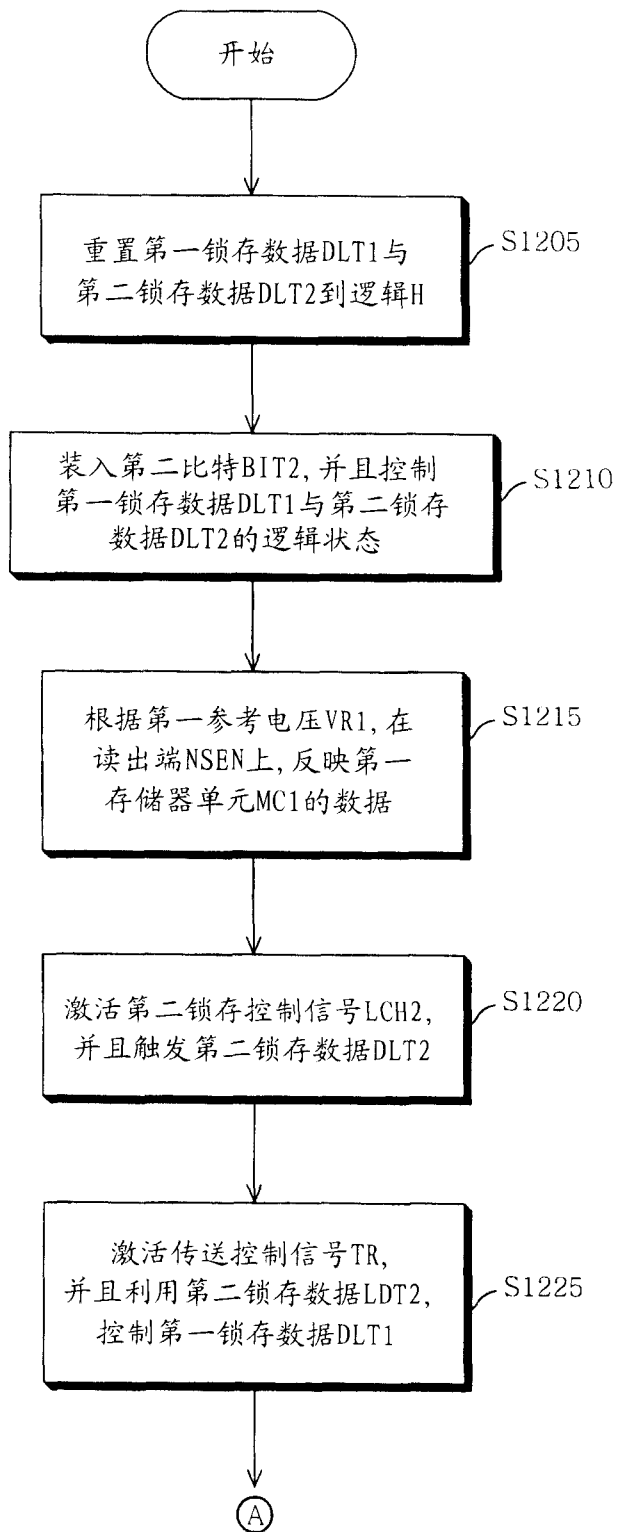


图 13a

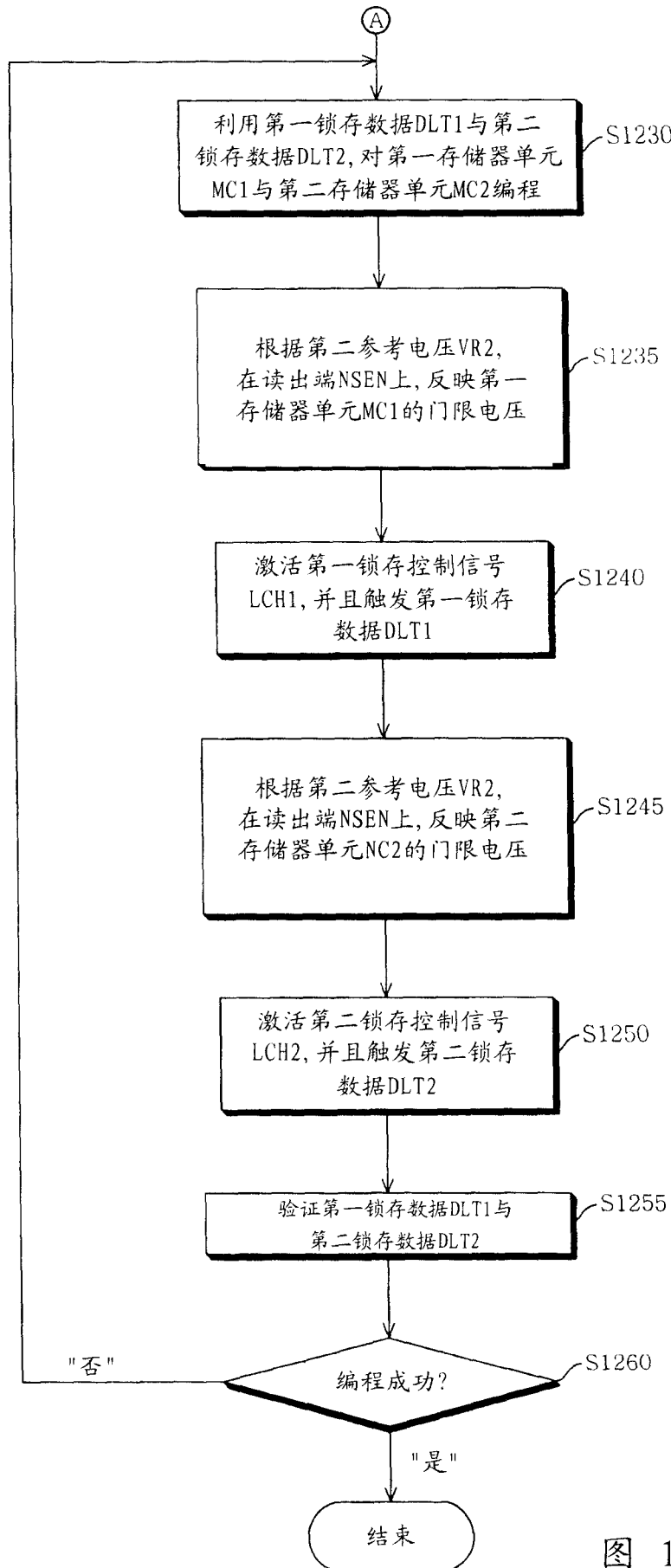


图 13b

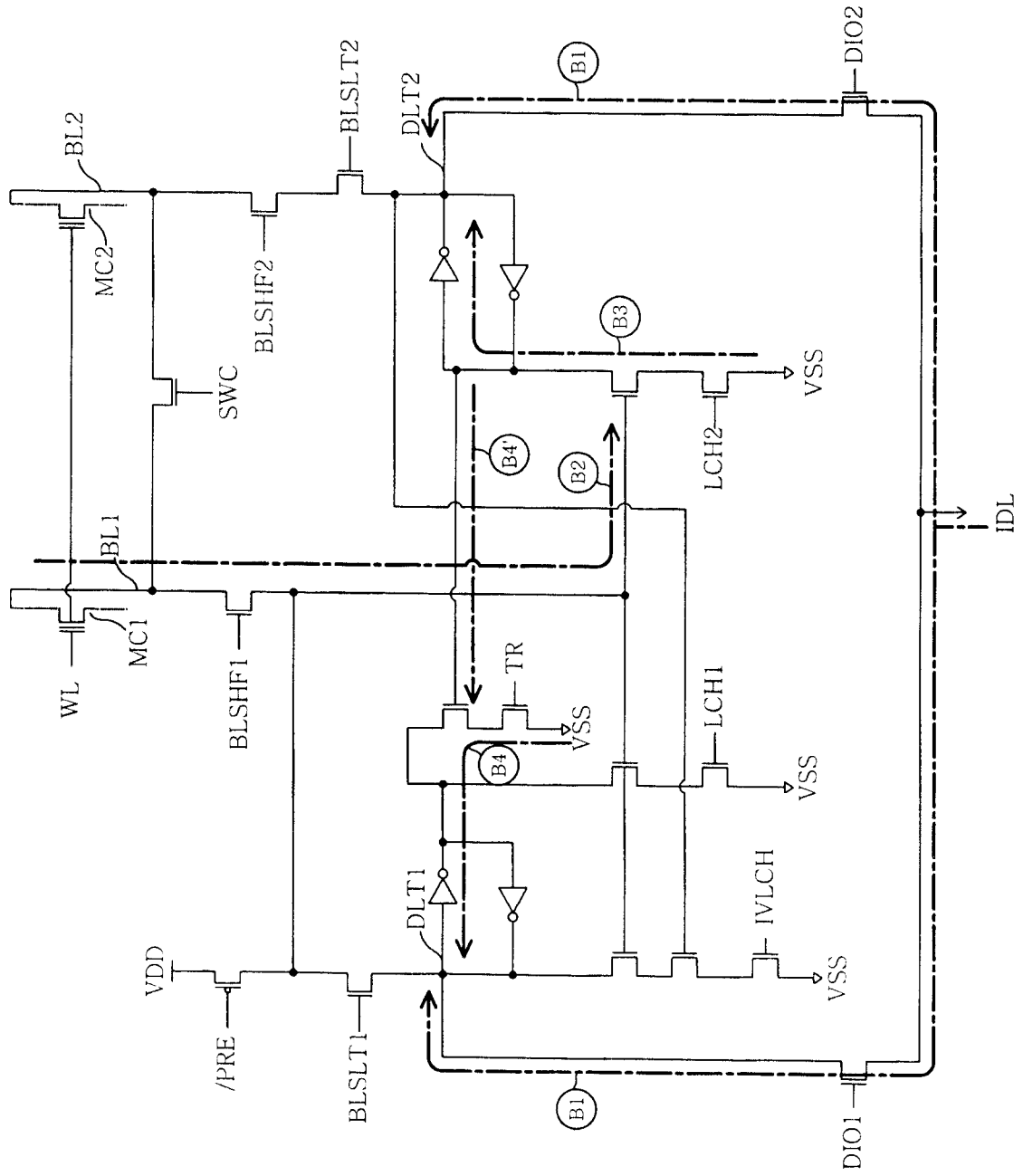


图 14a

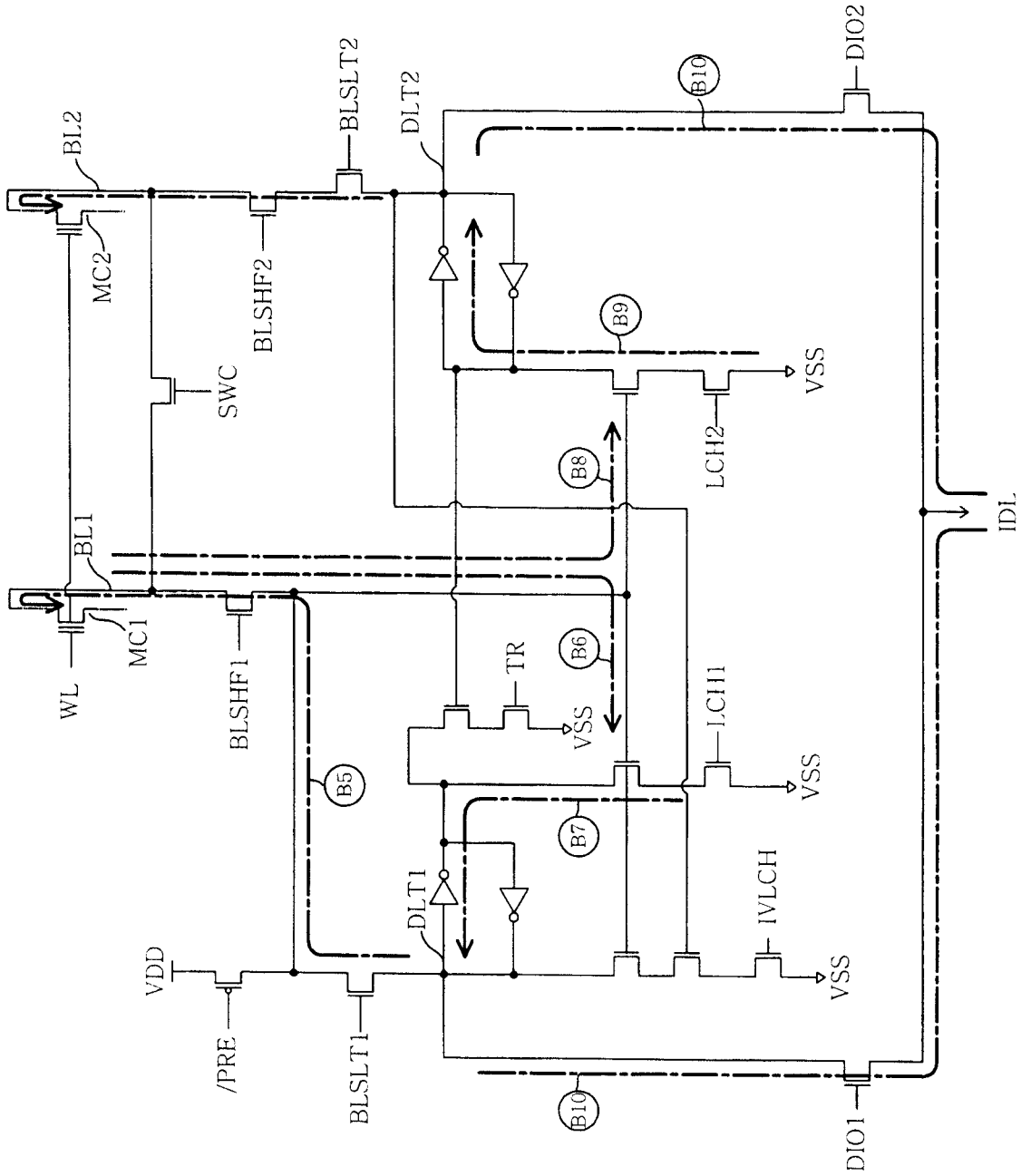


图 14b

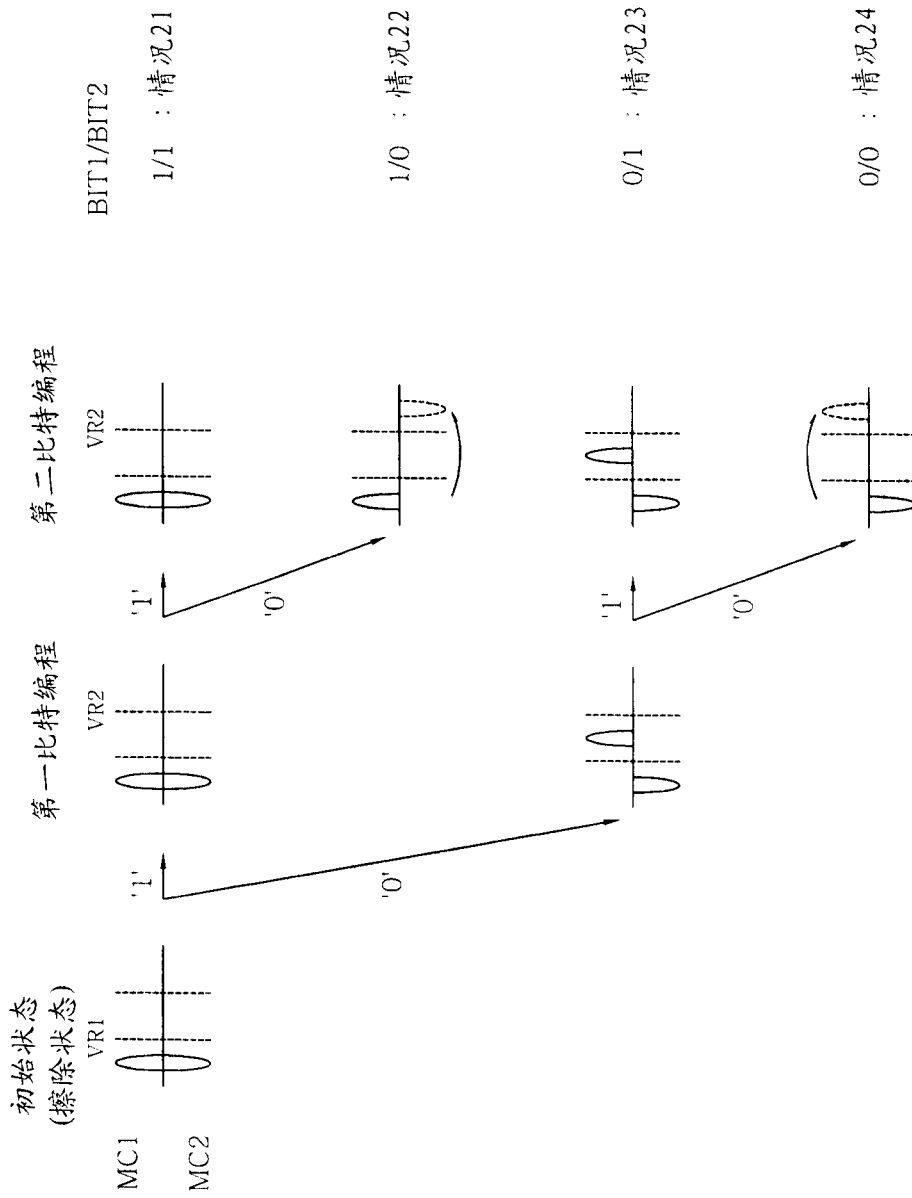


图 15

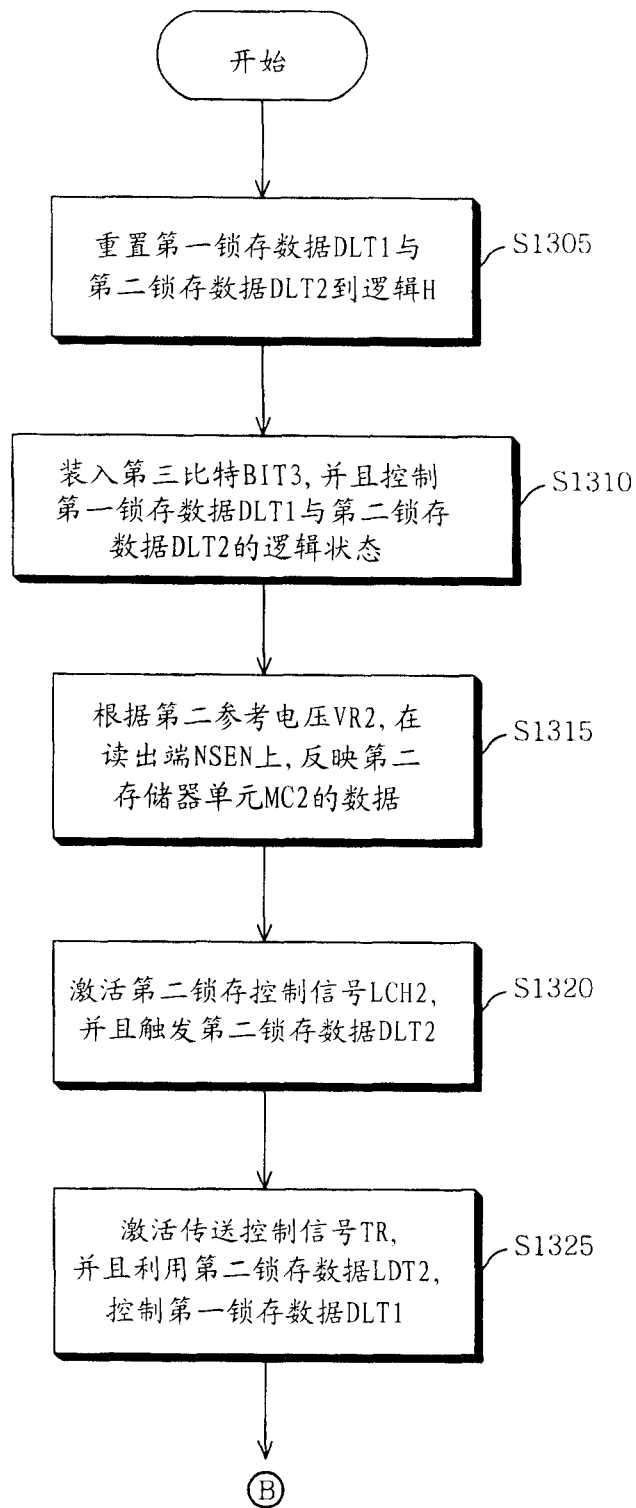


图 16a

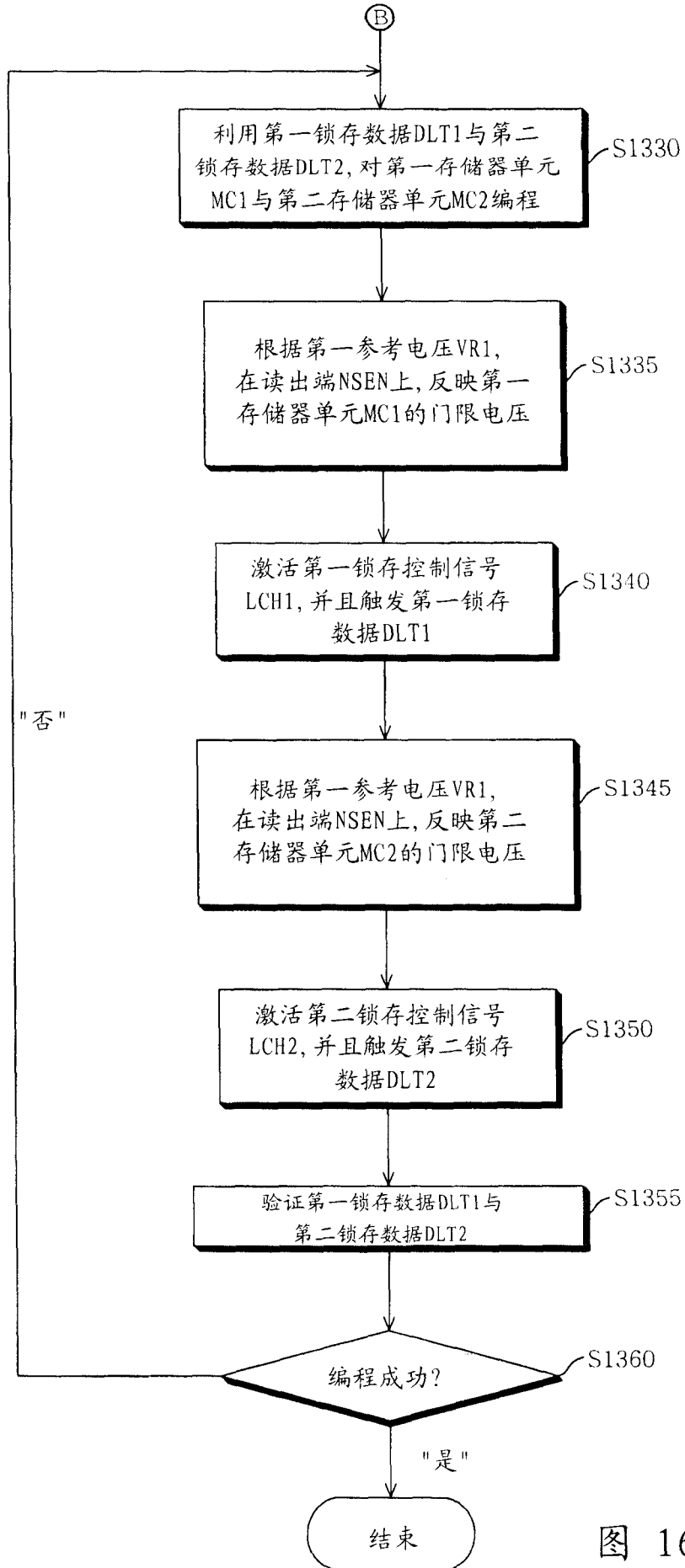


图 16b

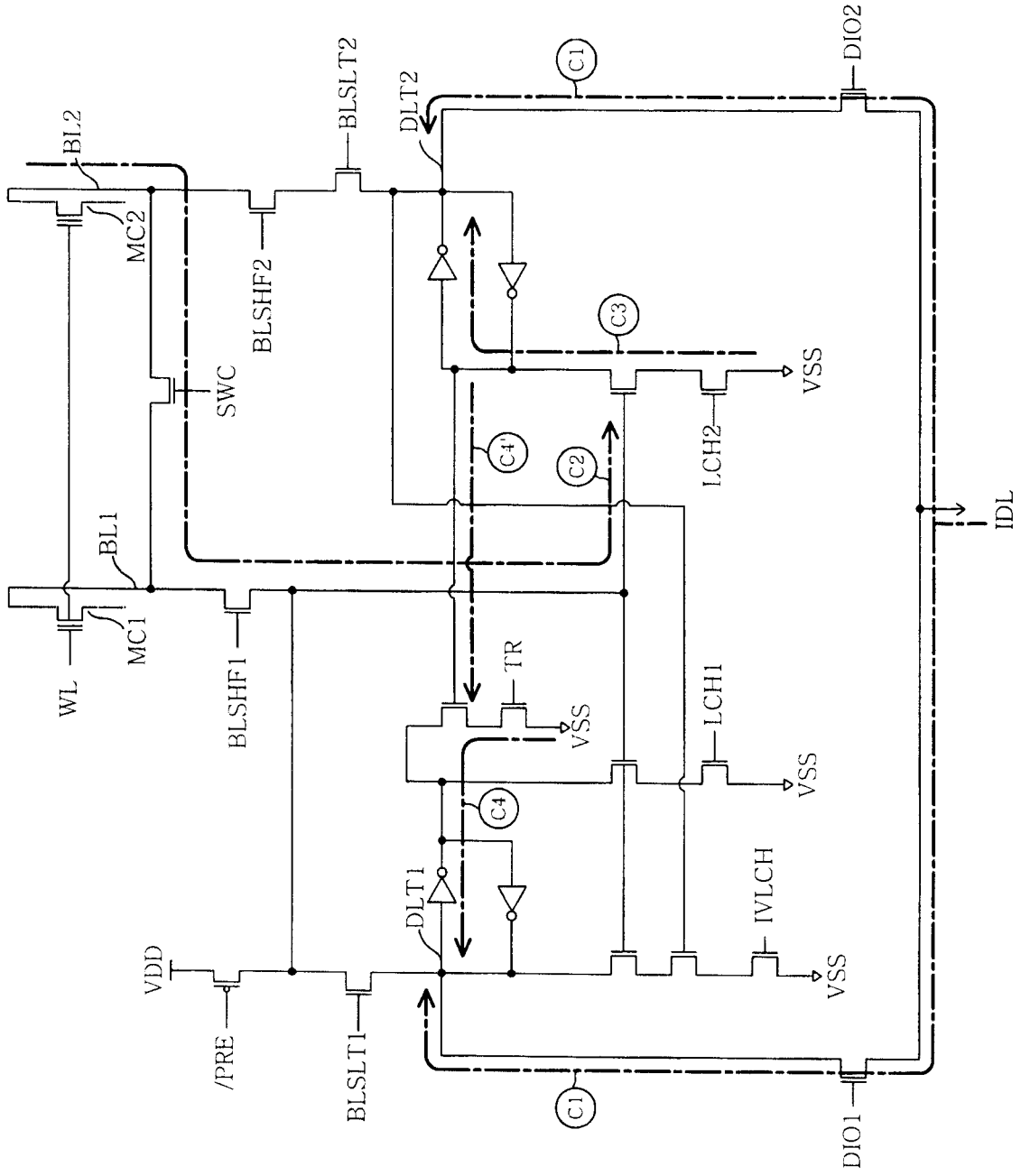


图 17a

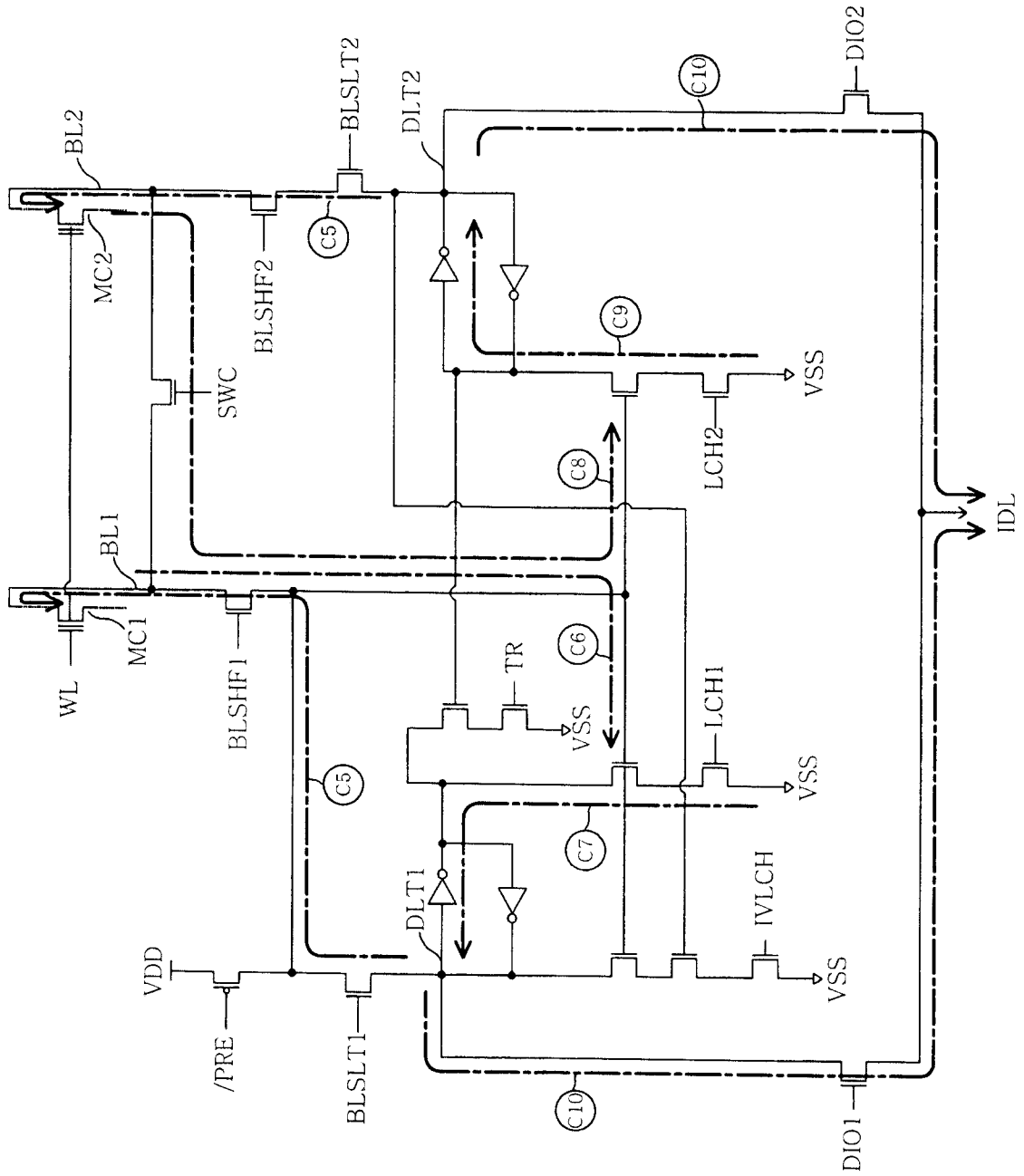


图 17b

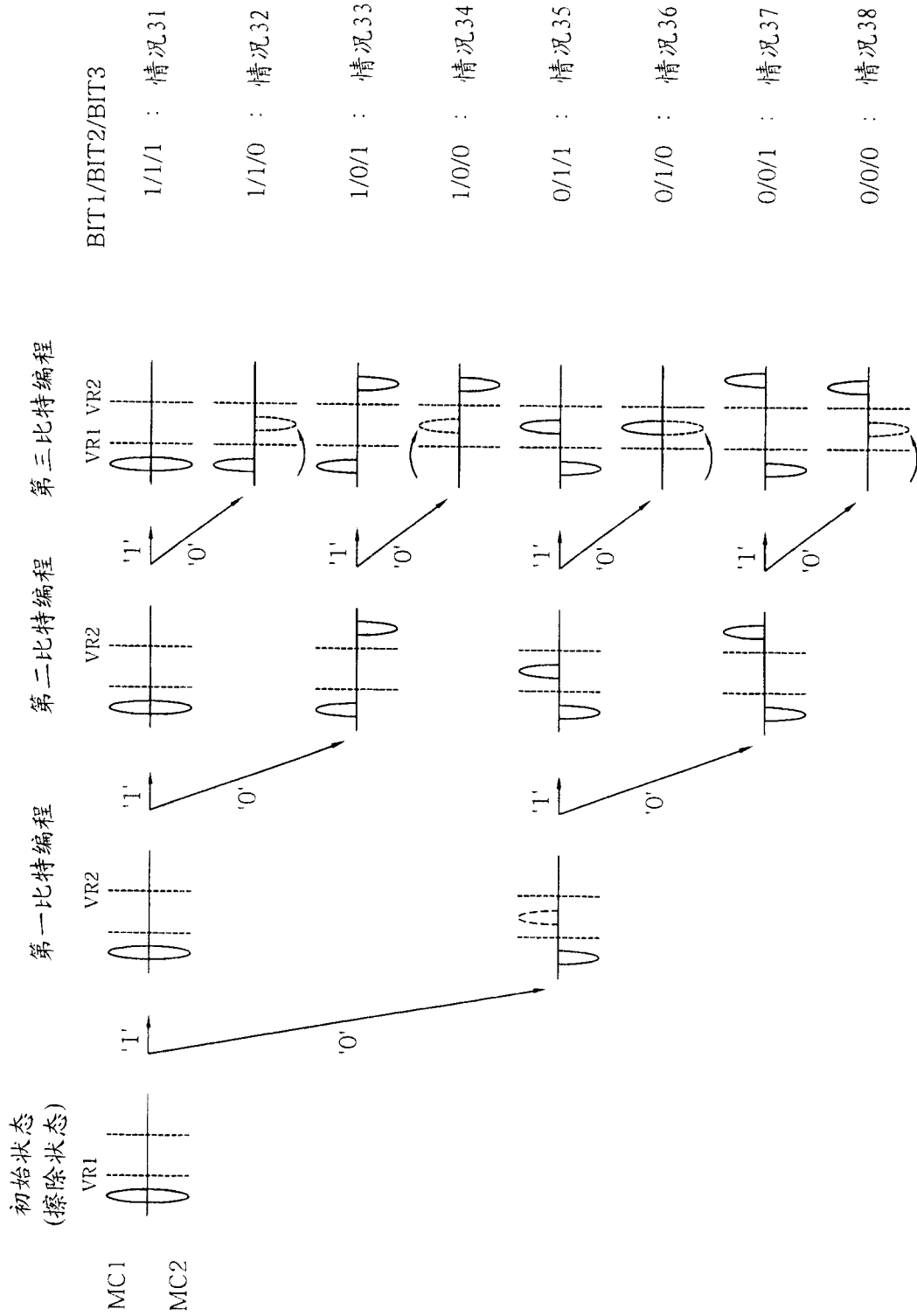


图 18

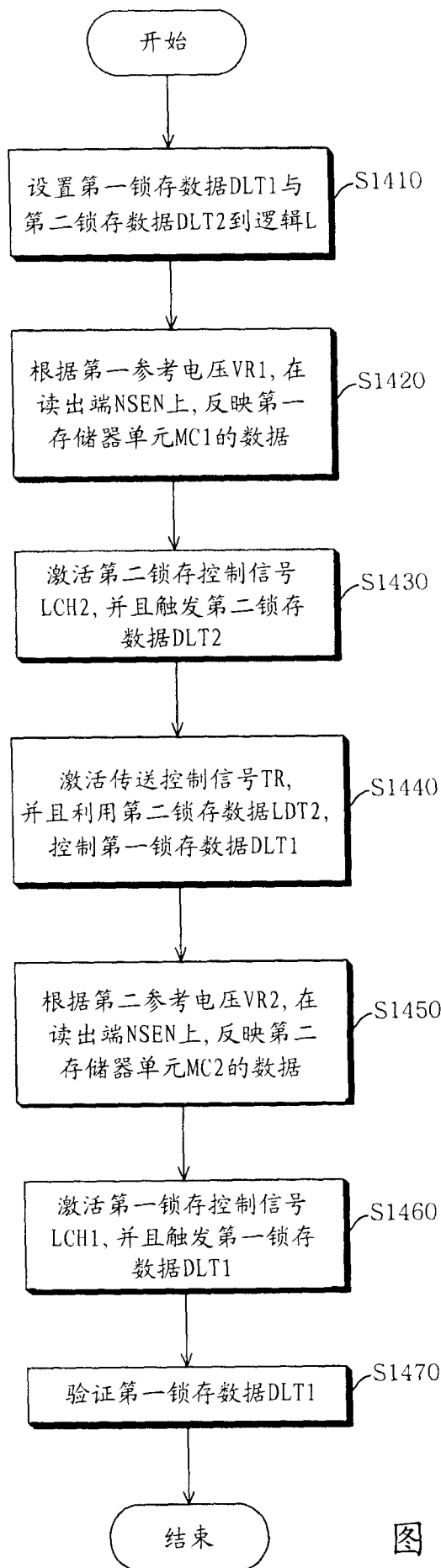


图 19

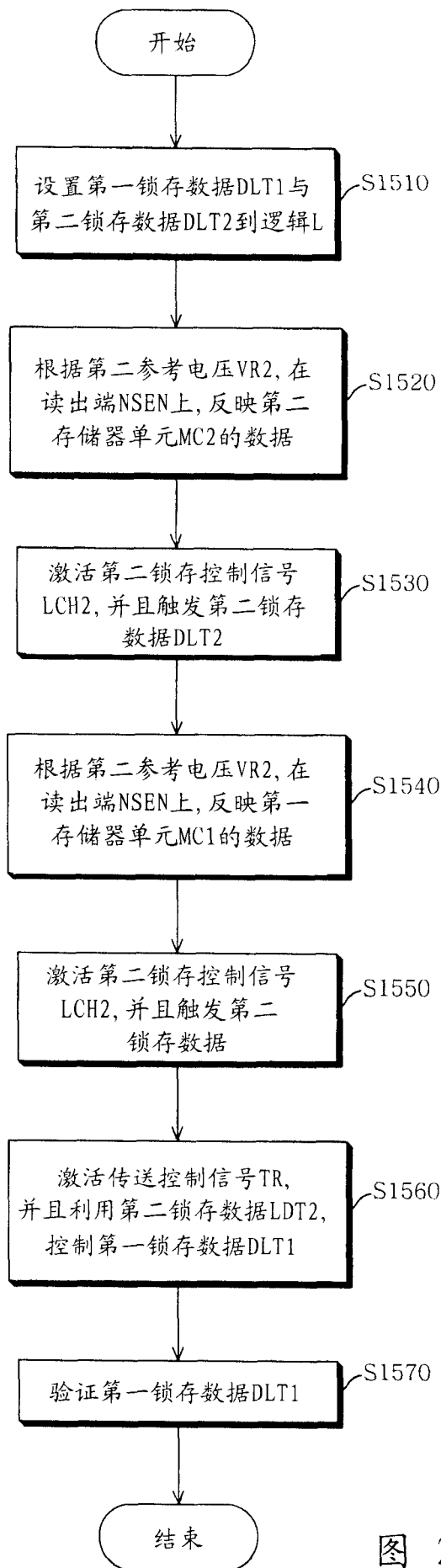


图 21

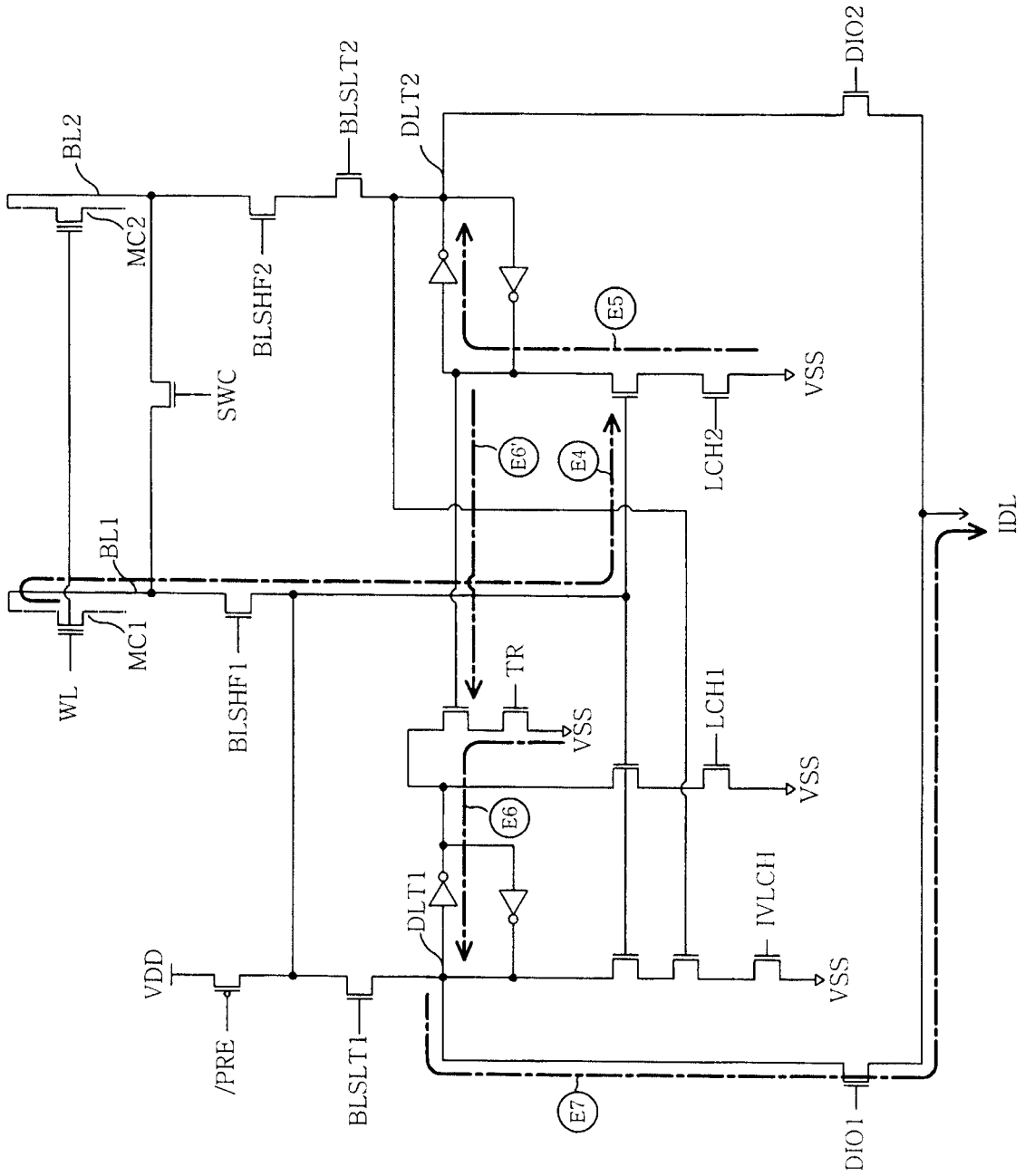


图 22b

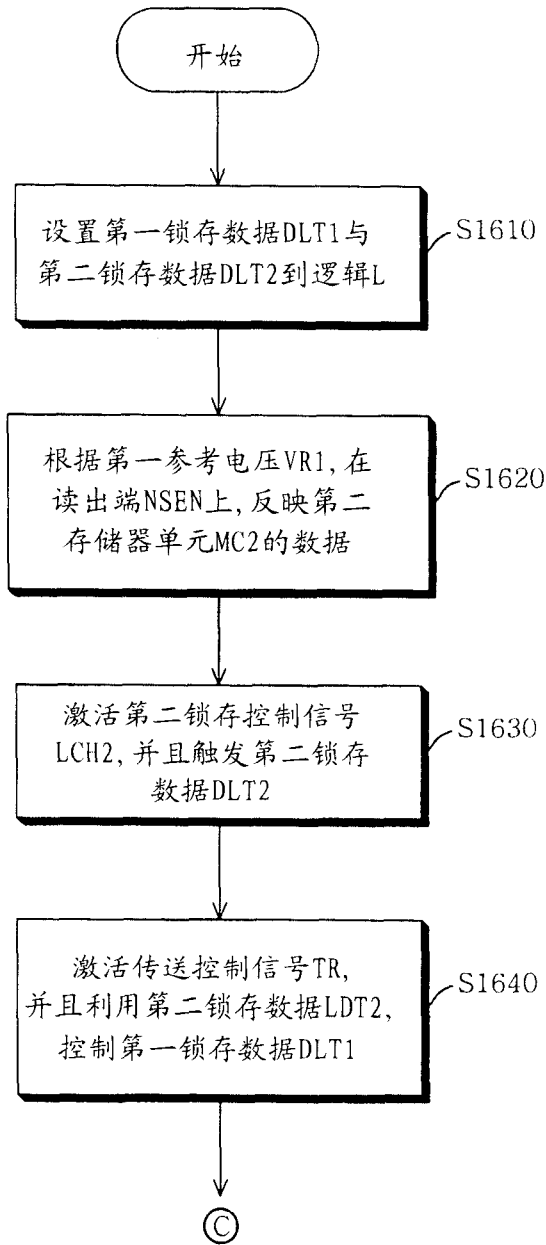


图 23a

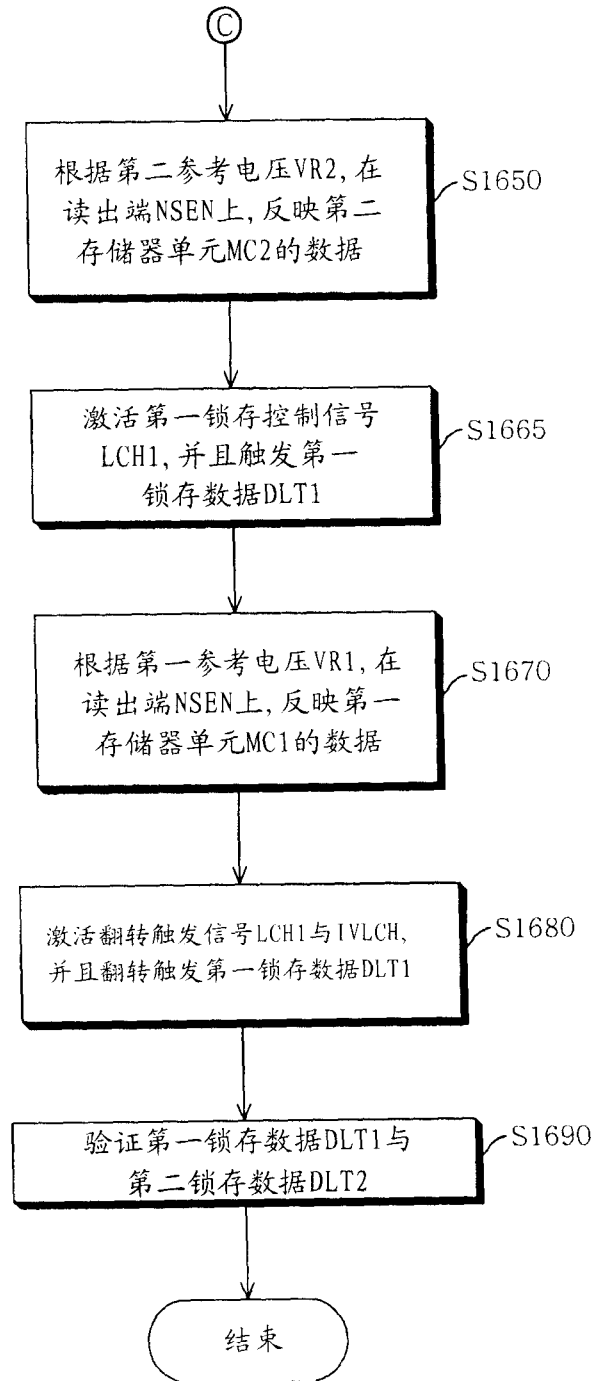


图 23b

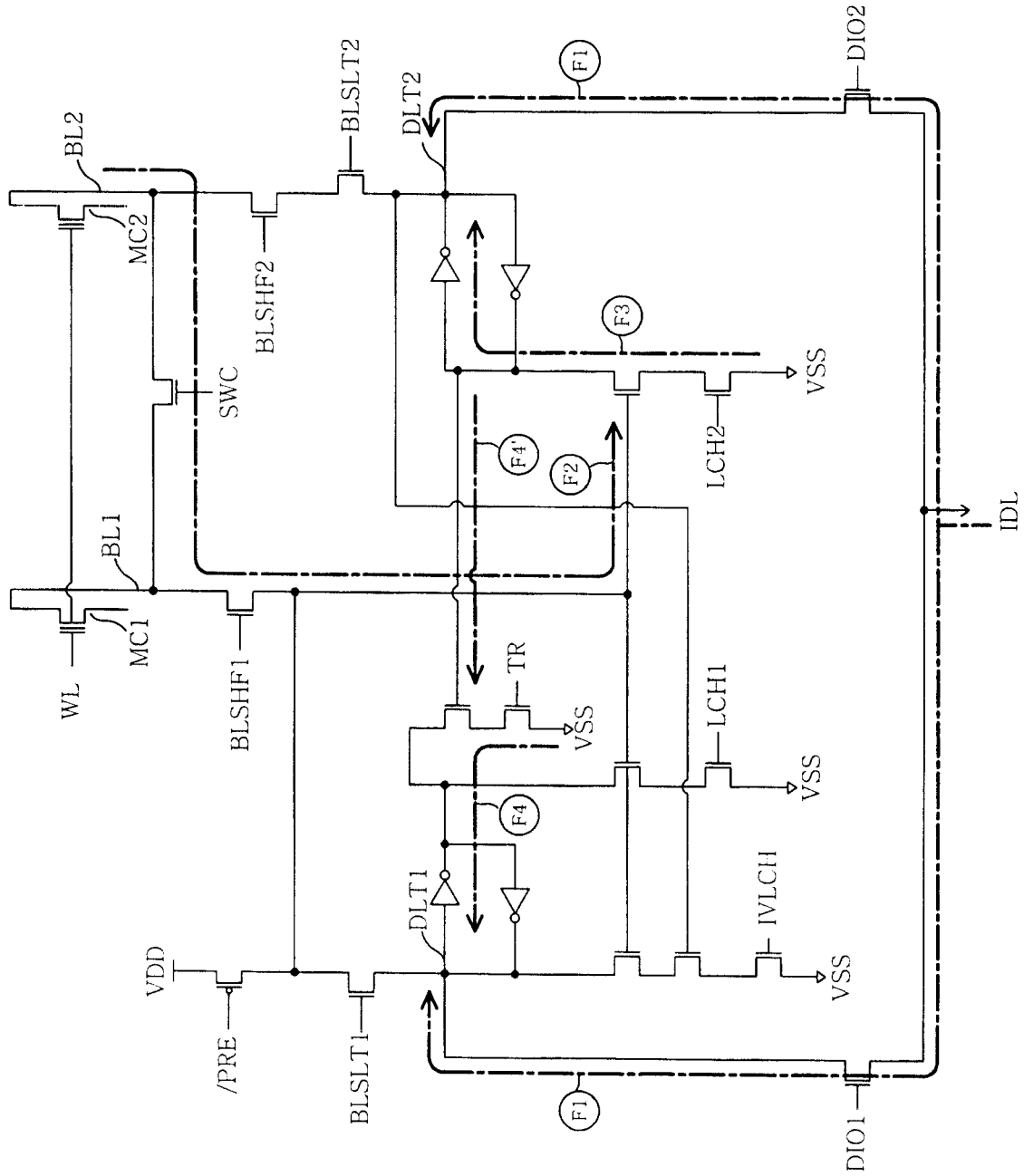


图 24a

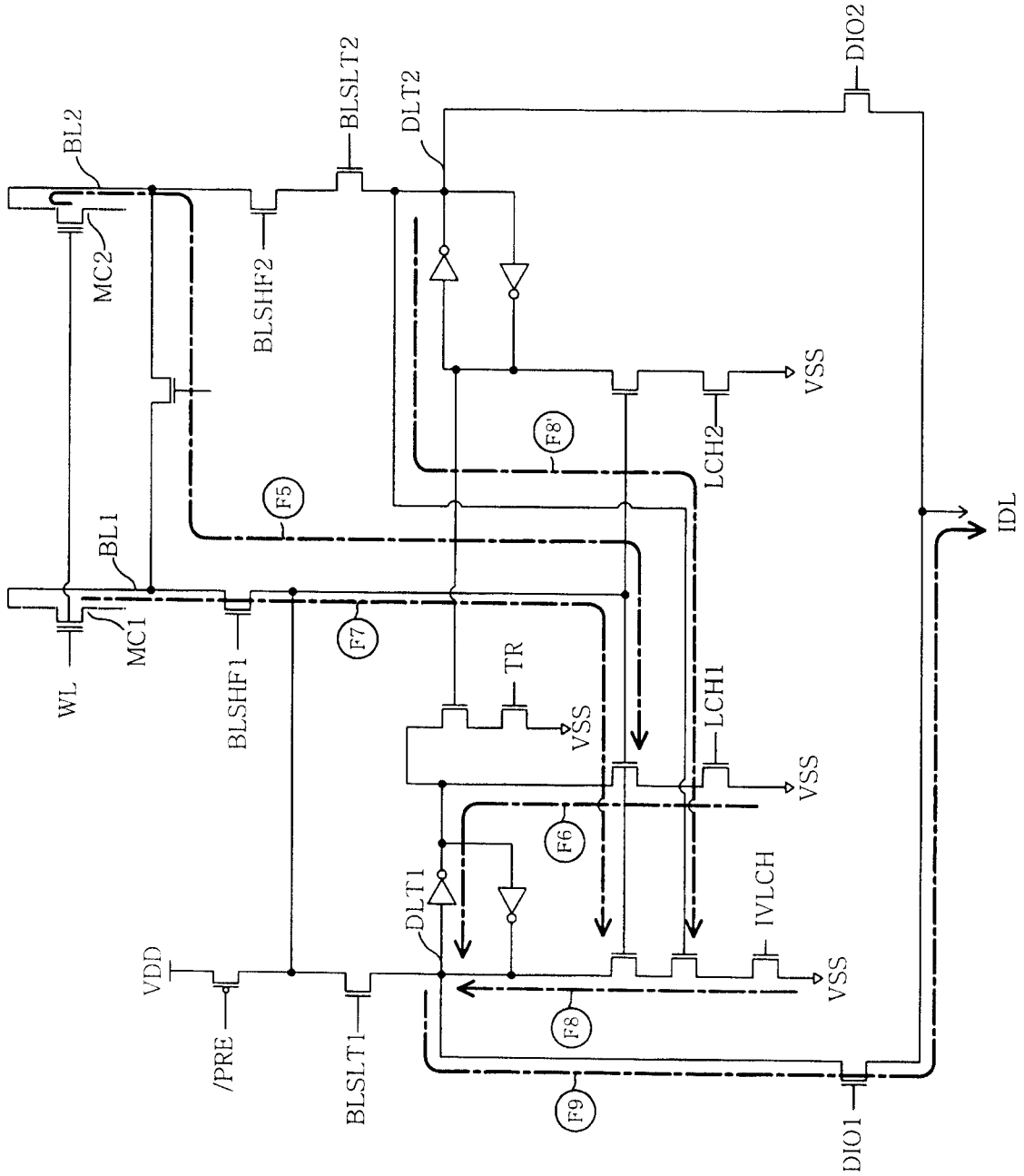


图 24b

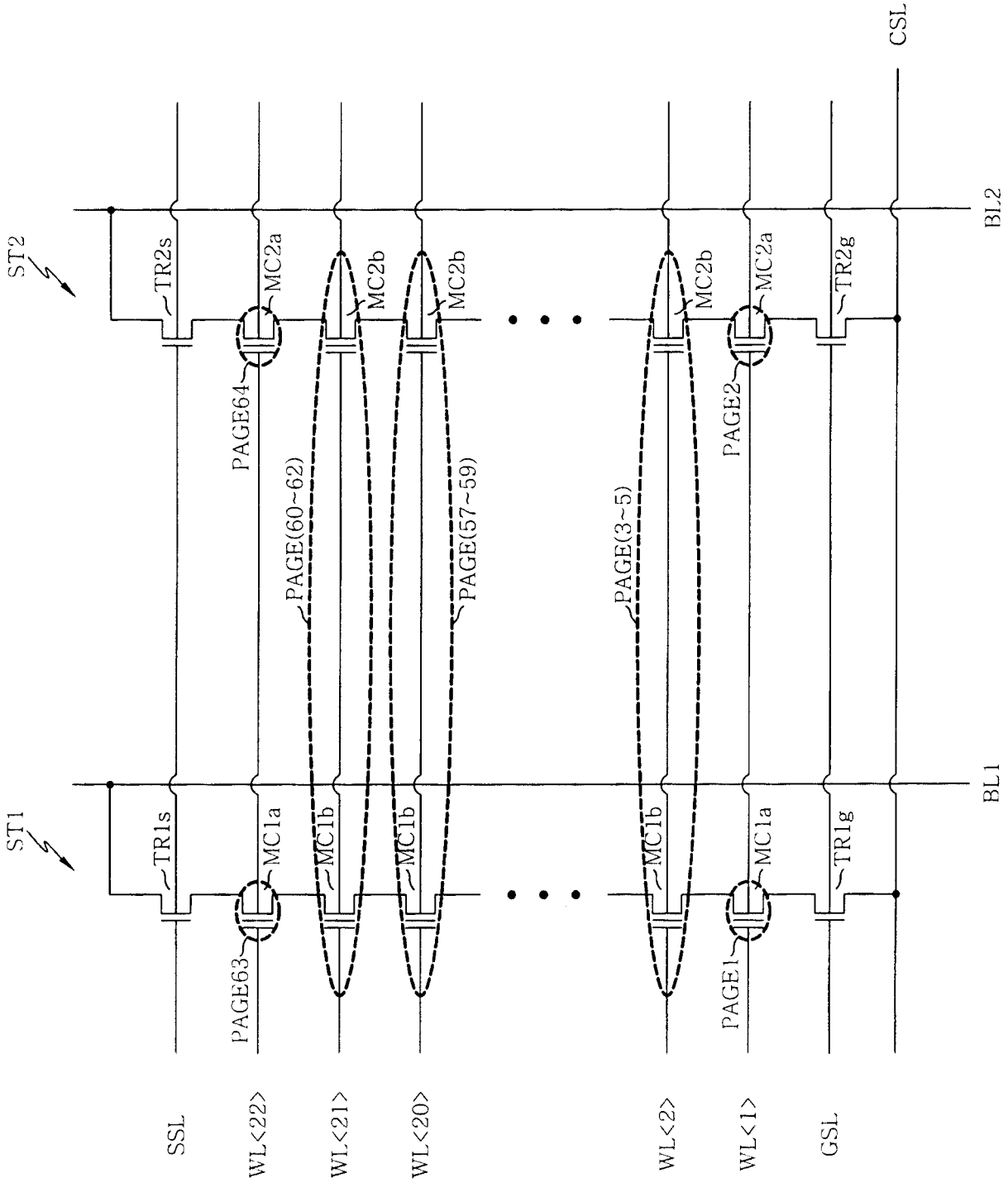


图 25

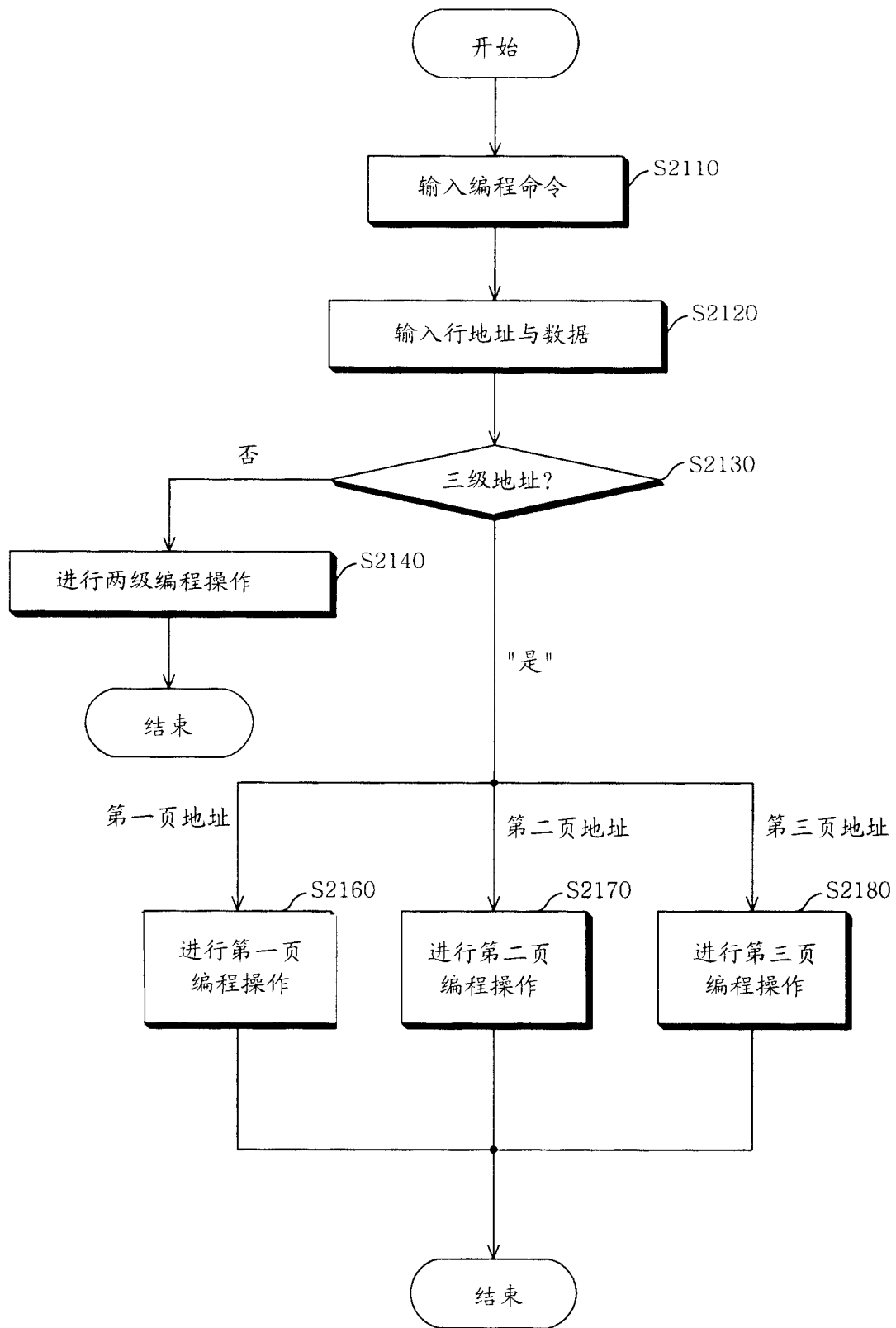


图 26

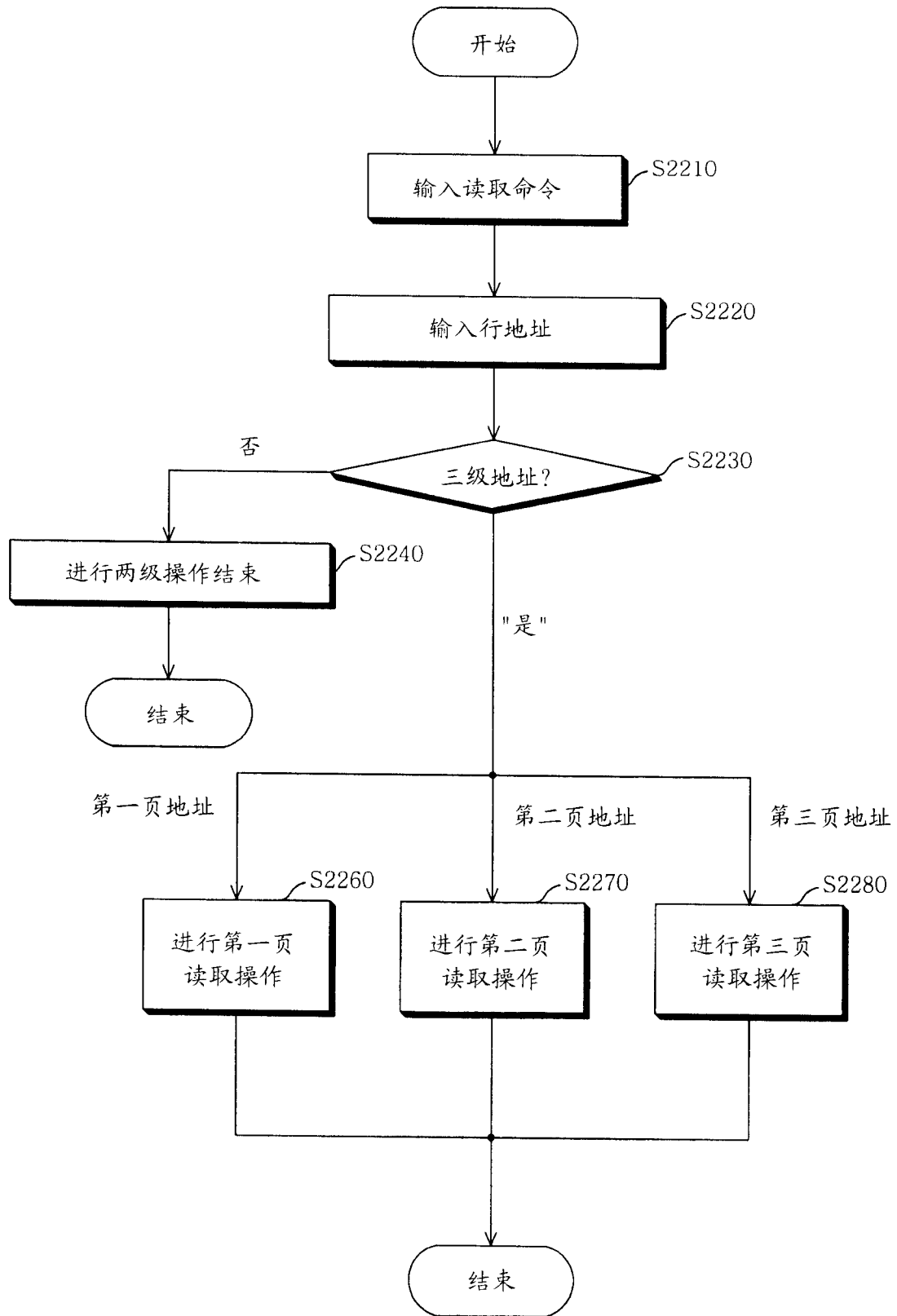


图 27

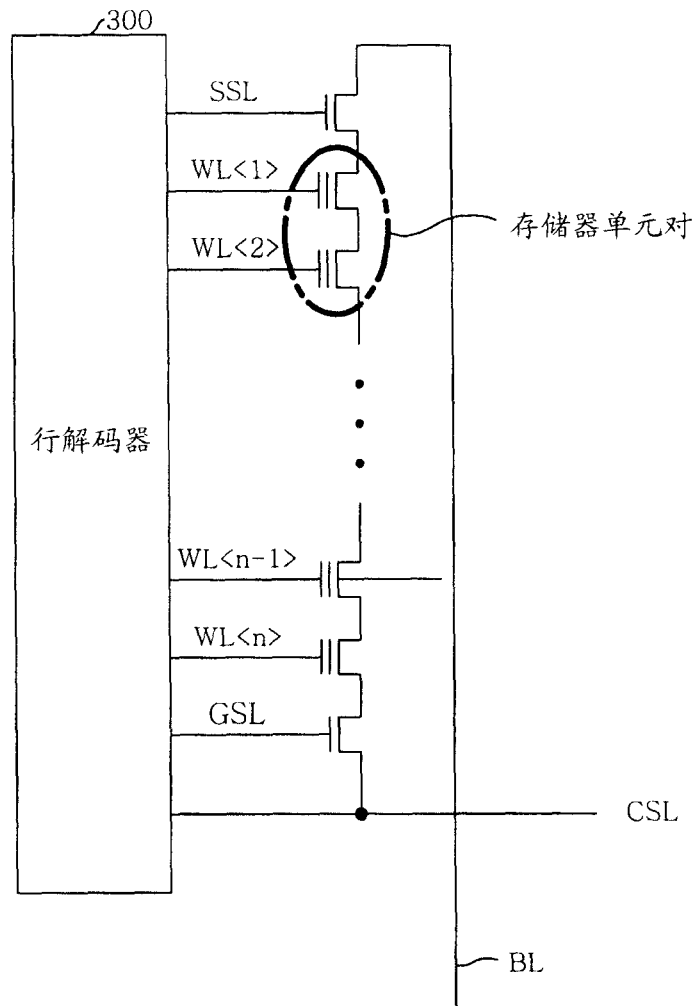


图 28

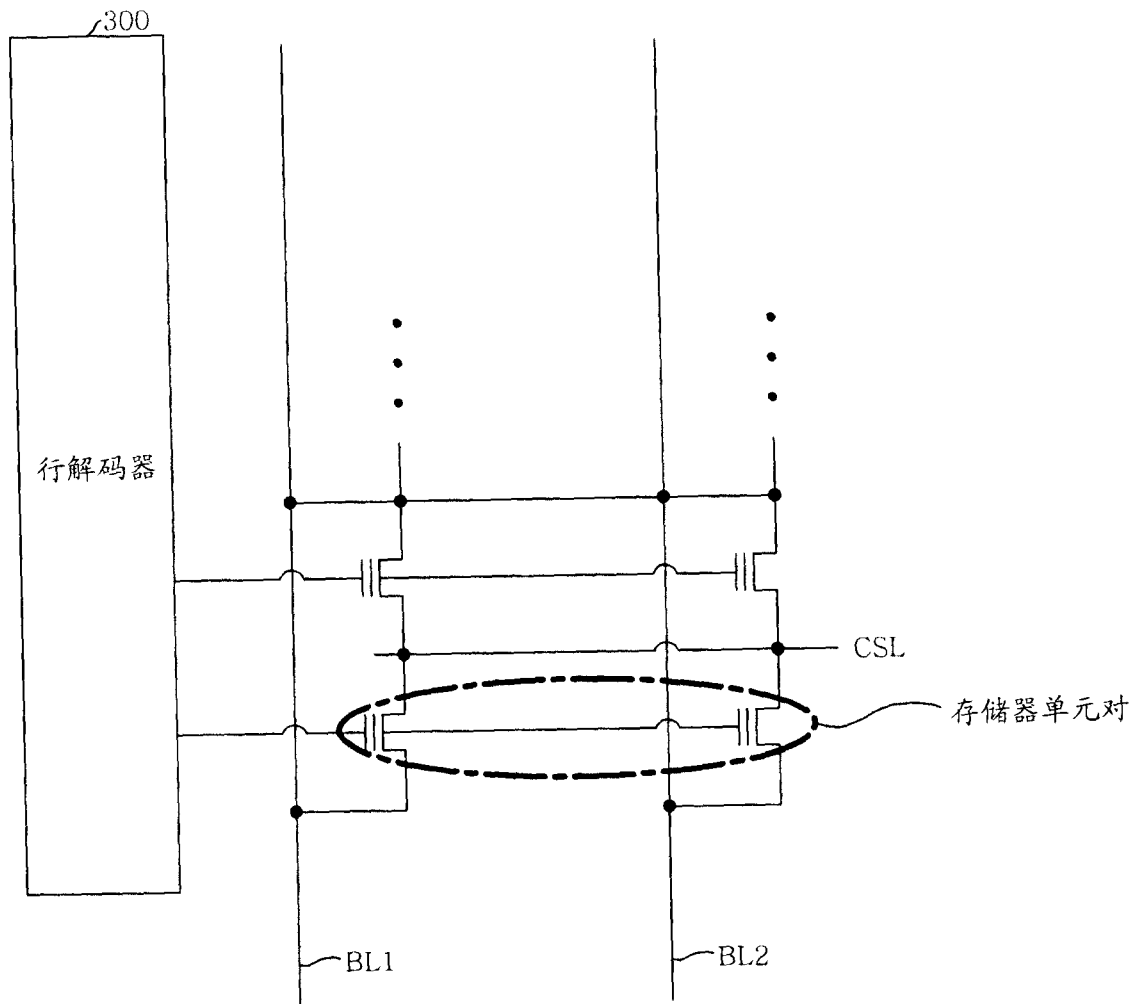


图 29

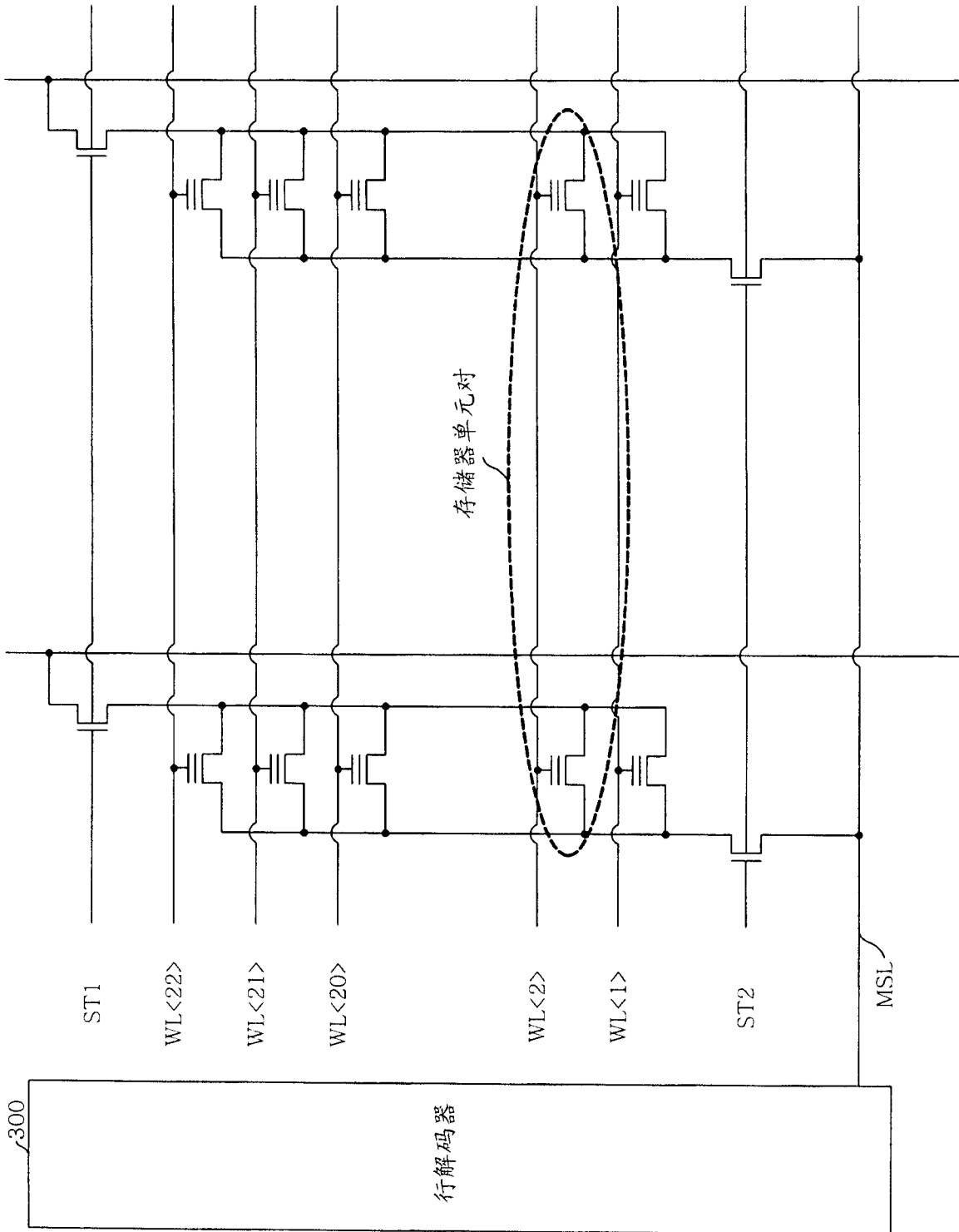


图 30