



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년11월16일  
(11) 등록번호 10-2179167  
(24) 등록일자 2020년11월10일

(51) 국제특허분류(Int. Cl.)  
H01L 23/00 (2006.01) H01L 23/13 (2006.01)  
H01L 23/31 (2006.01) H01L 23/485 (2006.01)  
H01L 23/525 (2006.01)  
(52) CPC특허분류  
H01L 24/06 (2013.01)  
H01L 23/13 (2013.01)  
(21) 출원번호 10-2018-0138678  
(22) 출원일자 2018년11월13일  
심사청구일자 2018년11월13일  
(65) 공개번호 10-2020-0055260  
(43) 공개일자 2020년05월21일  
(56) 선행기술조사문헌  
JP2008218529 A  
KR1020170142812 A

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
최재훈  
경기도 수원시 영통구 매영로 150 (매탄동)  
이두환  
경기도 수원시 영통구 매영로 150 (매탄동)  
(74) 대리인  
특허법인씨엔에스

전체 청구항 수 : 총 10 항

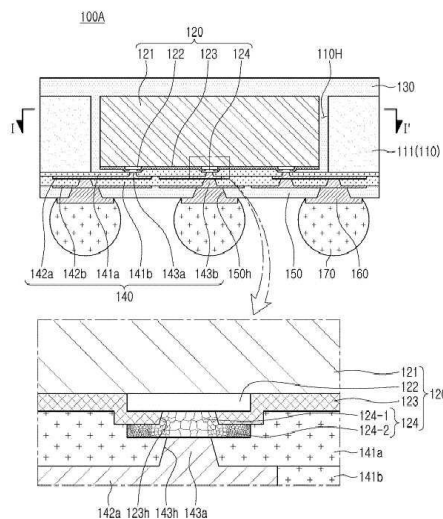
심사관 : 이석주

(54) 발명의 명칭 반도체 패키지

(57) 요약

본 개시는 활성면에 배치된 접속패드, 상기 접속패드와 상기 활성면 상에 배치되고 상기 접속패드의 적어도 일부를 노출하는 개구부가 형성된 패시베이션막, 및 상기 개구부로 노출된 상기 접속패드를 커버하는 캐핑패드를 포함하는 반도체칩; 상기 반도체칩의 적어도 일부를 덮는 봉합재; 및 상기 반도체칩의 활성면 상에 배치되고, 상기 캐핑패드와 접속된 접속비아 및 상기 접속비아와 접속된 재배선층을 포함하는 연결구조체; 를 포함하며, 상기 캐핑패드는, 상기 개구부에 배치되는 중심부, 및 상기 중심부로부터 상기 패시베이션막 상으로 연장되고, 결정립의 크기가 상기 중심부의 결정립의 크기와 상이한 주변부를 가지는 반도체 패키지에 관한 것이다.

대표도 - 도9



(52) CPC특허분류

*H01L 23/31* (2013.01)

*H01L 23/485* (2013.01)

*H01L 23/525* (2013.01)

(72) 발명자

**김병호**

경기도 수원시 영통구 매영로 150 (매탄동)

---

**최주영**

경기도 수원시 영통구 매영로 150 (매탄동)

## 명세서

### 청구범위

#### 청구항 1

활성면에 배치된 접속패드, 상기 접속패드와 상기 활성면 상에 배치되고 상기 접속패드의 적어도 일부를 노출하는 개구부가 형성된 패시베이션막, 및 상기 개구부로 노출된 상기 접속패드를 커버하는 캐핑패드를 포함하는 반도체칩;

상기 반도체칩의 적어도 일부를 덮는 봉합재; 및

상기 반도체칩의 활성면 상에 배치되고, 상기 캐핑패드와 접속된 접속비아 및 상기 접속비아와 접속된 재배선층을 포함하는 연결구조체; 를 포함하며,

상기 캐핑패드는,

상기 개구부에 배치되는 중심부, 및

상기 중심부로부터 상기 패시베이션막 상으로 연장되고, 결정립의 크기가 상기 중심부의 결정립의 크기와 상이한 주변부를 가지는,

반도체 패키지.

#### 청구항 2

제1항에 있어서,

상기 중심부의 결정립의 크기는 상기 주변부의 결정립의 크기보다 큰,

반도체 패키지.

#### 청구항 3

제1항에 있어서,

상기 주변부의 표면조도는 상기 중심부의 표면조도보다 큰,

반도체 패키지.

#### 청구항 4

제1항에 있어서,

상기 중심부는 상기 개구부를 충전하는, 반도체 패키지.

#### 청구항 5

제1항에 있어서,

상기 캐핑패드는,

상기 패시베이션막, 상기 개구부의 내벽 및 상기 개구부의 저면의 형상에 대응되게 형성되는,

반도체 패키지.

**청구항 6**

제1항에 있어서,  
상기 주변부는 1.5 $\mu\text{m}$ 이상 6 $\mu\text{m}$ 이하의 두께로 형성되는,  
반도체 패키지.

**청구항 7**

제1항에 있어서,  
상기 봉합재는 상기 패시베이션막 및 상기 연결구조체 사이의 적어도 일부를 채우는,  
반도체 패키지.

**청구항 8**

제7항에 있어서,  
상기 캐핑패드는, 상기 접속패드와 접하는 일면, 및 상기 일면과 마주하는 타면을 가지고,  
상기 봉합재는 상기 캐핑패드의 적어도 일부를 봉합하되 상기 캐핑패드의 타면을 노출하는,  
반도체 패키지.

**청구항 9**

제 1 항에 있어서,  
상기 연결구조체는, 상기 반도체칩의 활성면 상에 배치되어 적어도 일부가 상기 캐핑패드와 접하는 절연층을 더 포함하고,  
상기 재배선층은 상기 절연층 상에 배치되고,  
상기 접속비아는 상기 절연층을 관통하여 상기 캐핑패드와 상기 재배선층을 연결하는,  
반도체 패키지.

**청구항 10**

제9항에 있어서,  
상기 봉합재는 상기 패시베이션막 및 상기 절연층 사이의 적어도 일부를 채우는,  
반도체 패키지.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 개시는 반도체 패키지, 예를 들면, 팬-아웃 반도체 패키지에 관한 것이다.

**배경 기술**

[0003] 최근 반도체칩에 관한 기술 개발의 주요한 추세 중의 하나는 부품의 크기를 축소하는 것이며, 이에 패키지 분야에서 소형 반도체칩 등의 수요 급증에 따라 소형의 크기를 가지면서 다수의 핀을 구현하는 것이 요구되고 있다. 이에 부합하기 위하여 제안된 패키지 기술 중의 하나가 팬-아웃 패키지이다. 팬-아웃 패키지는 접속단자를 반도체칩이 배치된 영역 외로도 재배선하여, 소형의 크기를 가지면서도 다수의 핀을 구현할 수 있게 해준다.

[0005] 한편, 반도체칩의 경우 접속패드의 재질로 알루미늄(Al) 또는 구리(Cu)를 이용하며, 이때 패키지 제조를 위한 공정에서 반도체칩의 접속패드는 대기, 수분, 약액 등에 오픈되는바, 부식 및 손상이 유발되는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 개시의 여러 목적 중 하나는 반도체칩의 접속패드의 부식 및 손상을 최소화할 수 있으며, 접속비아의 신뢰성 개선 및 저항산포 저감이 가능한 새로운 반도체 패키지 구조를 제안하는 것이다.

**과제의 해결 수단**

[0009] 본 개시를 통하여 제안하는 여러 해결 수단 중 하나는 반도체칩의 패키징 전의 칩 상태에서 반도체칩의 접속패드를 노출하는 개구부를 갖는 패시베이션막에 캐핑패드를 형성하는 것이다.

[0011] 예를 들면, 본 개시에서 제안하는 일례에 따른 반도체 패키지는, 활성면에 배치된 접속패드, 상기 접속패드와 상기 활성면 상에 배치되고 상기 접속패드의 적어도 일부를 노출하는 개구부가 형성된 패시베이션막, 및 상기 개구부로 노출된 상기 접속패드를 커버하는 캐핑패드를 포함하는 반도체칩; 상기 반도체칩의 적어도 일부를 덮는 봉합재; 및 상기 반도체칩의 활성면 상에 배치되고, 상기 캐핑패드와 접속된 접속비아 및 상기 접속비아와 접속된 재배선층을 포함하는 연결구조체; 를 포함하며, 상기 캐핑패드는, 상기 개구부에 배치되는 중심부, 및 상기 중심부로부터 상기 패시베이션막 상으로 연장되고, 결정립의 크기가 상기 중심부의 결정립의 크기와 상이한 주변부를 가지는 것일 수 있다.

**발명의 효과**

[0013] 본 개시의 여러 효과 중 일 효과로서 반도체칩의 접속패드의 부식 및 손상을 최소화할 수 있으며, 접속비아의 신뢰성 개선 및 저항산포 저감이 가능한 새로운 반도체 패키지 구조를 제공할 수 있다.

**도면의 간단한 설명**

- [0015] 도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도다.
- 도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.
- 도 3a 및 도 3b는 팬-인 반도체 패키지의 패키징 전후를 개략적으로 나타낸 단면도다.
- 도 4는 팬-인 반도체 패키지의 패키징 과정을 개략적으로 나타낸 단면도다.
- 도 5는 팬-인 반도체 패키지가 인쇄회로기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
- 도 6은 팬-인 반도체 패키지가 인쇄회로기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를

개략적으로 나타낸 단면도다.

도 7은 팬-아웃 반도체 패키지의 개략적인 모습을 나타낸 단면도다.

도 8은 팬-아웃 반도체 패키지가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

도 9는 반도체 패키지의 일례를 개략적으로 나타낸 도면이다.

도 10은 도 9의 반도체 패키지의 개략적인 I'-I' 절단 평면도다.

도 11은 도 9의 반도체 패키지의 제조 과정의 일부분을 개략적으로 나타낸 공정도다.

도 12는 반도체 패키지의 다른 일례를 개략적으로 나타낸 도면이다.

도 13은 반도체 패키지의 다른 일례를 개략적으로 나타낸 도면이다.

도 14는 반도체 패키지의 다른 일례를 개략적으로 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0016] 이하, 첨부된 도면을 참조하여 본 개시에 대해 설명한다. 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장되거나 축소될 수 있다.

[0018] 전자기기

[0020] 도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도이다.

[0022] 도면을 참조하면, 전자기기(1000)는 메인보드(1010)를 수용한다. 메인보드(1010)에는 칩 관련부품(1020), 네트워크 관련부품(1030), 및 기타부품(1040) 등이 물리적 및/또는 전기적으로 연결되어 있다. 이들은 후술하는 다른 부품과도 결합되어 다양한 신호라인(1090)을 형성한다.

[0024] 칩 관련부품(1020)으로는 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩; 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩; 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 형태의 칩 관련 부품이 포함될 수 있음은 물론이다. 또한, 이들 부품(1020)이 서로 조합될 수 있음은 물론이다.

[0026] 네트워크 관련부품(1030)으로는, Wi-Fi(IEEE 802.11 패밀리 등), WiMAX(IEEE 802.16 패밀리 등), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPS, GPRS, CDMA, TDMA, DECT, Bluetooth, 3G, 4G, 5G 및 그 이후의 것으로 지정된 임의의 다른 무선 및 유선 프로토콜들이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다수의 무선 또는 유선 표준들이나 프로토콜들 중의 임의의 것이 포함될 수 있다. 또한, 네트워크 관련부품(1030)이 칩 관련 부품(1020)과 더불어 서로 조합될 수 있음은 물론이다.

[0028] 기타부품(1040)으로는, 고주파 인덕터, 페라이트 인덕터, 파워 인덕터, 페라이트 비즈, LTCC(low Temperature Co-Firing Ceramics), EMI(Electro Magnetic Interference) filter, MLCC(Multi-Layer Ceramic Condenser) 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다양한 용도를 위하여 사용되는 수동부품 등이 포함될 수 있다. 또한, 기타부품(1040)이 칩 관련 부품(1020) 및/또는 네트워크 관련 부품(1030)과 더불어 서로 조합될 수 있음은 물론이다.

[0030] 전자기기(1000)의 종류에 따라, 전자기기(1000)는 메인보드(1010)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품을 포함할 수 있다. 다른 부품의 예를 들면, 카메라(1050), 안테나(1060), 디스플레이(1070), 배터리(1080), 오디오 코덱(미도시), 비디오 코덱(미도시), 전력 증폭기(미도시), 나침반(미도시), 가속도계(미도시), 자이로스코프(미도시), 스피커(미도시), 대량 저장 장치(예컨대, 하드디스크 드라이브)(미도시), CD(compact disk)(미도시), 및 DVD(digital versatile disk)(미도시) 등이 있으며, 다만, 이에 한정되는 것은 아니고, 이 외에도 전자기기(1000)의 종류에 따라 다양한 용도를 위하여 사용되는 기타 부품 등이 포함될 수 있음은 물론이다.

[0032] 전자기기(1000)는, 스마트 폰(smart phone), 개인용 정보 단말기(personal digital assistant), 디지털 비디오 카메라(digital video camera), 디지털 스틸 카메라(digital still camera), 네트워크 시스템(network

system), 컴퓨터(computer), 모니터(monitor), 태블릿(tablet), 랩탑(laptop), 넷북(netbook), 텔레비전(television), 비디오 게임(video game), 스마트 워치(smart watch), 오토모티브(Automotive) 등일 수 있다. 다만, 이에 한정되는 것은 아니며, 이들 외에도 데이터를 처리하는 임의의 다른 전자기기일 수 있음은 물론이다.

[0034] 도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.

[0036] 도면을 참조하면, 반도체 패키지는 상술한 바와 같은 다양한 전자기기에 다양한 용도로써 적용된다. 예를 들면, 스마트 폰(1100)의 바디(1101) 내부에는 메인보드 등의 인쇄회로기판(1110)이 수용되어 있으며, 이러한 인쇄회로기판(1110)에는 다양한 부품(1120) 들이 물리적 및/또는 전기적으로 연결되어 있다. 또한, 카메라(1130)와 같이 인쇄회로기판(1110)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품이 바디(1101) 내에 수용되어 있다. 부품(1120) 중 일부는 칩 관련부품일 수 있으며, 예를 들면, 반도체 패키지(1121)일 수 있으나, 이에 한정되는 것은 아니다. 전자기기는 반드시 스마트 폰(1100)에 한정되는 것은 아니며, 상술한 바와 같이 다른 전자기기일 수도 있음은 물론이다.

[0038] 반도체 패키지

[0040] 일반적으로 반도체칩은 수많은 미세 전기 회로가 집적되어 있으나 그 자체로는 반도체 완성품으로서의 역할을 할 수 없으며, 외부의 물리적 또는 화학적 충격에 의해 손상될 가능성이 존재한다. 그래서 반도체칩 자체를 그대로 사용하지 않고 반도체칩을 패키징하여 패키지 상태로 전자기기 등에 사용하고 있다.

[0042] 반도체 패키징이 필요한 이유는, 전기적인 연결이라는 관점에서 볼 때, 반도체칩과 전자기기의 메인보드의 회로 폭에 차이가 있기 때문이다. 구체적으로, 반도체칩의 경우, 접속패드의 크기와 접속패드간의 간격이 매우 미세한 반면 전자기기에 사용되는 메인보드의 경우, 부품 실장 패드의 크기 및 부품 실장 패드의 간격이 반도체칩의 스케일보다 훨씬 크다. 따라서, 반도체칩을 이러한 메인보드 상에 바로 장착하기 어려우며 상호간의 회로 폭 차이를 완충시켜 줄 수 있는 패키징 기술이 요구되는 것이다.

[0044] 이러한 패키징 기술에 의하여 제조되는 반도체 패키지는 구조 및 용도에 따라서 팬-인 반도체 패키지(Fan-in semiconductor package)와 팬-아웃 반도체 패키지(Fan-out semiconductor package)로 구분될 수 있다.

[0046] 이하에서는, 도면을 참조하여 팬-인 반도체 패키지와 팬-아웃 반도체 패키지에 대하여 보다 자세히 알아보도록 한다.

[0048] (팬-인 반도체 패키지)

[0050] 도 3a 및 도 3b는 팬-인 반도체 패키지의 패키징 전후를 개략적으로 나타낸 단면도다.

[0051] 도 4는 팬-인 반도체 패키지의 패키징 과정을 개략적으로 나타낸 단면도다.

[0053] 도면을 참조하면, 반도체칩(2220)은 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등을 포함하는 바디(2221), 바디(2221)의 일면 상에 형성된 알루미늄(Al) 등의 금속물질을 포함하는 접속패드(2222), 및 바디(2221)의 일면 상에 형성되며 접속패드(2222)의 적어도 일부를 덮는 산화막 또는 질화막 등의 패시베이션막(2223)을 포함하는, 예를 들면, 베어(Bare) 상태의 집적회로(IC)일 수 있다. 이때, 접속패드(2222)는 매우 작기 때문에, 집적회로(IC)는 전자기기의 메인보드 등은 물론, 중간 레벨의 인쇄회로기판(PCB)에도 실장 되기 어렵다.

[0055] 이에, 접속패드(2222)를 재배선하기 위하여 반도체칩(2220) 상에 반도체칩(2220)의 사이즈에 맞춰 연결구조체(2240)를 형성한다. 연결구조체(2240)는 반도체칩(2220) 상에 감광성 절연수지(PID)와 같은 절연 물질로 절연층(2241)을 형성하고, 접속패드(2222)를 오픈시키는 비아홀(2243h)을 형성한 후, 배선패턴(2242) 및 비아(2243)를 형성하여 형성할 수 있다. 그 후, 연결구조체(2240)를 보호하는 패시베이션층(2250)을 형성하고, 개구부(2251)를 형성한 후, 언더범프금속(2260) 등을 형성한다. 즉, 일련의 과정을 통하여, 예를 들면, 반도체칩(2220), 연결구조체(2240), 패시베이션층(2250), 및 언더범프금속(2260)을 포함하는 팬-인 반도체 패키지(2200)가 제조된다.

[0057] 이와 같이, 팬-인 반도체 패키지는 반도체칩의 접속패드, 예컨대 I/O(Input/Output) 단자를 모두 소자 안쪽에 배치시킨 패키지형태이며, 팬-인 반도체 패키지는 전기적 특성이 좋으며 저렴하게 생산할 수 있다. 따라서, 스마트폰에 들어가는 많은 소자들이 팬-인 반도체 패키지 형태로 제작되고 있으며, 구체적으로는 소형이면서도 빠른 신호 전달을 구현하는 방향으로 개발이 이루어지고 있다.

[0059] 다만, 팬-인 반도체 패키지는 I/O 단자를 모두 반도체칩 안쪽에 배치해야 하는바 공간적인 제약이 많다. 따라



서, 이러한 구조는 많은 수의 I/O 단자를 갖는 반도체칩이나 크기가 작은 반도체칩에 적용하는데 어려운 점이 있다. 또한, 이러한 취약점으로 인하여 전자기기의 메인보드에 팬-인 반도체 패키지가 직접 실장 되어 사용될 수 없다. 반도체칩의 I/O 단자를 재배선 공정으로 그 크기와 간격을 확대하였다 하더라도, 전자기기 메인보드에 직접 실장 될 수 있을 정도의 크기와 간격을 가지는 것은 아니기 때문이다.

[0061] 도 5는 팬-인 반도체 패키지가 인쇄회로기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0062] 도 6은 팬-인 반도체 패키지가 인쇄회로기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0064] 도면을 참조하면, 팬-인 반도체 패키지(2200)는 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 인쇄회로기판(2301)을 통하여 다시 한 번 재배선되며, 최종적으로는 인쇄회로기판(2301) 상에 팬-인 반도체 패키지(2200)가 실장된 상태로 전자기기의 메인보드(2500)에 실장될 수 있다. 이때, 솔더볼(2270) 등은 언더필 수지(2280) 등으로 고정될 수 있으며, 외측은 몰딩재(2290) 등으로 커버될 수 있다. 또는, 팬-인 반도체 패키지(2200)는 별도의 인쇄회로기판(2302) 내에 내장(Embedded) 될 수 도 있으며, 내장된 상태로 인쇄회로기판(2302)에 의하여 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 다시 한 번 재배선되고, 최종적으로 전자기기의 메인보드(2500)에 실장될 수 있다.

[0066] 이와 같이, 팬-인 반도체 패키지는 전자기기의 메인보드에 직접 실장 되어 사용되기 어렵기 때문에, 별도의 인쇄회로기판 상에 실장된 후 다시 패키징 공정을 거쳐 전자기기 메인보드에 실장되거나, 또는 인쇄회로기판 내에 내장된 채로 전자기기 메인보드에 실장되어 사용되고 있다.

[0068] (팬-아웃 반도체 패키지)

[0070] 도 7은 팬-아웃 반도체 패키지의 개략적인 모습을 나타낸 단면도다.

[0072] 도면을 참조하면, 팬-아웃 반도체 패키지(2100)는, 예를 들면, 반도체칩(2120)의 외측이 봉합재(2130)로 보호되며, 반도체칩(2120)의 접속패드(2122)가 연결구조체(2140)에 의하여 반도체칩(2120)의 바깥쪽까지 재배선된다. 이때, 연결구조체(2140) 상에는 패시베이션층(2150)이 더 형성될 수 있으며, 패시베이션층(2150)의 개구부에는 언더범프금속(2160)이 더 형성될 수 있다. 언더범프금속(2160) 상에는 솔더볼(2170)이 더 형성될 수 있다. 반도체칩(2120)은 바디(2121), 접속패드(2122) 등을 포함하는 집적회로(IC)일 수 있다. 연결구조체(2140)는 절연층(2141), 절연층(2241) 상에 형성된 배선층(2142), 접속패드(2122)와 배선층(2142) 등을 전기적으로 연결하는 비아(2143)를 포함할 수 있다.

[0074] 이와 같이, 팬-아웃 반도체 패키지는 반도체칩 상에 형성된 연결구조체를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태이다. 상술한 바와 같이, 팬-인 반도체 패키지는 반도체칩의 I/O 단자를 모두 반도체칩 안쪽에 배치시켜야 하고 이에 소자 사이즈가 작아지면 볼 크기와 피치를 줄여야 하므로 표준화된 볼 레이아웃을 사용할 수 없다. 반면, 팬-아웃 반도체 패키지는 이와 같이 반도체칩 상에 형성된 연결구조체를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태인바 반도체칩의 크기가 작아지더라도 표준화된 볼 레이아웃을 그대로 사용할 수 있는바, 후술하는 바와 같이 전자기기의 메인보드에 별도의 인쇄회로기판 없이도 실장될 수 있다.

[0076] 도 8은 팬-아웃 반도체 패키지가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0078] 도면을 참조하면, 팬-아웃 반도체 패키지(2100)는 솔더볼(2170) 등을 통하여 전자기기의 메인보드(2500)에 실장될 수 있다. 즉, 상술한 바와 같이, 팬-아웃 반도체 패키지(2100)는 반도체칩(2120) 상에 반도체칩(2120)의 사이즈를 벗어나는 팬-아웃 영역까지 접속패드(2122)를 재배선할 수 있는 연결구조체(2140)를 형성하기 때문에, 표준화된 볼 레이아웃을 그대로 사용할 수 있으며, 그 결과 별도의 인쇄회로기판 등 없이도 전자기기의 메인보드(2500)에 실장 될 수 있다.

[0080] 이와 같이, 팬-아웃 반도체 패키지는 별도의 인쇄회로기판 없이도 전자기기의 메인보드에 실장 될 수 있기 때문에, 인쇄회로기판을 이용하는 팬-인 반도체 패키지 대비 두께를 얇게 구현할 수 있는바 소형화 및 박형화가 가능하다. 또한, 열 특성과 전기적 특성이 우수하여 모바일 제품에 특히 적합하다. 또한, 인쇄회로기판(PCB)을 이용하는 일반적인 POP(Package on Package) 타입 보다 더 컴팩트하게 구현할 수 있고, 휨 현상 발생으로 인한 문제를 해결할 수 있다.

[0082] 한편, 팬-아웃 반도체 패키지는 이와 같이 반도체칩을 전자기기의 메인보드 등에 실장하기 위하여, 그리고 외부



의 충격으로부터 반도체칩을 보호하기 위한 패키지 기술을 의미하는 것으로, 이와는 스케일, 용도 등이 상이하 며, 팬-인 반도체 패키지가 내장되는 인쇄회로기판 등의 인쇄회로기판(PCB)과는 다른 개념이다.

- [0084] 이하에서는, 반도체칩의 접속패드의 부식 및 손상을 최소화할 수 있는 새로운 반도체 패키지 구조를 도면을 참 조하여 설명한다.
- [0086] 도 9는 반도체 패키지의 일예를 개략적으로 나타낸 단면도다.
- [0087] 도 10은 도 9의 반도체 패키지의 개략적인 I'-I' 절단 평면도다.
- [0089] 도면을 참조하면, 일예에 따른 반도체 패키지(100A)는, 활성면에 배치된 접속패드(122), 접속패드(122)와 활성 면 상에 배치되고 접속패드(122)의 적어도 일부를 노출하는 개구부(123h)를 갖는 패시베이션막(123) 및 개구부 (123h)로 노출된 접속패드(122)를 커버하는 캐핑패드(capping pad, 124)를 포함하는 반도체칩(120)과, 반도체칩 (120)의 적어도 일부를 덮는 봉합재(130)와, 반도체칩(120)의 활성면 상에 배치되어 적어도 일부가 캐핑패드 (124)와 접하는 제1절연층(141a), 제1절연층(141a) 상에 배치된 제1재배선층(142a), 및 제1절연층(141a)을 관통 하여 캐핑패드(124) 및 제1재배선층(142a) 각각과 접속된 제1접속비아(143a)를 포함하는 연결구조체(140)를 포 함한다. 여기서, 캐핑패드(124)는, 개구부(123h)에 배치되는 중심부(124-1), 및 중심부(124-1)로부터 패시베이 션막(123) 상으로 연장되고, 결정립의 크기가 중심부의 결정립(124-1)의 크기보다 작은 주변부(124-2)를 가진다.
- [0091] 반도체칩(120)의 경우 접속패드(122)의 재질로 통상적으로 알루미늄(Al)을 이용하며, 이때 패키지(100A) 제조를 위한 공정에서 반도체칩(120)의 접속패드(122)는 별다른 조치를 취하지 않는 경우, 대기, 수분, 약액 등에 노출 되는바, 부식 및 손상이 유발되는 문제점이 있다. 구체적으로, 별다른 조치 없이 반도체칩(120)에 바로 제1접 속비아(143a)를 형성하는 경우, 감광성 절연물질(PID: Photo Image-able Dielectric)을 보통 포함하는 제1절연 층(141a)의 도포 전에 화학처리를 통하여 접속패드(122)의 표면의 유기 및 산화층을 제거하는데, 이때 접속패드 (122)가 화학처리에 의하여 데미지를 받을 수 있다. 또한, 제1접속비아(143a) 형성을 위해 포토리소그래피 공정 으로 제1절연층(141a)에 비아홀(143h)을 형성함에 있어서도, PID 현상액 등에 의해 접속패드(122)에 데미지가 발생할 수 있다. 이러한 데미지는 접속패드(122)의 부식과 접속패드(122)의 표면의 거칠기를 터프하게 만들어, 제1접속비아(143a)를 형성하기 위한 시드층을 불균일하게 만들며, 따라서 이후 패키지 공정 진행시 접속패드 (122)의 부식을 야기하고, 나아가 반도체칩(120)과 연결구조체(140) 간의 접속신뢰성을 감소시킨다.
- [0093] 반면, 일예에 따른 반도체 패키지(100A)와 같이, 패시베이션막(123)의 개구부(123h)로 노출된 접속패드(122)를 커버하는 캐핑패드(124)를 형성하는 경우, 개구부(123h)에 의해 노출된 접속패드(122)를 덮으면서도 접속패드 (122)를 제1접속비아(143a)에 연결할 수 있다. 따라서, 패키지(100A) 제조를 위한 공정에서 접속패드(122)가 대 기, 수분, 약액 등에 노출되는 것을 최소화할 수 있어, 부식 및 손상을 최소화할 수 있다.
- [0094] 구체적으로, 캐핑패드(124)는 연결구조체(140)의 제1절연층(141a) 등을 형성하는 과정에서 발생하는 접속패드 (122)의 산화 및 부식 등으로부터 배리어 역할을 하게 된다. 즉, 종래와 마찬가지로 제1재배선층(142a) 형성을 위한 PID 등의 제1절연층(141a) 도입에도 불구하고 캐핑패드(124)를 통해 접속패드(122)의 산화 및 부식 등을 최소화할 수 있다. 이 경우, 제1절연층(141a)은 캐핑패드(124)에 의하여 접속패드(122)와 물리적으로 이격될 수 있다.
- [0095] 본 예에 적용되는 캐핑패드(124)는, 패시베이션막(123)의 개구부(123h)에 배치되는 중심부(124-1)와, 중심부 (124-1)로부터 패시베이션막(123) 상으로 연장되고 결정립의 크기가 중심부(124-1)의 결정립의 크기보다 작은 주변부(124-2)를 가진다.
- [0096] 중심부(124-1)와 주변부(124-2)는, 각각의 두께 차, 각각이 접하고 있는 구성 간의 열전도도 차, 및 각각의 부 피 차에 의해, 결정립의 크기가 달라질 수 있다. 구체적으로, 주변부(124-1)는 상대적으로 열전도도가 낮은 패 시베이션막(123)과 접하고, 중심부(124-1)는 상대적으로 열전도도가 높은 접속패드(122)와 접하므로, 열이 주변 부(124-2)보다 중심부(124-1)로 보다 빨리 전달될 수 있다. 따라서, 중심부(124-1)는 열에 노출된 시간이 상대 적으로 주변부(124-2) 보다 많아지고, 결과 중심부(124-1)의 결정립은 주변부(124-2)의 결정립보다 크게 형성될 수 있다. 또한, 본 예의 경우, 캐핑패드(124)는 상대적으로 열전도도가 높은 구리(Cu)를 포함할 수 있고, 중심 부(124-1)는 개구부(123h)를 충전하는 형태로 형성되어 주변부(124-2)보다 상대적으로 큰 부피로 형성되는데, 이로 인해 중심부(124-1)에 전달되는 총 열량은 상대적으로 주변부(124-2)에 전달되는 총 열량보다 많아지고, 이로 인해 중심부(124-1)의 결정립은 주변부(124-2)의 결정립보다 크게 형성될 수 있다.
- [0097] 결정립의 크기는, 예로서, 라인 인터셉트법(line intercept method)으로 결정될 수 있으나, 이에 제한되는 것은

아니다.

- [0098] 주변부(124-2)의 표면조도는 중심부(124-1)의 표면조도보다 클 수 있다. 주변부(124-2)의 표면조도가 상대적으로 크게 형성되므로, 캐핑패드(124)와 패시베이션막(123) 간의 결합력과, 캐핑패드(124)와 제1절연층(141a) 간의 결합력이 향상될 수 있다. 중심부(124-1)의 표면조도가 상대적으로 작게 형성되므로, 캐핑패드(124)와 접촉패드(122) 간의 접촉 저항과, 캐핑패드(124)와 제1접속비아(143a) 간의 접촉 저항이 낮아질 수 있다. 주변부(124-2)의 표면조도가 중심부(124-1)의 표면조도보다 큰 것은, 주변부(124-2) 결정립의 크기가 중심부(124-1) 결정립의 크기보다 작기 때문일 수 있다. 즉, 결정립이 작을수록 동일한 길이 내에 보다 다수의 결정립이 배치되고 이에 따라 동일한 길이 내에 보다 많은 결정립계가 배치될 수 있기 때문이다. 한편, 표면조도는 산술평균법(단위 Ra) 또는 십점평균법(단위 Rz)에 의해 산출될 수 있다.
- [0099] 주변부의 두께는 1.5 $\mu$ m이상 6 $\mu$ m이하로 형성될 수 있다. 주변부가 1.5 $\mu$ m 미만의 두께를 가지는 경우, 결정립의 크기가 상대적으로 작아 캐핑패드가 떨어져 나갈 수 있고, 주변부가 6 $\mu$ m초과의 두께로 형성되는 경우 패키지 전체의 두께가 증가하고, 절연층 형성에 문제를 일으킬 수 있다.
- [0101] 한편, 캐핑패드(124)는 반도체칩(120)의 패키징 전에 칩 상태에서 반도체칩(120) 패시베이션막(123)에 형성됨이 바람직하다. 이 경우, 패시베이션막(123)뿐만 아니라 캐핑패드(124) 역시 반도체칩(120)의 활성면 이내의 영역에 배치될 수 있으며, 봉합재(130)가 패시베이션막(123)의 측면뿐만 아니라 캐핑패드(124)의 측면의 적어도 일부를 덮을 수 있다. 이와 같이, 캐핑패드(124)를 칩 상태, 예컨대 웨이퍼(wafer) 상태에서 형성함으로써 패키징 전에 양품만을 선택할 수 있는바 수율을 높일 수 있고, 패키징 공정의 각종 외부 요인에 의해 발생하는 접속패드(122)의 손상 내지 오염을 효과적으로 최소화할 수 있다.
- [0103] 이하, 일례에 따른 반도체 패키지(100A)에 포함되는 각각의 구성에 대하여 보다 자세히 설명한다.
- [0105] 프레임(110)은 부가적인 구성으로, 절연층(111)의 구체적인 재료에 따라 패키지(100A)의 강성을 보다 개선시킬 수 있으며, 봉합재(130)의 두께 균일성 확보 등의 역할을 수행할 수 있다. 프레임(110)은 절연층(111)을 관통하는 관통홀(110H)을 가질 수 있다. 관통홀(110H)에는 반도체칩(120)이 배치되며, 필요에 따라서는 수동부품(미도시)이 함께 배치될 수도 있다. 관통홀(110H)은 내벽이 반도체칩(120)을 둘러싸는 형태일 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0107] 절연층(111)의 재료는 특별히 한정되는 않는다. 예를 들면, 절연물질이 사용될 수 있는데, 이때 절연물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지가 무기필러와 함께 유리섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 함침된 재료, 예를 들면, 동박적층판(CCL), 언클래드 동박적층판(Unclad CCL), 프리프레그(prepreg) 등이 사용될 수 있으나, 이에 한정되는 것은 아니다. 필요에 따라서는, 절연층(111)의 재료로 글래스(glass)나 세라믹(ceramics) 등이 사용될 수도 있다. 절연층(111)의 하면은 반도체칩(120)의 캐핑패드(124)의 최하면과 코플레너(Coplanar) 할 수 있다. 이는, 보호막(124)이 칩 상태에서 형성될 수 있기 때문이다.
- [0109] 한편, 도면에는 도시하지 않았으나, 필요에 따라서 전자파 차폐의 목적이나 방열 목적으로 프레임(110)의 관통홀(110H)의 벽면에 금속층(미도시)이 배치될 수도 있으며, 금속층(미도시)은 반도체칩(120)을 둘러쌀 수 있다.
- [0111] 반도체칩(120)은 소자 수백 내지 수백만 개 이상이 하나의 칩 안에 집적화된 집적회로(IC: Integrated Circuit)일 수 있다. 이때 집적회로는, 예를 들면, 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩일 수 있으나, 이에 한정되는 것은 아니며, 전력관리 집적회로(PMIC: Power Management IC)나, 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩, 또는 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩 등일 수도 있다.
- [0113] 반도체칩(120)은 별도의 범프나 배선층이 형성되지 않은 베어(Bare) 상태의 집적회로일 수 있다. 다만, 이에 한정되는 것은 아니며, 필요에 따라서는 패키지드 타입의 집적회로일 수도 있다. 집적회로는 액티브 웨이퍼를 기반으로 형성될 수 있다. 이 경우 반도체칩(120)의 바디(121)를 이루는 모재로는 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등이 사용될 수 있다. 바디(121)에는 다양한 회로가 형성되어 있을 수 있다. 접속패드(122)는 반도체칩(120)을 다른 구성요소와 전기적으로 연결시키기 위한 것으로, 형성 물질로는 각각 알루미늄(Al), 구리(Cu) 등의 금속물질을 특별한 제한 없이 사용할 수 있다. 바디(121) 상에는 접속패드(122)의 적어도 일부를 노출하는 개구부(123h)를 갖는 패시베이션막(123)이 형성되며, 패시베이션막(123)은 산화막 또는 질화막 등일 수 있다. 도면에서는 패시베이션막(123)이 접속패드(122)와 유사한 두께를 갖는 것으로 도시되었으나, 이에 한정되

는 것은 아니며, 패시베이션막(123)은 접속패드(122) 보다 두께가 얇을 수 있다. 패시베이션막(123)의 개구부(123h)에는 개구부(123h)로 노출된 접속패드(122)를 커버하는 캐핑패드(124)가 형성되며, 캐핑패드는 구리(Cu)를 포함하는 재료로 형성될 수 있다. 기타 필요한 위치, 예컨대 바디(121)와 접속패드(122) 및 패시베이션막(123) 사이에 SiO와 같은 절연막(미도시) 등이 더 배치될 수도 있다. 한편, 반도체칩(120)은 접속패드(122)가 배치된 면이 활성면이 되며, 그 반대측이 비활성면이 된다.

[0115] 봉합재(130)는 반도체칩(120)의 적어도 일부를 덮는다. 프레임(110)이 존재하는 경우에는 프레임(110)의 적어도 일부를 덮는다. 또한, 관통홀(110H)의 적어도 일부를 채운다. 봉합재(130)는 절연물질을 포함하며, 절연물질로는 무기필러 및 절연수지를 포함하는 재료, 예컨대 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들에 무기필러와 같은 보강재가 포함된 수지, 구체적으로 ABF, FR-4, BT, 수지 등이 사용될 수 있다. 또한, EMC와 같은 몰딩 물질을 사용할 수 있으며, 필요에 따라 감광성 재료, 즉 PIE(Photo Imagable Encapsulant)를 사용할 수도 있다. 필요에 따라 열경화성 수지나 열가소성 수지와 같은 절연수지가 무기필러 및/또는 유리섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 함침된 재료를 사용할 수도 있다.

[0117] 연결구조체(140)는 반도체칩(120)의 캐핑패드(124)와 접속하여 캐핑패드(124)와 접속된 접속패드(122)를 재배선할 수 있다. 연결구조체(140)를 통하여 다양한 기능을 가지는 수십 내지 수천의 반도체칩(120)의 접속패드(122)가 각각 재배선 될 수 있으며, 전기연결금속(170)을 통하여 그 기능에 맞춰 외부에 물리적 및/또는 전기적으로 연결될 수 있다. 연결구조체(140)는 반도체칩(120)의 활성면 상에 배치되어 적어도 일부가 캐핑패드(124)와 접하는 제1절연층(141a), 제1절연층(141a) 상에 배치된 제1재배선층(142a), 제1절연층(141a)을 관통하여 캐핑패드와 제1재배선층(142a) 각각에 접속된 제1접속비아(143a), 제1절연층(141a) 상에 배치되며 제1재배선층(142a)의 적어도 일부를 덮는 제2절연층(141b), 제2절연층(141b) 상에 배치된 제2재배선층(142b), 및 제2절연층(141b)을 관통하며 제1 및 제2재배선층(142a, 142b)을 전기적으로 연결하는 제2접속비아(143b)를 포함한다. 제1접속비아(143a)는 캐핑패드(124)의 적어도 일부를 노출하도록 제1절연층(141a)에 비아홀(143h)을 형성한 후 비아홀(143h)의 적어도 일부에 도전성 물질을 충전함으로써 형성될 수 있다. 한편, 상술한 절연층(141a, 141b), 재배선층(142a, 142b) 및 접속비아(143a, 143b)는 도면에 도시한 것 보다 많을 수도, 적을 수도 있다.

[0119] 제1 및 제2절연층(141a, 141b)의 물질로는 절연물질이 사용될 수 있는데, 이때 절연물질로는 감광성 절연물질(PID)을 사용할 수 있으며, 이 경우 포토 비아를 통한 파인 피치의 도입도 가능해진다. 또한, 단일의 절연층에 단일의 포토리소그래피 공정으로 복수의 비아홀을 동시에 형성할 수 있다. 따라서, 반도체칩(120)의 수십 내지 수백만의 접속패드(122)를 매우 효과적으로 재배선할 수 있다. 제1 및 제2절연층(141a, 141b)은 서로 경계가 구분될 수 있다. 제1절연층(141a)은 캐핑패드(124)에 의하여 접속패드(122)와 물리적으로 이격될 수 있다.

[0121] 제1 및 제2재배선층(142a, 142b)은 반도체칩(120)의 접속패드(122)를 재배선하여 전기연결금속(170)과 전기적으로 연결시킬 수 있다. 제1 및 제2재배선층(142a, 142b)의 형성물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속물질을 사용할 수 있다. 제1 및 제2재배선층(142a, 142b)은 설계 디자인에 따라서 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(Ground: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 또한, 비아 패드, 전기연결금속 패드 등을 포함할 수 있다.

[0123] 제1 및 제2접속비아(143a, 143b)는 서로 다른 층에 형성된 반도체칩(120)의 접속패드(122)와 제1재배선층(142a)을 전기적으로 연결하며, 또한 서로 다른 층에 형성된 제1 및 제2재배선층(142a, 142b)을 전기적으로 연결한다. 구체적으로, 제1접속비아(143a)는 반도체칩(120)의 캐핑패드(124)와 접할 수 있고, 제2접속비아(143b)는 제1재배선층(142a)과 접할 수 있다. 접속비아(143a, 143b)의 형성물질로는 마찬가지로 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속물질을 사용할 수 있다. 제1 및 제2접속비아(143a, 143b)는 각각 금속물질로 비아홀이 완전히 충전된 필드 타입일 수도 있고, 비아홀의 벽면을 따라 금속물질이 도금된 컨포멀 타입일 수도 있다. 또한, 테이퍼 형상 등을 가질 수 있다.

[0125] 한편, 제1재배선층(142a)과 제1접속비아(143a)는 도금 공정으로 동시에 형성되어 서로 일체화될 수 있으며, 이때 시드층과 시드층 상에 형성된 도금층을 포함할 수 있다. 구체적으로, 시드층은 제1절연층(141a)의 비아홀(143h)에 의해 노출된 캐핑패드(124)의 표면, 비아홀(143h)의 내벽과, 제1절연층(141a)의 표면 상에 스퍼터 등으로 매우 얇게 형성될 수 있으며, 티타늄(Ti)층이나 티타늄(Ti)/구리(Cu) 이중층 등을 포함할 수 있다. 도금층은 전해도금 등으로 시드층 상에 형성되어 비아홀(143h) 및 제2개구부(124h)를 채울 수 있다. 제2재배선층

(142b)과 제2접속비아(143b) 역시 마찬가지로 도금 공정으로 동시에 형성되는바 서로 일체화될 수 있으며, 이때 시드층 및 도금층을 포함할 수 있다.

- [0127] 패시베이션층(150)은 부가적인 구성으로, 연결구조체(140)를 외부의 물리적 화학적 손상 등으로부터 보호할 수 있다. 패시베이션층(150)은 절연수지 및 무기필러를 포함하되, 유리섬유는 포함하지 않을 수 있다. 예컨대, 패시베이션층(150)은 ABF일 수 있으나, 이에 한정되는 것은 아니다. 패시베이션층(150)은 제2재배선층(142b)의 적어도 일부를 오픈시키는 제3개구부(150h)를 가질 수 있다.
- [0129] 언더범프금속(160) 역시 부가적인 구성으로, 전기연결금속(170)의 접속 신뢰성을 향상시켜주며, 그 결과 일례에 따른 반도체 패키지(100A)의 보드 레벨 신뢰성을 개선할 수 있다. 언더범프금속(160)은 수십 내지 수만 개 있을 수 있다. 각각의 언더범프금속(160)은 패시베이션층(150)을 관통하는 제3개구부(150h)를 통하여 제2재배선층(142b)과 연결될 수 있다. 언더범프금속(160)은 금속을 이용하여 공지의 메탈화 방법으로 형성할 수 있으나, 이에 한정되는 것은 아니다.
- [0131] 전기연결금속(170)은 반도체 패키지(100A)를 외부와 물리적 및/또는 전기적으로 연결시키기 위한 구성이다. 예를 들면, 반도체 패키지(100A)는 전기연결금속(170)을 통하여 전자기기의 메인보드에 실장될 수 있다. 전기연결금속(170)은 저융점 금속, 예를 들면, 주석(Sn)이나 또는 주석(Sn)을 포함하는 합금으로 구성될 수 있다. 보다 구체적으로는 솔더(solder) 등으로 형성될 수 있으나, 이는 일례에 불과하며 재질이 특별히 이에 한정되는 것은 아니다. 전기연결금속(170)은 랜드(land), 볼(ball), 핀(pin) 등일 수 있다. 전기연결금속(170)은 다중층 또는 단일층으로 형성될 수 있다. 다중층으로 형성되는 경우에는 구리 필러(pillar) 및 솔더를 포함할 수 있으며, 단일층으로 형성되는 경우에는 주석-은 솔더나 구리를 포함할 수 있으나, 역시 이는 일례에 불과하며 이에 한정되는 것은 아니다. 전기연결금속(170)의 개수, 간격, 배치 형태 등은 특별히 한정되지 않으며, 통상의 기술자에게 있어서 설계 사항에 따라 충분히 변형이 가능하다. 예를 들면, 전기연결금속(170)의 수는 접속패드(122)의 수에 따라서 수십 내지 수천 개일 수 있으며, 그 이상 또는 그 이하의 수를 가질 수도 있다.
- [0133] 전기연결금속(170) 중 적어도 하나는 팬-아웃 영역에 배치된다. 팬-아웃 영역이란 반도체칩(120)이 배치된 영역을 벗어나는 영역을 의미한다. 즉, 일례에 따른 반도체 패키지(100A)는 팬-아웃 반도체 패키지가 될 수 있다. 팬-아웃 패키지는 팬-인 패키지에 비하여 신뢰성이 우수하고, 다수의 I/O 단자 구현이 가능하며, 3D 인터코넥션(3D interconnection)이 용이하다. 또한, BGA(Ball Grid Array) 패키지, LGA(Land Grid Array) 패키지 등과 비교하여 패키지 두께를 얇게 제조할 수 있으며, 가격 경쟁력이 우수하다.
- [0135] 도 11은 도 9의 반도체 패키지의 제조 과정의 일부분을 개략적으로 나타낸 공정도다.
- [0137] 도면을 참조하면, 칩 상태, 예컨대 웨이퍼(wafer) 상태에서 패시베이션막(123) 상에 오프닝부(PRO)를 가지는 포토레지스트(PR)를 형성한다. 포토레지스트(PR)의 오프닝부(PRO)는 패시베이션막(123)의 개구부(123h)의 직경보다 크게 형성되어 접속패드(122) 상에 형성된 패시베이션막(123)의 적어도 일부를 노출한다. 다음으로, 개구부(123h)와 오프닝부(PRO)를 채우는 캐핑패드(124)를 형성한다. 오프닝부(PRO)로 노출된 패시베이션막(123)에는 캐핑패드(124)의 주변부(124-2)가 개구부(123h)에는 캐핑패드(124)의 중심부(124-1)가 배치된다. 다음으로, 포토레지스트(PR)를 제거한다.
- [0138] 이 후 반도체칩(120)의 패키징 공정을 진행한다. 우선, 캐핑패드(124) 상에 제1절연층(141a)을 형성한다. 이때, 접속패드(122)가 캐핑패드(124)로 덮여 있는바, 제1절연층(141a) 및 비아홀(143h) 형성과정에서 발생하는 오염 문제를 최소화할 수 있다. 제1절연층(141a)을 형성한 후에는 포토리소그래피 방법으로 비아홀(143h)을 형성한다. 다음으로, 스퍼터 등으로 시드층을 형성하고, SAP(Semi Additive Process)나 MSAP(Modified Semi Additive Process)와 같은 도금 공정으로 비아홀(143h)을 채우는 제1접속비아(143a)와 제1절연층(141a) 상에 배치되는 제1재배선층(142a)을 형성한다. 이후, 제2절연층(141b) 등을 형성한다.
- [0139] 일련의 과정을 통하여 설명한 바와 같이, 칩 상태에서 우선적으로 접속패드(122)를 캐핑패드(124)로 보호하고, 그 후 연결구조체(140)를 형성하는바, 접속패드(122)의 오염 문제를 효과적으로 해결할 수 있어 신뢰성 개선 및 저항산포 저감도 가능하다.
- [0140] 한편, 상술한 설명에서, 캐핑패드(124)를 도금으로 형성할 경우, 캐핑패드는 시드층과 도금층을 포함할 수 있다. 이 경우, 시드층은, 포토레지스트(PR) 형성 공정 이전에 스퍼터 공정으로, 패시베이션막(123), 개구부(123h) 및 개구부로 노출된 접속패드(122)의 표면에 형성될 수 있다. 포토레지스트(PR) 제거 후 시드층 중 도금층에 의해 커버되지 않는 일부가 에칭 등에 의해 제거될 수 있다.
- [0141] 또한, 상술한 설명에서, 캐핑패드(124) 도금 형성 후 열처리 공정이 추가된다. 이로 인해 캐핑패드(124) 내에서



는 결정립의 크기 차이가 발생하게 된다. 다만, 본 발명의 범위가 이에 제한되는 것은 아니고, 예로서, 캐핑패드(124)의 도금층을 형성하기 위한 전해도금 공정에서의 온도 및 시간이 캐핑패드(124)의 결정립 성장에 충분한 경우, 상술한 열처리 공정이 생략될 수 있다. 열처리 공정은 캐핑패드(124) 형성 공정 후 임의의 공정에 추가될 수 있다.

- [0143] 도 12는 반도체 패키지의 다른 일례를 개략적으로 나타낸다.
- [0145] 도면을 참조하면, 다른 일례에 따른 반도체 패키지(100B)는 상술한 일례에 따른 반도체 패키지(100A)와 비교할 때 캐핑패드(124)가 다른 형태를 가진다.
- [0146] 구체적으로, 캐핑패드(124)는 패시베이션막(123), 개구부(123h)의 내벽 및 개구부(123h)의 저면의 형상에 대응되게 형성된다. 즉, 캐핑패드(124)는, 콘포멀한 막의 형태로 형성된다. 따라서, 패시베이션막(123), 개구부(123h)의 내벽 및 개구부(123h)의 저면에 접하는 캐핑패드(124) 일면의 형상과 캐핑패드(124)의 일면과 마주하는 캐핑패드(124) 타면의 형상이 상호 대응된다. 캐핑패드(124)가 콘포멀한 막의 형태로 형성되므로, 접속패드(122)의 손상 내지 오염을 방지하면서도 패키지 전체의 두께를 감소시킬 수 있다. 또한, 연결구조체(140)와 접속패드(122) 간의 신호전달 경로를 상대적으로 짧게 하여, 신호전달 효율을 향상시킬 수 있다.
- [0147] 그 외에 다른 내용은 상술한 도 9 내지 도 12를 통하여 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.
- [0149] 도 13은 반도체 패키지의 다른 일례를 개략적으로 나타낸다.
- [0151] 도면을 참조하면, 다른 일례에 따른 반도체 패키지(100C)는 상술한 일례에 따른 반도체 패키지(100A)와 비교할 때 프레임(110)이 다른 형태를 가진다.
- [0152] 구체적으로, 프레임(110)이 접속패드(122)와 전기적으로 연결된 복수의 배선층(112a, 112b, 112c)을 포함한다. 즉, 프레임(110)은 절연층(111a, 111b) 외에도 배선층(112a, 112b, 112c)과 배선비아(113a, 113b)를 포함하며, 따라서 연결구조체로 기능할 수 있다. 이때, 배선층(112a, 112b, 112c)과 배선비아(113a, 113b)는 전기연결부재로 기능할 수 있다.
- [0154] 보다 구체적으로, 프레임(110)은, 일면이 연결구조체(140)와 접하는 제1절연층(111a), 연결구조체(140)와 접하며 제1절연층(111a)에 매립된 제1배선층(112a), 제1절연층(111a)의 일면과 마주하는 제1절연층(111a)의 타면에 상에 배치된 제2배선층(112b), 제1절연층(111a)의 타면 상에 배치되며 제2배선층(112b)을 덮는 제2절연층(111b), 및 제2절연층(111b) 상에 배치된 제3배선층(112c)을 포함한다. 제1 및 제2배선층(112a, 112b)과 제2 및 제3배선층(112b, 112c)은 각각 제1 및 제2절연층(111a, 111b)을 관통하는 제1 및 제2배선비아(113a, 113b)를 통하여 전기적으로 연결된다. 제1 내지 제3배선층(112a, 112b, 112c)은 연결구조체(140)의 제1 및 제2배선층(142a, 142b)을 통하여 접속패드(122)와 전기적으로 연결된다.
- [0156] 제1 및 제2절연층(111a, 111b)의 재료는 특별히 한정되는 않는다. 예를 들면, 절연물질이 사용될 수 있는데, 이때 절연물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지가 무기 필러와 혼합된 수지, 예를 들면, ABF(Ajinomoto Build-up Film) 등이 사용될 수 있다. 또는, 무기필러와 함께 유리섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 상술한 수지가 함침된 재료, 예를 들면, 프리프레그(prepreg) 등이 사용될 수 있다. 제1절연층(111a)의 일면은 반도체칩(120)의 캐핑패드(124)의 최하면과 코플레너(Coplanar) 할 수 있다. 이는, 캐핑패드(124)가 칩 상태에서 형성될 수 있기 때문이다.
- [0158] 제1 내지 제3배선층(112a, 112b, 112c)은 제1 및 제2배선비아(113a, 113b)와 함께 패키지의 상/하 전기적 연결 경로를 제공할 수 있으며, 접속패드(122)를 재배선하는 역할을 수행할 수 있다. 제1 내지 제3배선층(112a, 112b, 112c)의 형성 물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속물질을 사용할 수 있다. 제1 내지 제3배선층(112a, 112b, 112c) 각각은 해당 층의 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(GrouND: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 또한, 비아 패드, 와이어 본딩 패드, 전기연결금속 패드 등을 포함할 수 있다. 제1 내지 제3배선층(112a, 112b, 112c)은 공지의 도금 공정으로 형성될 수 있으며, 각각 시드층 및 도금층으로 구성될 수 있다. 제1 내지 제3배선층(112a, 112b, 112c) 각각의 두께는 제1 및 제2배선층(142a, 142b) 각각의 두께보다 두꺼울 수 있다. 제1배선층(112a)은 제1절연층(111a)의 내부로 리세스될 수 있다. 이와 같이, 제1배선층(112a)이 제1절연층(111a) 내부로 리세스되어 제1절연층(111a)의 하면과 제1배선층(112a)의 하면이 단차를 가지는 경우, 봉합재(130) 형성 물질이 블리딩되어 제

1배선층(112a)을 오염시키는 것을 방지할 수도 있다.

- [0160] 제1 및 제2배선비아(113a, 113b)는 서로 다른 층에 형성된 제1 내지 제3배선층(112a, 112b, 112c)을 전기적으로 연결시키며, 그 결과 프레임(110) 내에 전기적 경로를 형성시킨다. 제1 및 제2배선비아(113a, 113b)의 형성물 질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속물질을 사용할 수 있다. 제1 및 제2배선비아(113a, 113b)는 각각 금속물질로 충전된 필드 타입의 비아일 수도 있고, 또는 금속물질이 비아 홀의 벽면을 따라 형성된 컨포멀 타입의 비아일 수도 있다. 또한, 각각 테이퍼 형상을 가질 수 있다. 제1 및 제2배선비아(113a, 113b)도 도금공정으로 형성될 수 있으며, 시드층 및 도금층으로 구성될 수 있다.
- [0162] 제1배선비아(113a)를 위한 홀을 형성할 때 제1배선층(112a)의 일부 패드가 스톱퍼(stopper) 역할을 수행할 수 있는바, 제1배선비아(113a)는 윗면의 폭이 아랫면의 폭보다 큰 테이퍼 형상인 것이 공정상 유리할 수 있다. 이 경우, 제1배선비아(113a)는 제2배선층(112b)의 패드 패턴과 일치화될 수 있다. 또한, 제2배선비아(113b)를 위한 홀을 형성할 때 제2배선층(112b)의 일부 패드가 스톱퍼 역할을 수행할 수 있는바, 제2배선비아(113b)는 윗면의 폭이 아랫면의 폭보다 큰 테이퍼 형상인 것이 공정상 유리할 수 있다. 이 경우, 제2배선비아(113b)는 제3배선층(112c)의 패드 패턴과 일치화될 수 있다.
- [0164] 봉합재(130)는 프레임(110)의 제3배선층(112c)의 적어도 일부를 노출시키는 제4개구부(130h)를 가질 수 있으며, 제4개구부(130h)에 의하여 노출된 제3배선층(112c)의 표면에는 표면처리층이 형성될 수 있다. 표면처리층은 니켈(Ni)/금(Au) 등을 포함하거나 유기물을 포함할 수 있다. 전자의 경우, 표면처리층은, 예로서, ENIG (Electroless Nickel Immersion Gold)층이거나, ENEPIG(Electroless Nickel electroless palladium Immersion Gold)층일 수 있다. 후자의 경우, 표면처리층은, 예로서, OSP(Organic Solderability Preservative)층일 수 있다.
- [0165] 이와 같은 그 외에 다른 내용은 상술한 도 9 내지 도 13을 통하여 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.
- [0167] 도 14는 반도체 패키지의 다른 일례를 개략적으로 나타낸다.
- [0169] 도면을 참조하면, 다른 일례에 따른 반도체 패키지(100D) 역시 상술한 일례에 따른 반도체 패키지(100A)와 비교할 때 프레임(110)이 다른 형태를 가진다.
- [0170] 구체적으로, 프레임(110)이 접속패드(122)와 전기적으로 연결된 복수의 배선층(112a, 112b, 112c, 112d)을 포함한다. 즉, 프레임(110)은 절연층(111a, 111b, 111c) 외에도 배선층(112a, 112b, 112c, 112d)과 배선비아(113a, 113b, 113c)를 포함하며, 따라서 연결구조체로 기능할 수 있다. 이때, 배선층(112a, 112b, 112c, 112d)과 배선비아(113a, 113b, 113c)는 전기연결부재로 기능할 수 있다.
- [0172] 보다 구체적으로, 프레임(110)은 제1절연층(111a), 제1절연층(111a)의 하면 상에 배치된 제1배선층(112a), 제1절연층(111a)의 상면 상에 배치된 제2배선층(112b), 제1절연층(111a)의 하면 상에 배치되어 제1배선층(112a)의 적어도 일부를 덮는 제2절연층(111b), 제2절연층(111b)의 하면 상에 배치된 제3배선층(112c), 제1절연층(111a)의 상면 상에 배치되어 제2배선층(112b)의 적어도 일부를 덮는 제3절연층(111c), 제3절연층(111c)의 상면 상에 배치된 제4배선층(112d), 제1절연층(111a)을 관통하며 제1 및 제2배선층(112a, 112b)을 전기적으로 연결하는 제1배선비아(113a), 제2절연층(111b)을 관통하며 제1 및 제3배선층(112a, 113c)을 전기적으로 연결하는 제2배선비아(113b), 및 제3절연층(111c)을 관통하며 제2 및 제4배선층(112b, 112d)을 전기적으로 연결하는 제3배선비아(113c)를 포함한다. 프레임(110)은 보다 많은 수의 배선층(112a, 112b, 112c, 112d)를 가지는바, 연결구조체(140)를 더욱 간소화할 수 있다.
- [0174] 제1절연층(111a)은 제2절연층(111b) 및 제3절연층(111c)보다 두께가 두꺼울 수 있다. 제1절연층(111a)은 기본적으로 강성 유지를 위하여 상대적으로 두꺼울 수 있으며, 제2절연층(111b) 및 제3절연층(111c)은 더 많은 수의 배선층(112c, 112d)을 형성하기 위하여 도입된 것일 수 있다. 유사한 관점에서, 제1절연층(111a)을 관통하는 제1배선비아(113a)는 제2 및 제3절연층(111b, 111c)을 관통하는 제2 및 제3배선비아(113b, 113c)보다 직경이 클 수 있다. 또한, 제1배선비아(113a)는 모래시계 또는 원기둥 형상을 가지는 반면, 제2 및 제3배선비아(113b, 113c)는 서로 반대 방향의 테이퍼 형상을 가질 수 있다. 제1 내지 제4배선층(112a, 112b, 112c, 112d) 각각의 두께는 제1 및 제2배선층(142a, 142b) 각각의 두께보다 두꺼울 수 있다. 제3배선층(112c)의 하면은 반도체 칩(120)의 캐핑패드(124)의 최하면과 코플레너(Coplanar) 할 수 있다. 이는, 캐핑패드(124)가 칩 상태에서 형성될 수 있기 때문이다. 기타, 제1 내지 제4배선층(112a, 112b, 112c, 112d)과 제1 내지 제3배선비아(113a,

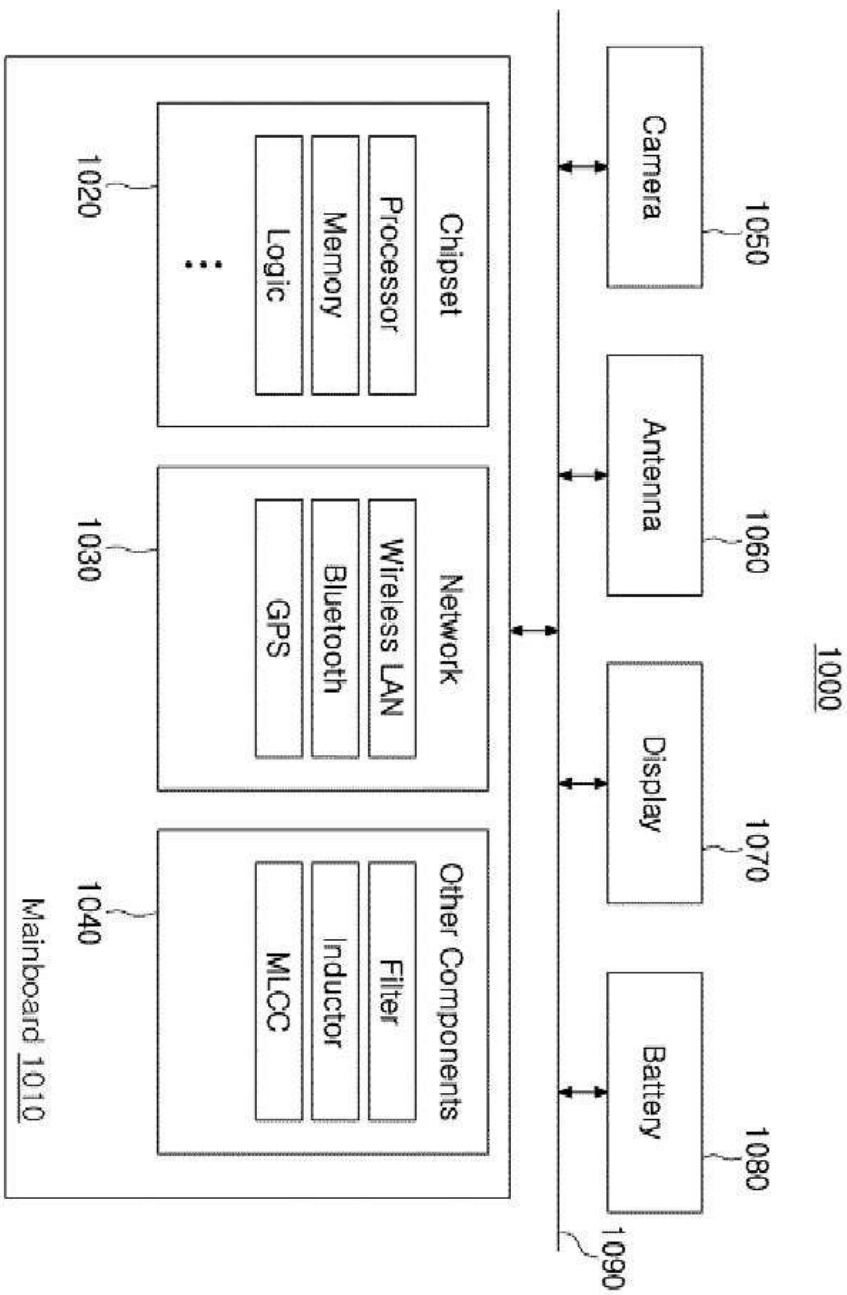
113b, 113c)의 재료나 역할, 그리고 제4개구부(130h) 등을 포함하는 그 외에 다른 내용은, 상술한 도 9 내지 도 14를 통하여 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.

- [0176] 본 개시에서 하측, 하부, 하면 등은 편의상 도면의 단면을 기준으로 아래쪽 방향을 의미하는 것으로 사용하였고, 상측, 상부, 상면 등은 그 반대 방향을 의미하는 것으로 사용하였다. 다만, 이는 설명의 편의상 방향을 정의한 것으로, 특허청구범위의 권리범위가 이러한 방향에 대한 기재에 의하여 특별히 한정되는 것이 아님은 물론이며, 상/하의 개념은 언제든지 바뀔 수 있다.
- [0178] 본 개시에서 연결된다는 의미는 직접 연결된 것뿐만 아니라, 접촉제 층 등을 통하여 간접적으로 연결된 것을 포함하는 개념이다. 또한, 전기적으로 연결된다는 의미는 물리적으로 연결된 경우와 연결되지 않은 경우를 모두 포함하는 개념이다. 또한, 제1, 제2 등의 표현은 한 구성요소와 다른 구성요소를 구분 짓기 위해 사용되는 것으로, 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 경우에 따라서는 권리범위를 벗어나지 않으면서, 제1 구성요소는 제2 구성요소로 명명될 수도 있고, 유사하게 제2 구성요소는 제1 구성요소로 명명될 수도 있다.
- [0180] 본 개시에서 사용된 일례 라는 표현은 서로 동일한 실시 예를 의미하지 않으며, 각각 서로 다른 고유한 특징을 강조하여 설명하기 위해서 제공된 것이다. 그러나, 상기 제시된 일례들은 다른 일례의 특징과 결합되어 구현되는 것을 배제하지 않는다. 예를 들어, 특정한 일례에서 설명된 사항이 다른 일례에서 설명되어 있지 않더라도, 다른 일례에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 일례에 관련된 설명으로 이해될 수 있다.
- [0182] 본 개시에서 사용된 용어는 단지 일례를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 이때, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

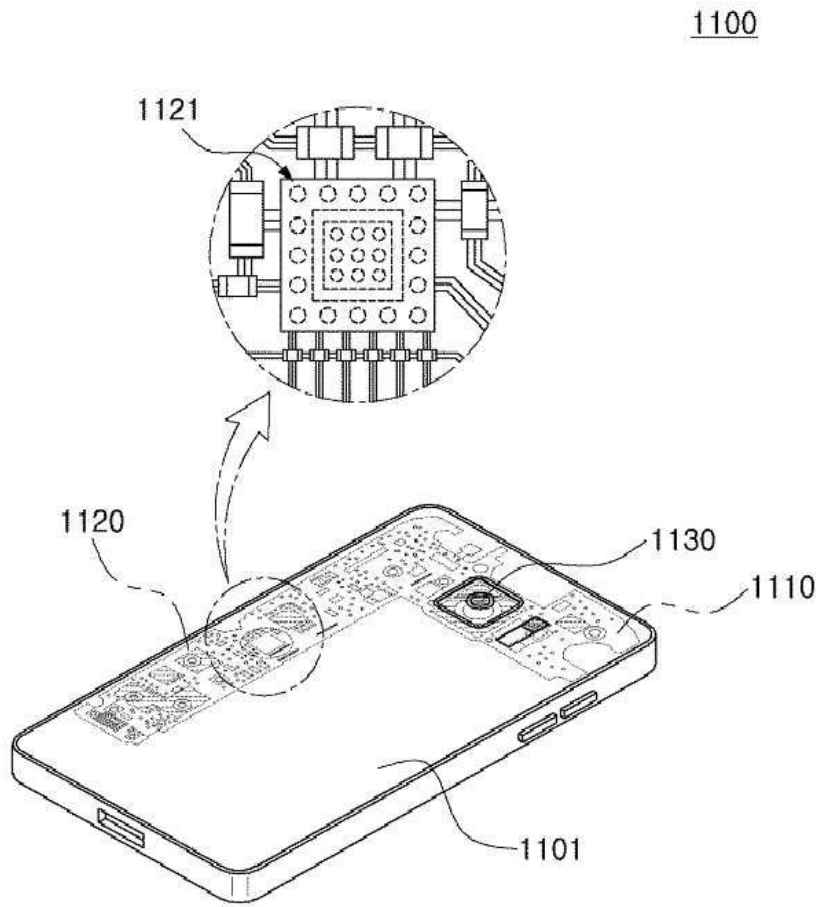


도면

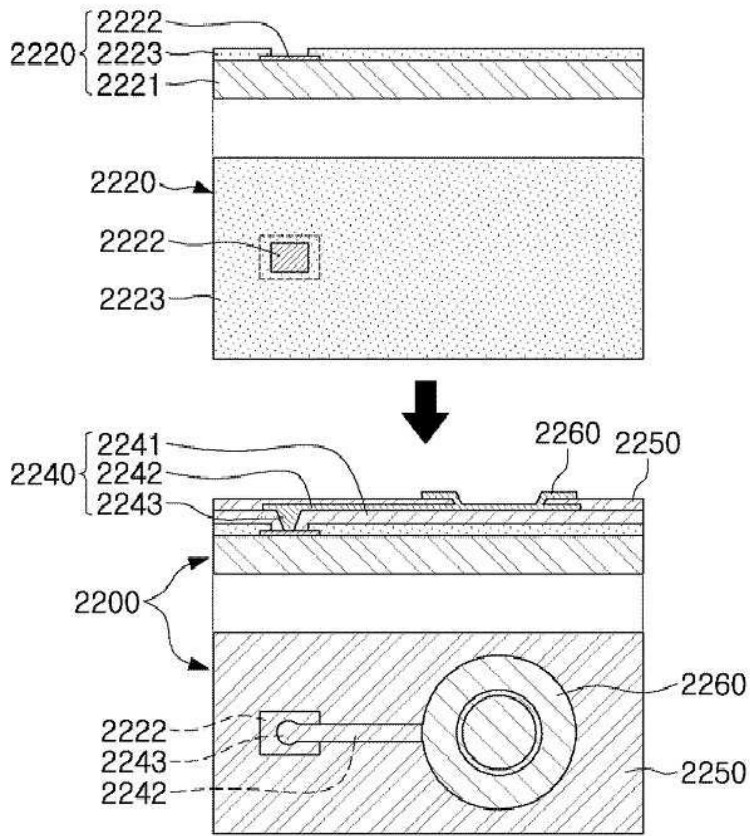
도면1



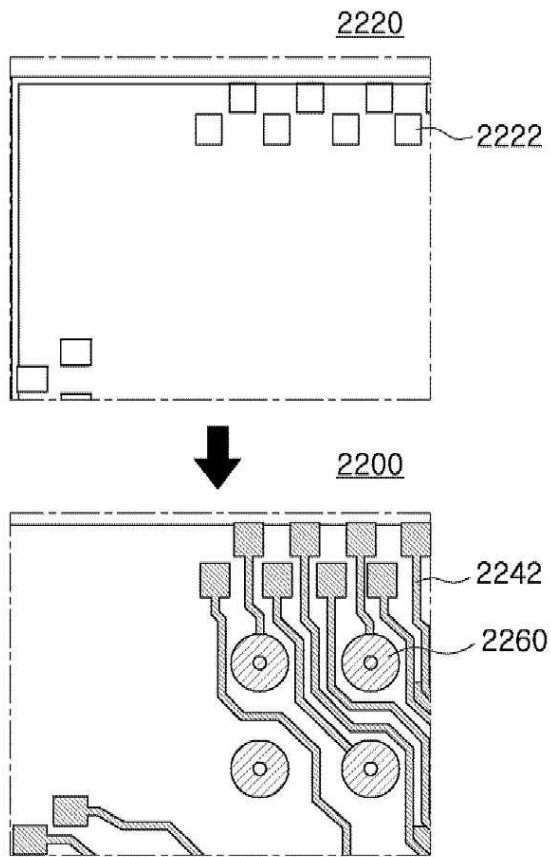
도면2



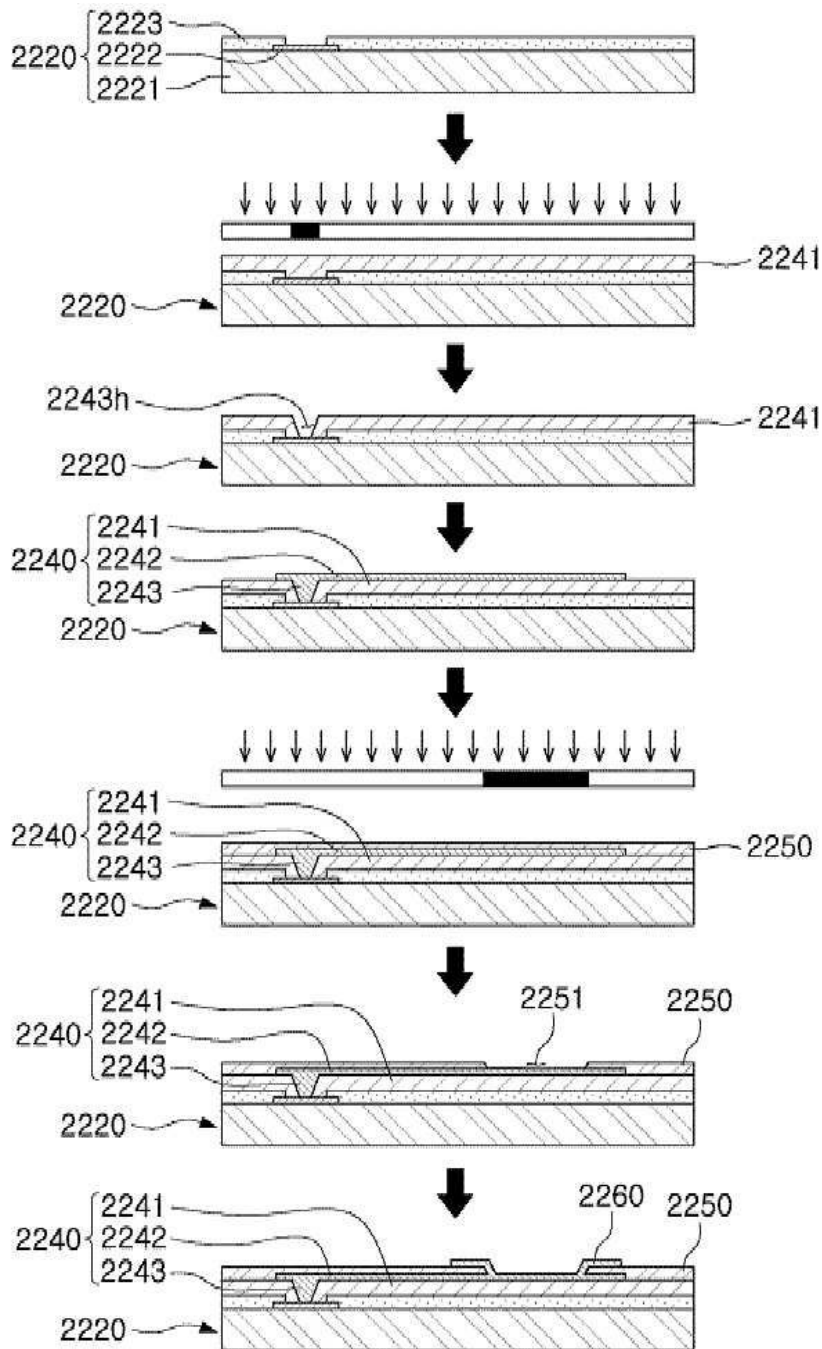
도면3a



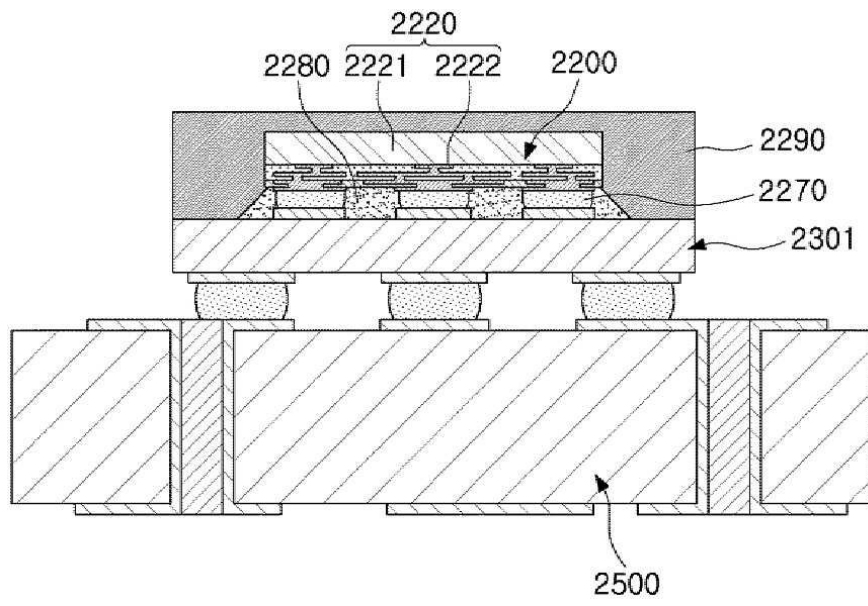
도면 3b



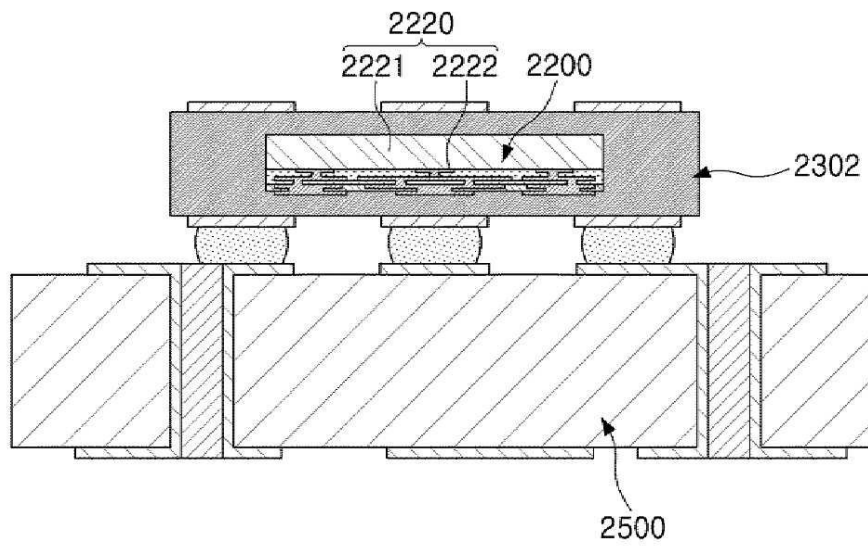
도면4



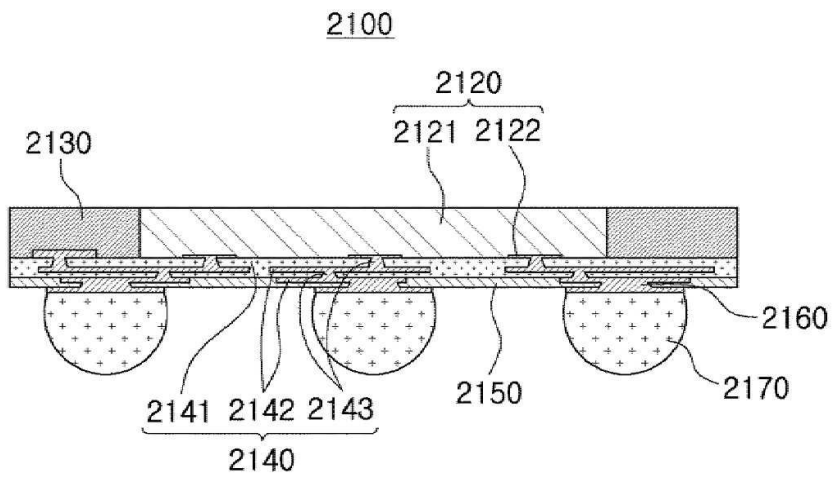
도면5



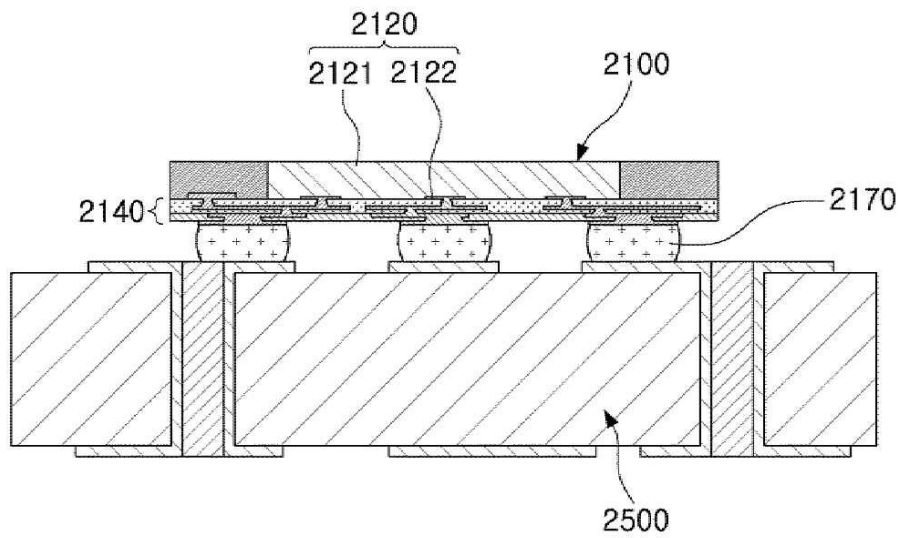
도면6



도면7

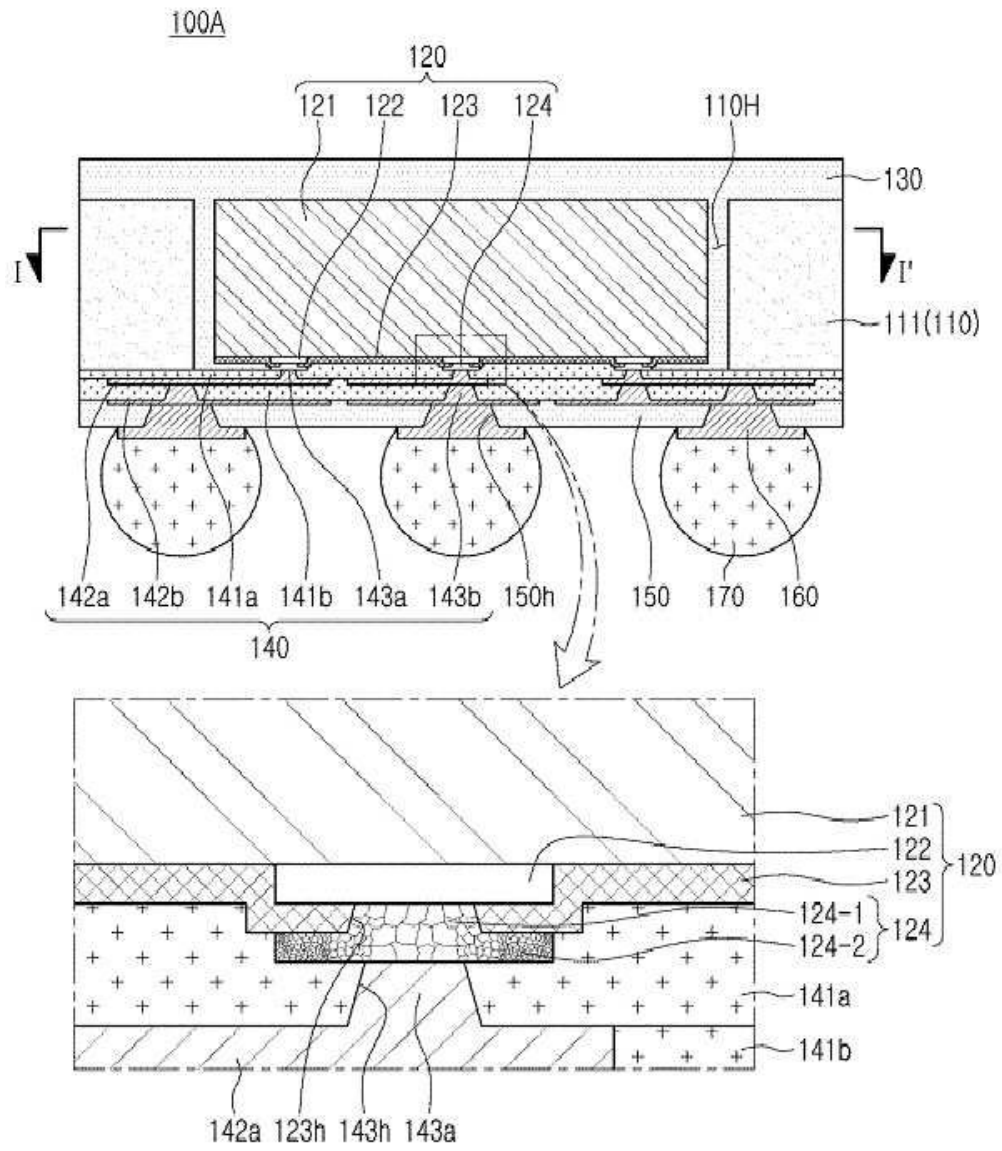


도면8

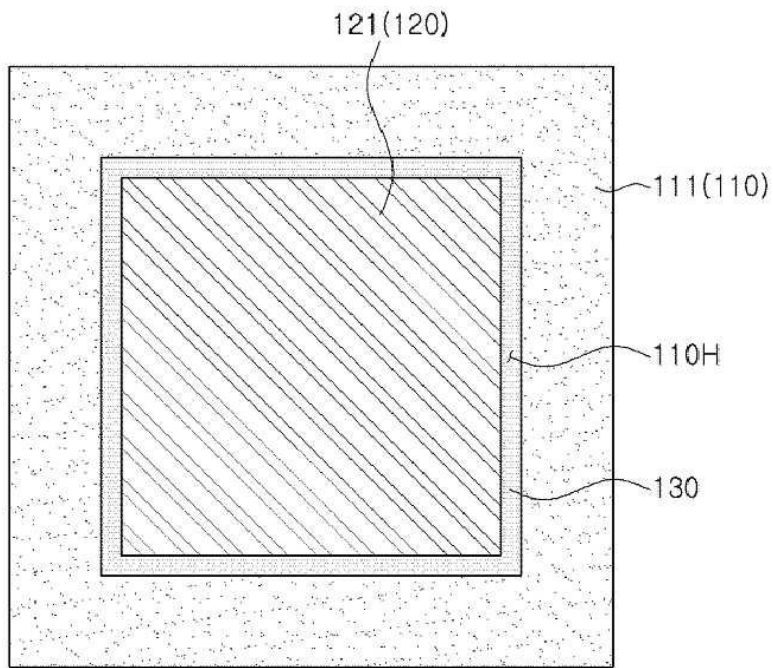




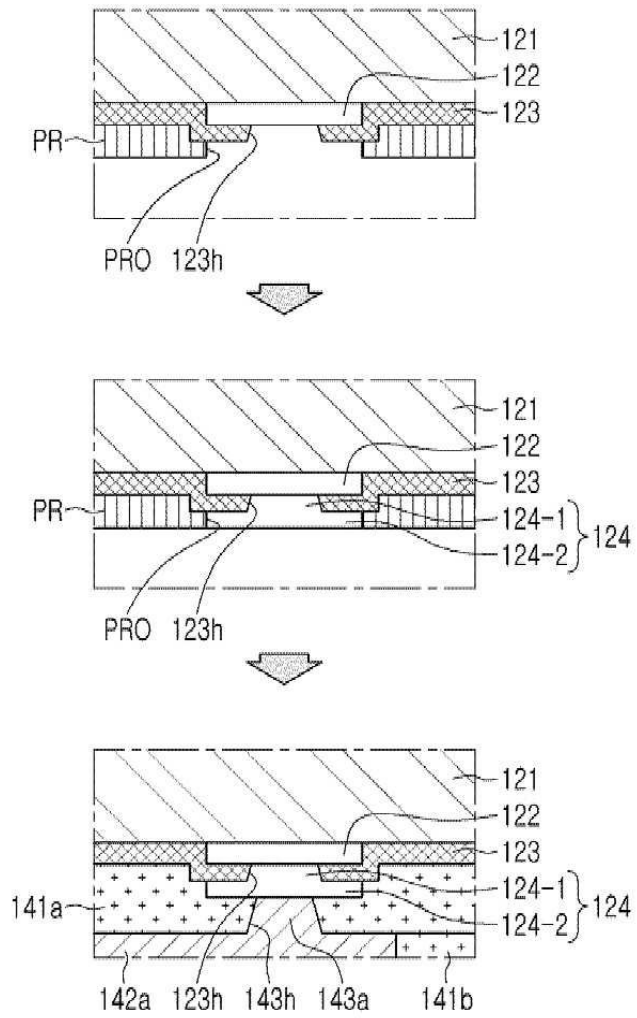
도면9



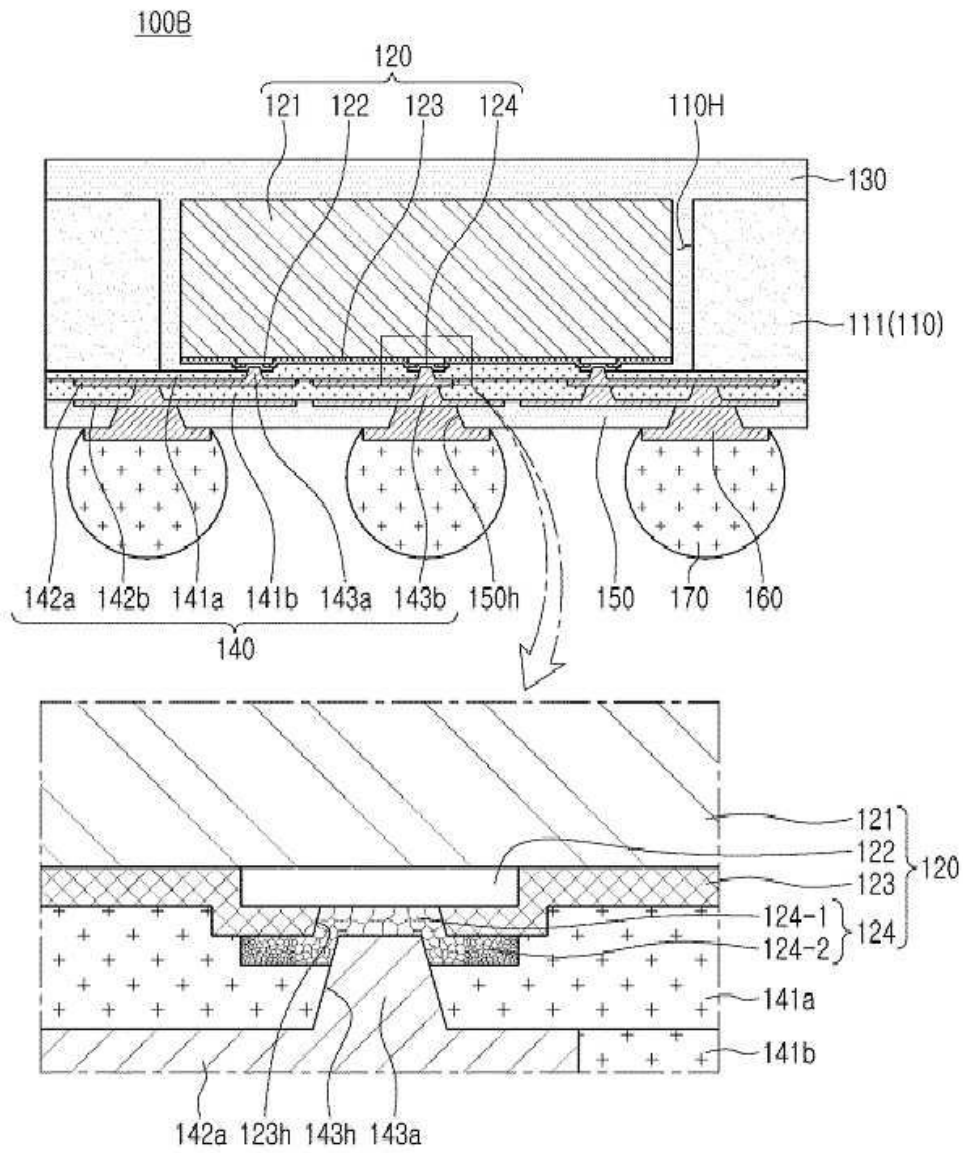
도면10



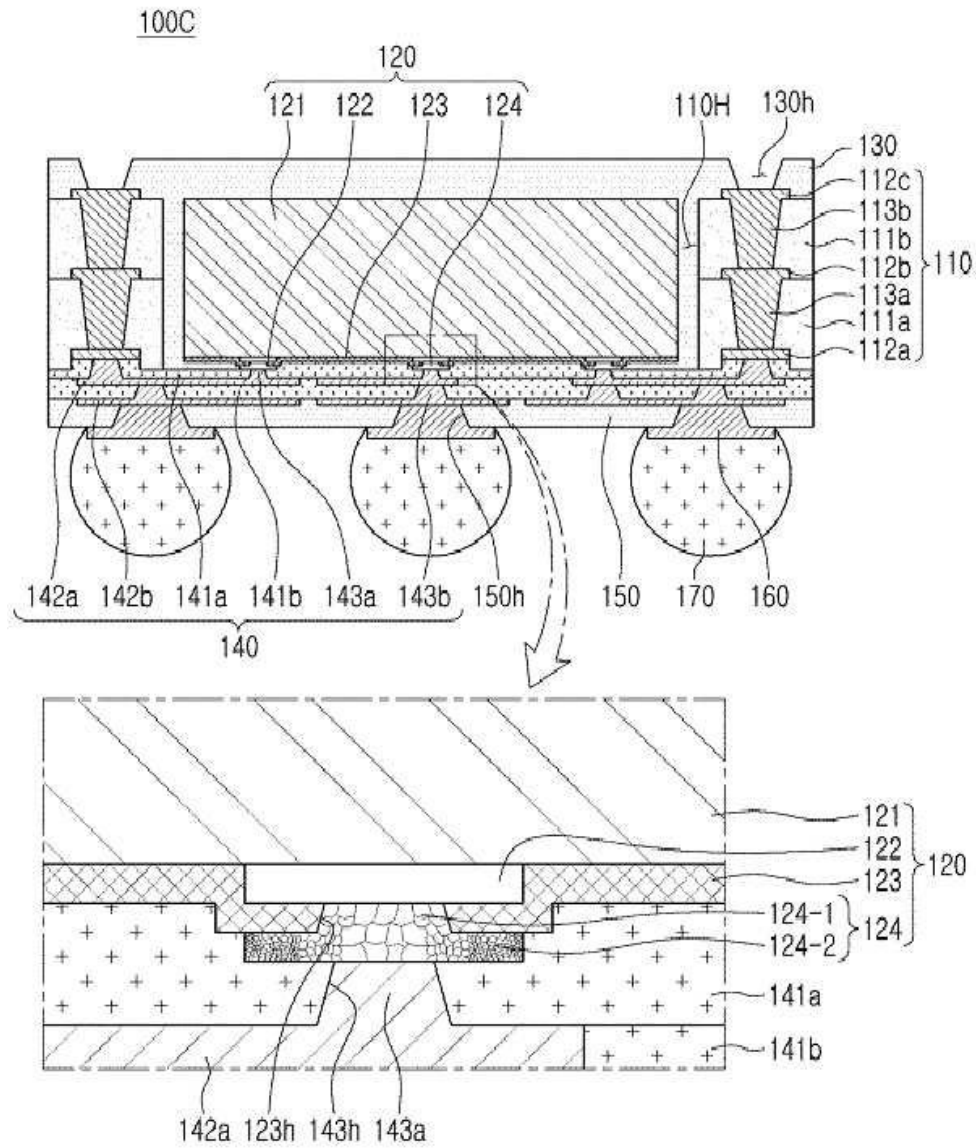
도면11



도면12



도면13





도면14

