



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0095585  
(43) 공개일자 2007년10월01일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0025896

(22) 출원일자 2006년03월22일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이홍우

충남 천안시 봉명동 청솔3차아파트 301동 906호

공향식

충남 천안시 불당동 동일하이빌 아파트 311-1202

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 9 항

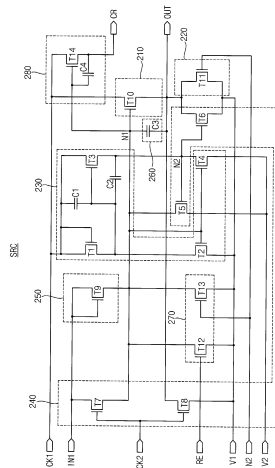
(54) 게이트 구동회로 및 이를 갖는 표시 장치

(57) 요약

구동 불량을 개선하기 위한 게이트 구동회로 및 이를 갖는 표시 장치가 개시된다. 게이트 구동회로는 복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터로 이루어지며, 각 스테이지는 풀업부, 풀다운부, 제1 홀딩부 및 제2 홀딩부를 포함한다. 풀업부는 제1 입력단자의 신호에 의해 하이 레벨로 충전되는 제1 노드의 신호에 응답하여 출력단자로 제1 클럭단자의 신호를 출력한다. 풀다운부는 제2 입력단자의 신호에 응답하여 출력단자로 제1 접지 전압을 출력한다. 제1 홀딩부는 제1 클럭단자의 신호가 하이 레벨인 구간에 제1 노드의 신호가 로우 레벨이면 제2 노드의 신호를 하이 레벨로 유지한다. 제2 홀딩부는 제2 노드의 신호에 응답하여 제1 노드의 신호를 제2 접지 전압으로 유지시키고 상기 출력단자로 제1 접지 전압을 출력하며, 제2 클럭단자의 신호에 응답하여 출력단자로 제1 접지 전압을 출력한다.

이에 따라, 게이트 신호의 로우 레벨 구간에 비정상적인 하이 레벨 신호의 발생을 방지하여 표시 장치의 구동 불량을 개선한다.

대표도 - 도3



(72) 발명자

**이종환**

경기 안양시 동안구 달안동 샛별아파트 602동 170  
5호

**송선옥**

충남 천안시 성정동 610-1

---

## 특허청구의 범위

### 청구항 1

복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터로 이루어지며,

상기 각 스테이지는

제1 입력단자의 신호에 의해 하이 레벨로 충전되는 제1 노드의 신호에 응답하여 출력단자로 제1 클럭단자의 신호를 출력하는 풀업부;

제2 입력단자의 신호에 응답하여 상기 출력단자로 제1 접지 전압을 출력하는 풀다운부;

상기 제1 클럭단자의 신호가 하이 레벨인 구간에 상기 제1 노드의 신호가 로우 레벨이면 제2 노드의 신호를 하이 레벨로 유지하는 제1 홀딩부; 및

상기 제2 노드의 신호에 응답하여 상기 제1 노드의 신호를 제2 접지 전압으로 유지시키고 상기 출력단자로 제1 접지 전압을 출력하며, 제2 클럭단자의 신호에 응답하여 상기 출력단자로 제1 접지 전압을 출력하는 제2 홀딩부를 포함하는 것을 특징으로 하는 게이트 구동회로.

### 청구항 2

제1항에 있어서, 상기 제2 접지 전압의 전압 레벨이 상기 제1 접지 전압의 전압 레벨보다 낮은 것을 특징으로 하는 게이트 구동회로.

### 청구항 3

제2항에 있어서, 상기 제1 홀딩부는

드레인과 게이트가 공통으로 상기 제1 클럭단자에 연결되는 제1 트랜지스터;

드레인은 상기 제1 트랜지스터의 소스에 연결되고, 게이트는 상기 제1 노드에 연결되며, 소스는 제1 접지 전압이 인가되는 제2 트랜지스터;

드레인은 상기 제1 클럭단자에 연결되고, 게이트는 상기 제1 트랜지스터의 소스에 연결되는 제3 트랜지스터;

드레인은 상기 제3 트랜지스터의 소스와 연결되어 제2 노드를 이루고, 게이트는 상기 제3 트랜지스터의 게이트와 공통하여 제1 노드에 연결되며, 소스는 제2 접지 전압이 인가되는 제4 트랜지스터;

상기 제3 트랜지스터의 드레인과 게이트 사이에 연결되는 제1 커패시터; 및

상기 제3 트랜지스터의 게이트와 소스 사이에 연결되는 제2 커패시터를 포함하는 것을 특징으로 하는 게이트 구동회로.

### 청구항 4

제3항에 있어서, 상기 제2 홀딩부는

드레인은 상기 제1 노드에 연결되고, 게이트는 상기 제2 노드에 연결되며, 소스는 제2 접지 전압이 인가되는 제5 트랜지스터;

드레인은 상기 출력단자에 연결되고, 게이트는 상기 제2 노드에 연결되며, 소스는 제1 접지 전압이 인가되는 제6 트랜지스터;

드레인은 상기 제1 입력단자에 연결되고, 게이트는 상기 제2 클럭단자에 연결되며, 소스는 상기 제1 노드에 연결되는 제7 트랜지스터; 및

드레인은 상기 출력단자에 연결되고, 게이트는 상기 제7 트랜지스터의 게이트와 공통하여 상기 제2 클럭단자에 연결되며, 소스는 제1 접지 전압이 인가되는 제8 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

### 청구항 5

제4항에 있어서, 상기 제1 입력단자의 신호는 수직 개시신호 또는 전단 스테이지의 캐리 신호이며,

상기 제2 입력단자의 신호는 다음단 스테이지의 캐리 신호 또는 수직 개시신호인 것을 특징으로 하는 게이트 구동회로.

**청구항 6**

교차하는 게이트 배선들과 데이터 배선들에 의해 복수의 화소부가 형성된 표시 영역과, 상기 표시 영역을 둘러싸는 주변 영역을 포함하는 표시 패널;

복수의 스테이지들이 종속적으로 연결되어 상기 주변 영역에 직접 형성되고, 상기 스테이지들은 상기 게이트 배선들에 게이트 신호들을 출력하는 게이트 구동회로; 및

상기 데이터 배선들에 데이터 신호들을 출력하는 데이터 구동부를 포함하며,

각 스테이지는

제1 입력단자의 신호에 동기하여 하이 레벨로 충전되는 제1 노드의 신호에 응답하여 출력단자로 제1 클럭단자의 신호를 출력하는 풀업부와, 제2 입력단자의 신호에 응답하여 상기 출력단자로 제1 접지 전압을 출력하는 풀다운부와, 상기 제1 클럭단자의 신호가 하이 레벨인 구간에 상기 제1 노드의 신호가 로우 레벨이면 제2 노드를 하이 레벨로 유지하는 제1 홀딩부 및 상기 제2 노드의 신호에 응답하여 상기 제1 노드를 제2 접지 전압으로 유지시키고, 상기 출력단자로 제1 접지 전압을 출력하며, 제2 클럭단자의 신호에 응답하여 상기 출력단자로 제1 접지 전압을 출력하는 제2 홀딩부를 포함하는 것을 특징으로 하는 표시 장치.

**청구항 7**

제6항에 있어서, 상기 제2 접지 전압의 전압 레벨이 상기 제1 접지 전압의 전압 레벨보다 낮은 것을 특징으로 하는 표시 장치.

**청구항 8**

제7항에 있어서, 상기 제1 홀딩부는

드레인과 게이트가 공통으로 상기 제1 클럭단자에 연결되는 제1 트랜지스터;

드레인은 상기 제1 트랜지스터의 소스에 연결되고, 게이트는 상기 제1 노드에 연결되며, 소스는 제1 접지 전압이 인가되는 제2 트랜지스터;

드레인은 상기 제1 클럭단자에 연결되고, 게이트는 상기 제1 트랜지스터의 소스에 연결되는 제3 트랜지스터;

드레인은 상기 제3 트랜지스터의 소스와 연결되어 제2 노드를 이루고, 게이트는 상기 제3 트랜지스터의 게이트와 공통하여 제1 노드에 연결되며, 소스는 제2 접지 전압이 인가되는 제4 트랜지스터;

상기 제3 트랜지스터의 드레인과 게이트 사이에 연결되는 제1 커패시터; 및

상기 제3 트랜지스터의 게이트와 소스 사이에 연결되는 제2 커패시터를 포함하는 것을 특징으로 하는 표시 장치.

**청구항 9**

제8항에 있어서, 상기 제2 홀딩부는

드레인은 상기 제1 노드에 연결되고, 게이트는 상기 제2 노드에 연결되며, 소스는 제2 접지 전압이 인가되는 제5 트랜지스터;

드레인은 상기 출력단자에 연결되고, 게이트는 상기 제2 노드에 연결되며, 소스는 제1 접지 전압이 인가되는 제6 트랜지스터;

드레인은 상기 제1 입력단자에 연결되고, 게이트는 상기 제2 클럭단자에 연결되며, 소스는 상기 제1 노드에 연결되는 제7 트랜지스터; 및

드레인은 상기 출력단자에 연결되고, 게이트는 상기 제7 트랜지스터의 게이트와 공통하여 상기 제2 클럭단자에 연결되며, 소스는 제1 접지 전압이 인가되는 제8 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <13> 본 발명은 게이트 구동회로 및 이를 갖는 표시 장치에 관한 것으로, 보다 상세하게는 구동 불량을 개선하기 위한 게이트 구동회로 및 이를 갖는 표시 장치에 관한 것이다.
- <14> 일반적으로 액정표시장치는 박막 트랜지스터가 형성된 어레이 기판(Array Substrate) 및 대향 기판(예컨대 컬러 필터 기판, Color Filter Substrate) 사이에 주입되어 있는 이방성 유전율을 갖는 액정층에 전계를 인가하고, 이 전계의 세기를 조절하여 광투과율을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다.
- <15> 액정표시장치는 교차하는 게이트 배선들 및 데이터 배선들에 의해 복수의 화소부가 형성된 표시 패널과, 게이트 배선들에 순차적으로 게이트 신호를 출력하기 위한 게이트 구동부 및 게이트 신호에 동기하여 데이터 배선들에 데이터 신호를 출력하기 위한 데이터 구동부를 포함한다. 이러한 게이트 구동부 및 데이터 구동부는 칩 형태로 이루어져 표시 패널에 실장되는 것이 일반적이다.
- <16> 최근에는 액정표시장치의 전체적인 사이즈를 감소시키면서 생산성을 증대시키기 위하여 게이트 구동부를 표시 패널의 어레이 기판 상에 집적회로 형태로 집적하는 방식이 주목받고 있다. 이런 경우 구동 마진 향상을 위해 기존 크롬(Cr) 배선이 아닌 저저항 메탈인 Mo/Al/Mo(몰리브덴/알루미늄/몰리브덴 3적층 메탈)의 사용이 필수적이다.
- <17> 허나 이를 적용할 경우에 박막트랜지스터의 IV 특성이 향상되어 저온에서의 구동 마진은 상당 수준 향상되나 고온에서 구동할 경우 게이트 신호의 로우 레벨 구간에 비정상적인 하이 레벨 신호가 나타나는 노이즈(Noise) 불량이 발생된다.
- <18> 구체적으로 풀업 소자의 기생 용량(Cgd)에 의한 클럭 신호와의 커플링(coupling)이 게이트 전극의 오프 전압을 증가시키고, 동시에 고온으로 가면서 누설전류의 레벨이 상승되어 풀업 소자를 턴-온 시킨다. 이로 인해서 로우 레벨 구간에 클럭 신호가 출력단으로 출력되어 비정상적인 하이 레벨 신호가 발생함으로써, 화질 불량이 발생하는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <19> 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 구동 불량을 개선하기 위한 게이트 구동회로 및 이를 갖는 표시 장치를 제공하는 것이다.

**발명의 구성 및 작용**

- <20> 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 게이트 구동회로는 복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터로 이루어지며, 상기 각 스테이지는 풀업부, 풀다운부, 제1 홀딩부 및 제2 홀딩부를 포함한다. 풀업부는 제1 입력단자의 신호에 의해 하이 레벨로 충전되는 제1 노드의 신호에 응답하여 출력단자로 제1 클럭단자의 신호를 출력한다. 풀다운부는 제2 입력단자의 신호에 응답하여 상기 출력단자로 제1 접지 전압을 출력한다. 제1 홀딩부는 상기 제1 클럭단자의 신호가 하이 레벨인 구간에 상기 제1 노드의 신호가 로우 레벨이면 제2 노드의 신호를 하이 레벨로 유지한다. 제2 홀딩부는 상기 제2 노드의 신호에 응답하여 상기 제1 노드의 신호를 제2 접지 전압으로 유지시키고 상기 출력단자로 제1 접지 전압을 출력하며, 제2 클럭단자의 신호에 응답하여 상기 출력단자로 제1 접지 전압을 출력한다.
- <21> 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 장치는 표시 패널, 데이터 구동부 및 게이트 구동회로를 포함한다. 상기 표시 패널은 교차하는 게이트 배선들과 데이터 배선들에 의해 복수의 화소부가 형성된 표시 영역과, 상기 표시 영역을 둘러싸는 주변 영역을 포함한다. 상기 데이터 구동부는 상기 데이터 배선들에 데이터 신호들을 출력한다. 상기 게이트 구동회로는 복수의 스테이지들이 종속적으로 연결되어 상기 주변 영역에 직접되고, 상기 스테이지들은 상기 게이트 배선들에 게이트 신호들을 출력한다. 상기 각 스테이지는 제1 입력단자의 신호에 동기하여 하이 레벨로 충전되는 제1 노드의 신호에 응답하여 출력단자로 제1 클럭단자의 신호를 출력하는 풀업부와, 제2 입력단자의 신호에 응답하여 상기 출력단자로 제1 접지 전압을 출력하는

플다운부와, 상기 제1 클럭단자의 신호가 하이 레벨인 구간에 상기 제1 노드의 신호가 로우 레벨이면 제2 노드를 하이 레벨로 유지하는 제1 홀딩부 및 상기 제2 노드의 신호에 응답하여 상기 제1 노드를 제2 접지 전압으로 유지시키고, 상기 출력단자로 제1 접지 전압을 출력하며, 제2 클럭단자의 신호에 응답하여 상기 출력단자로 제1 접지 전압을 출력하는 제2 홀딩부를 포함한다.

- <22> 이러한 게이트 구동회로 및 이를 갖는 표시 장치에 의하면, 게이트 신호의 로우 레벨 구간에 비정상적인 하이 레벨 신호의 발생을 방지하여 표시 장치의 구동불량을 개선할 수 있다.
- <23> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- <24> 도 1은 본 발명의 실시예에 따른 표시 장치를 도시한 평면도이다.
- <25> 도 1을 참조하면, 본 발명의 실시예에 따른 표시 장치는 표시 패널(100), 게이트 구동회로(200) 및 데이터 구동부(130)를 포함한다.
- <26> 표시 패널(100)은 소정간격 이격하여 대향하는 어레이 기관 및 대향 기관(예컨대 컬러필터 기관)과, 어레이 기관과 대향 기관 사이에 개재된 액정층을 포함하며, 표시 영역(DA)과 표시 영역(DA)을 둘러싸는 주변 영역(PA)으로 이루어진다. 표시 영역(DA)에는 교차하는 게이트 배선(GL)들 및 데이터 배선(DL)들에 의해 복수개의 화소부가 형성된다. 각 화소부에는 스위칭 소자인 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)와 전기적으로 연결된 액정 커패시터(CLC) 및 스토리지 커패시터(CST)가 형성된다. 구체적으로 박막트랜지스터(TFT)의 게이트 전극 및 소스 전극은 게이트 배선(GL) 및 데이터 배선(DL)에 각각 전기적으로 연결되고, 드레인 전극에는 액정 커패시터(CLC) 및 스토리지 커패시터(CST)가 전기적으로 연결된다.
- <27> 여기서 주변영역(PA)은 데이터 배선(DL)들의 일단부에 위치하는 제1 주변 영역(PA1)과 게이트 배선(GL)들의 일단부에 위치하는 제2 주변 영역(PA2)을 포함한다.
- <28> 데이터 구동부(130)는 게이트 배선(GL)으로 인가되는 게이트 신호에 동기하여 데이터 배선(DL)들에 데이터 신호를 출력하며, 적어도 하나의 데이터 구동칩(132)으로 이루어진다. 데이터 구동칩(132)은 일단부가 표시 패널(100)의 제1 주변 영역(PA1)에 연결되고, 타단부가 인쇄회로기판(140)에 연결된 연성회로기판(134) 상에 실장되며, 연성회로기판(134)을 통해 인쇄회로기판(134) 및 표시 패널(100)과 전기적으로 연결된다.
- <29> 게이트 구동회로(200)는 표시 패널(100)의 제2 주변 영역(PA2)에 집적되는 집적회로이며, 복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터로 이루어져 게이트 배선(GL)들에 게이트 신호를 순차적으로 출력한다.
- <30> 도 2는 도 1에 도시된 게이트 구동회로의 상세 블록도이다.
- <31> 도 1 및 도 2를 참조하면, 게이트 구동회로(200)는 종속적으로 연결된 복수의 스테이지(SRC1~SRCn+1)로 이루어진 쉬프트 레지스터(CS)를 포함하며, 복수의 스테이지(SRC1~SRCn+1)의 일측에 일방향으로 연장 형성되어 복수의 스테이지(SRC1~SRCn+1)에 동기신호 및 구동전압을 인가하기 위한 배선부(LS)를 더 포함한다.
- <32> 쉬프트 레지스터(CS)는 n+1개의 스테이지(SRC1~SRCn+1)를 포함하며, n+1개의 스테이지(SRC1~SRCn+1)는 n개의 구동 스테이지(SRC1~SRCn)와 1개의 더미(dummy) 스테이지(SRCn+1)로 이루어져 제1 내지 제n 게이트 신호(GOUT1~GOUTn)를 순차적으로 출력한다.
- <33> 각 스테이지는 제1 클럭단자(CK1), 제2 클럭단자(CK2), 제1 입력단자(IN1), 제2 입력단자(IN2), 제1 전원단자(V1), 제2 전원단자(V2), 리셋단자(RE), 캐리단자(CR) 및 출력단자(OUT)를 포함한다.
- <34> 제1 클럭단자(CK1) 및 제2 클럭단자(CK2)에는 제1 클럭 신호(CK) 및 제2 클럭 신호(CKB)가 각각 인가되거나, 제2 클럭 신호(CKB) 및 제1 클럭 신호(CK)가 각각 인가된다. 구체적으로 복수의 스테이지(SRC1~SRCn+1) 중에서 홀수 번째 스테이지의 제1 클럭단자(CK1)에는 제1 클럭 신호(CK)가 인가되고, 제2 클럭단자(CK2)에는 제2 클럭 신호(CKB)가 인가된다. 복수의 스테이지(SRC1~SRCn+1) 중에서 짝수 번째 스테이지의 제1 클럭단자(CK1)에는 제2 클럭 신호(CKB)가 인가되고, 제2 클럭단(CK2)에는 제1 클럭 신호(CK)가 인가된다. 여기서 제1 클럭 신호(CK)와 제2 클럭 신호(CKB)는 위상이 서로 반대이다.
- <35> 제1 입력단자(IN1)는 수직 개시신호(STV) 또는 전단 스테이지의 캐리 신호를 인가 받는다. 구체적으로 전단 스테이지가 존재하지 않는 제1 스테이지(SRC1)의 제1 입력단자(IN1)에는 외부에서 제공되는 수직 개시신호(STV)가 인가되고, 제1 스테이지(SRC1) 이외의 스테이지(SRC2~SRCn+1)의 제1 입력단자(IN1)에는 전단 스테이지의 캐리단자(CR)에서 출력되는 캐리 신호가 인가된다. 즉, 제2 내지 제n+1 스테이지(SRC2~SRCn+1)의 제1 입력단자(IN1)에는 제1 내지 제n 스테이지(SRC1~SRCn)에서 출력되는 캐리 신호가 각각 인가된다.

- <36> 제2 입력단자(IN2)는 다음단 스테이지에서 출력되는 게이트 신호 또는 수직 개시신호를 인가 받는다. 구체적으로는 다음단 스테이지가 존재하지 않는 제 $n+1$  스테이지(SRC $n+1$ )의 제2 입력단자(IN2)에는 수직 개시신호(STV)가 인가되고, 제 $n+1$  스테이지(SRC $n+1$ )를 제외한 나머지 스테이지(SRC1~SRC $n$ )의 제2 입력단자(IN2)에는 다음단 스테이지에서 출력되는 게이트 신호가 인가된다. 즉, 제1 내지 제 $n$  스테이지(SRC1~SRC $n$ )의 제2 입력단자(IN2)에는 제2 내지 제 $n+1$  스테이지(SRC2~SRC $n+1$ )에서 출력되는 게이트 신호(GOUT2~GOUT $n+1$ )가 인가된다.
- <37> 제1 전원단자(V1)에는 제1 접지 전압(VSS1)이 인가되고, 제2 전원단자(V2)에는 제1 접지 전압(VSS1)보다 전압 레벨이 낮은 제2 접지 전압(VSS2)이 인가된다. 구체적으로 제2 전원단자(V2)에 인가되는 제2 접지 전압(VSS2)은 제1 전원단자(V1)에 인가되는 제1 접지 전압(VSS1)보다 전압 레벨이 약 5V 낮다.
- <38> 리셋단자(RE)에는 마지막단 스테이지(SRC $n+1$ )에서 출력된 캐리 신호가 인가된다. 즉, 리셋단자(RE)에는 제 $n+1$  스테이지(SRC $n+1$ )의 캐리단자(CR)에서 출력되는 캐리 신호가 인가된다.
- <39> 캐리단자(CR) 및 출력단자(OUT)는 제1 클럭단자(CK1)로 인가된 제1 클럭 신호(CK) 또는 제2 클럭 신호(CKB)에 기초한 캐리 신호 및 게이트 신호(GOUT)가 각각 출력된다. 구체적으로 복수의 스테이지(SRC1~SRC $n+1$ ) 중에서 홀수 번째 스테이지의 캐리단자(CR) 및 출력단자(OUT)는 제1 클럭 신호(CK)에 기초하여 캐리 신호 및 게이트 신호(GOUT)가 출력된다. 복수의 스테이지(SRC1~SRC $n+1$ ) 중에서 짝수 번째 스테이지의 캐리단자(CR) 및 출력단자(OUT)는 제2 클럭 신호(CKB)에 기초하여 캐리 신호 및 게이트 신호(GOUT)가 출력된다.
- <40> 복수의 스테이지(SRC1~SRC $n+1$ )에 동기신호 및 구동전압을 제공하기 위한 배선부(LS)는 개시신호 배선(SL1), 제1 클럭 배선(SL2), 제2 클럭 배선(SL3), 제1 전원 배선(SL4), 제2 전원 배선(SL5) 및 리셋 배선(SL6)을 포함한다.
- <41> 개시신호 배선(SL1)은 외부로부터 수직 개시신호(STV)가 인가되며, 수직 개시신호(STV)를 제1 스테이지(SRC1)의 제1 입력단자(IN1) 및 제 $n+1$  스테이지(SRC $n+1$ )의 제2 입력단자(IN2)에 인가한다.
- <42> 제1 클럭 배선(SL2)은 외부로부터 제1 클럭 신호(CK)가 인가되며, 제1 클럭 신호(CK)를 홀수 번째 스테이지의 제1 클럭단자(CK1) 및 짝수 번째 스테이지의 제2 클럭단자(CK2)에 인가한다.
- <43> 제2 클럭 배선(SL3)은 외부로부터 제1 클럭 신호(CK)와 위상이 반대인 제2 클럭 신호(CKB)가 인가되며, 제2 클럭 신호(CKB)를 홀수 번째 스테이지의 제2 클럭단자(CK2) 및 짝수 번째 스테이지의 제1 클럭단자(CK1)에 인가한다.
- <44> 제1 전원 배선(SL4) 및 제2 전원 배선(SL5)은 외부로부터 제1 접지 전압(VSS1) 및 제2 접지 전압(VSS2)이 각각 인가되며, 제1 접지 전압(VSS1) 및 제2 접지 전압(VSS2)을 각 스테이지의 제1 전원단자(V1) 및 제2 전원단자(V2)에 각각 인가한다.
- <45> 리셋 배선(SL6)은 마지막 스테이지인 제 $n+1$  스테이지(SRC $n+1$ )에서 출력된 캐리 신호를 각 스테이지의 리셋단자(RE)에 인가한다.
- <46> 도 3은 도 2에 도시된 스테이지의 상세 회로도이고, 도 4는 도 3에 도시된 스테이지의 신호 파형도이다.
- <47> 여기서, 복수의 스테이지는 동일한 구성을 가지므로, 제1 스테이지를 예로 들어 설명하고, 나머지 스테이지에 대한 설명은 생략하기로 한다.
- <48> 도 2 내지 도 4를 참조하면, 본 발명의 실시예에 따른 게이트 구동회로(200)의 제1 스테이지(SRC1)는 버퍼부(250), 충전부(260), 폴업부(210), 폴다운부(220), 방전부(270), 제1 홀딩부(230), 제2 홀딩부(240) 및 캐리부(280)를 포함한다.
- <49> 버퍼부(250)는 드레인(또는 제1 전류 전극)과 게이트(또는 제어 전극)가 공통으로 제1 입력단자(IN1)에 연결되어 제1 입력단자의 신호(이하 제1 입력신호)를 인가받으며, 소스(또는 제2 전류 전극)는 충전부(260)의 일단과 연결되어 제1 노드(N1)를 이루는 제9 트랜지스터(T9)를 포함한다. 버퍼부(250)는 다이오드로 동작하며, 제1 입력신호에 기초하여 제1 노드(N1)에 하이 레벨의 신호를 인가한다. 즉, 수직 개시신호(STV)에 동기하여 제9 트랜지스터(T9)가 턴-온(turn-on) 되어 제1 노드(N1)에 하이 레벨의 신호를 인가한다. 한편, 제2 내지 제 $n+1$  스테이지(SRC2~SRC $n+1$ )의 경우에 버퍼부(250)는 제1 입력신호로 전단 스테이지의 게이트 신호를 인가 받는다.
- <50> 충전부(260)는 일단이 제9 트랜지스터(T9)의 소스와 연결되어 제1 노드(N1)를 이루고, 타단이 출력단자(OUT)에 연결된 제3 커패시터(C3)를 포함한다. 충전부(260)는 버퍼부(250)에서 인가된 하이 레벨의 신호를 제3 커패시터

(C3)에 충전하여 제1 노드(N1)를 하이 레벨로 유지한다.

- <51> 풀업부(210)는 드레인이 제1 클럭단자(CK1)에 연결되고, 게이트는 제3 커패시터(C3)의 일단에 연결되어 제1 노드(N1)를 이루며, 소스는 제3 커패시터(C3)의 타단 및 출력단자(OUT)와 연결되는 제10 트랜지스터(T10)를 포함한다. 풀업부(210) 제1 노드(N1)의 신호에 응답하여 제1 클럭단자(CK1)로 인가되는 제1 클럭 신호(CK) 또는 제2 클럭 신호(CKB)에 기초하여 출력단자(OUT)로 하이 레벨의 게이트 신호(GOUT)를 출력한다. 즉, 홀수 번째 스테이지는 제1 클럭 신호(CK)에 기초하여 게이트 신호(GOUT)를 출력하고, 짝수 번째 스테이지는 제2 클럭 신호(CKB)에 기초하여 게이트 신호(GOUT)를 출력한다.
- <52> 풀다운부(220)는 드레인이 출력단자(OUT)에 연결되고, 게이트는 제2 입력단자(IN2)에 연결되어 제2 입력신호를 인가받으며, 소스는 제1 전원단자(V1)와 연결되어 제1 접지 전압(VSS1)이 인가되는 제11 트랜지스터(T11)를 포함한다. 풀다운부(220)는 제2 입력단자(IN2)의 신호(이하 제2 입력신호)에 응답하여 출력단자(OUT)로 제1 접지 전압(VSS1)을 인가한다. 즉, 제2 입력신호가 하이 레벨인 구간에서 턴-온 동작하여 제1 접지 전압(VSS1)을 출력단자(OUT)로 출력한다.
- <53> 방전부(270)는 제12 트랜지스터(T12)와 제13 트랜지스터(T13)를 포함하며, 제2 입력신호에 응답하여 충전부(260)에 충전된 전하를 제1 전원단자(V1)로 제1 방전한다. 또한 마지막 스테이지(SRCn+1)에서 출력된 캐리 신호에 응답하여 충전부(260)에 충전된 전하를 제1 전원단자(V1)로 제2 방전한다.
- <54> 구체적으로, 제12 트랜지스터(T12)는 드레인은 제2 입력단자(IN2)에 연결되어 제2 입력신호를 인가받으며, 소스는 제1 전원단자(V1)에 연결된다. 제13 트랜지스터(T13)는 드레인은 제1 노드(N1)에 연결되고, 게이트는 리셋단자(RE)에 연결되어 마지막단 스테이지(SRCn+1)의 캐리 신호를 인가받으며, 소스는 제1 전원단자(V1)에 연결된다.
- <55> 제1 홀딩부(230)는 제1, 제2, 제3, 제4 트랜지스터(T1, T2, T3, T4)와 제1 및 제2 커패시터(C1, C2)를 포함한다.
- <56> 제1 트랜지스터(T1)는 드레인과 게이트는 공통하여 제1 클럭단자(CK1)에 연결되고, 소스는 제2 트랜지스터(T2)의 드레인에 연결되며, 제2 트랜지스터(T2)는 게이트는 제1 노드(N1)에 연결되고, 소스는 제1 전원단자(V1)에 연결된다. 제3 트랜지스터(T3)는 드레인이 제1 클럭단자(CK1)에 연결되고, 게이트는 제1 트랜지스터(T1)의 소스 및 제2 트랜지스터(T2)의 드레인과 연결된다. 제4 트랜지스터(T4)는 드레인이 제3 트랜지스터(T3)의 소스와 연결되어 제2 노드(N2)를 이루고, 게이트는 제2 트랜지스터(T2)의 게이트와 공통하여 제1 노드(N1)에 연결되며, 소스는 제2 전원단자(V2)에 연결된다. 제1 커패시터(C1)는 제3 트랜지스터(T3)의 드레인과 게이트 사이에 연결되고, 제2 커패시터(C2)는 제3 트랜지스터(T3)의 게이트와 소스 사이에 연결된다.
- <57> 제1 홀딩부(230)는 제2 노드(N2)의 신호를 통해 제2 홀딩부(240)의 동작을 제어한다.
- <58> 구체적으로, 제1 클럭단자(CK1)의 신호와 동기되는 컨트롤 전압이 제3 트랜지스터(T3)를 통해 제2 노드(N2)에 인가되며, 출력단자(OUT)의 신호가 하이 레벨일 경우에는 제4 트랜지스터(T4)가 턴-온 동작하여 제2 노드(N2)에는 로우 레벨의 신호가 인가된다. 즉, 출력단자(OUT)의 신호가 하이 레벨인 경우를 제외하곤 제1 클럭단자(CK1)의 신호에 동기되는 신호가 제2 노드(N2)에 인가되며, 출력단자(OUT)의 신호가 하이 레벨인 경우에는 예외의 경우로 제2 노드(N2)의 신호는 로우 레벨이 된다.
- <59> 제2 홀딩부(240)는 제5, 제6, 제7, 제8 트랜지스터(T5, T6, T7, T8)를 포함한다. 구체적으로 제5 트랜지스터(T5)는 드레인이 제1 노드(N1)에 연결되고, 게이트는 제2 노드(N2)에 연결되어 제1 홀딩부(230)와 연결되며, 소스는 제2 전원단자(V2)에 연결되어 제2 접지 전압(VSS2)이 인가된다. 제6 트랜지스터(T6)는 드레인이 출력단자(OUT)에 연결되고, 게이트는 제2 노드(N2)에 연결되어 제1 홀딩부(230)와 연결되며, 소스는 제1 전원단자(V1)에 연결된다. 제7 트랜지스터(T7)는 드레인이 제1 입력단자(IN1)에 연결되어 제1 입력신호를 인가받고, 게이트는 제2 클럭단자(CK2)에 연결되며, 소스는 제1 노드(N1)에 연결된다. 제8 트랜지스터(T8)는 드레인이 출력단자(OUT)에 연결되고, 게이트는 제7 트랜지스터(T7)의 게이트와 공통하여 제2 클럭단자(CK2)에 연결되며, 소스는 제1 전원단자(V1)에 연결된다.
- <60> 여기서, 제2 클럭단자(CK2)에 인가되는 클럭 신호는 제1 클럭단자(CK1)에 인가되는 클럭 신호와 위상이 반대이다. 즉, 제1 클럭단자(CK1)로 제1 클럭 신호(CK)가 인가되면 제2 클럭단자(CK2)에는 제2 클럭 신호(CKB)가 인가되고, 제1 클럭단자(CK1)로 제2 클럭 신호(CKB)가 인가되면 제2 클럭단자(CK2)에는 제1 클럭 신호(CK)가 인가된다.



- <61> 제2 홀딩부(240)는 풀다운부(220)의 동작 이후에 출력단자(OUT)를 로우 레벨로 유지하는 기능을 수행한다. 즉, 게이트 신호의 로우 레벨 구간에 대응하여 출력단자(OUT)로 제1 접지 전압(VSS1)을 제공하고, 제1 노드(N1)에 제2 접지 전압(VSS2)을 인가하여 풀업부(210) 제10 트랜지스터(T10)의 턴-오프 동작을 유지하여 홀드 동작을 수행한다.
- <62> 구체적으로 제1 클럭단자(CK1)의 신호가 하이 레벨인 경우에 제2 노드(N2)에 하이 레벨의 신호가 인가되어, 제5 및 제6 트랜지스터(T5, T6)는 턴-온 동작한다. 따라서 제1 접지 전압(VSS1)이 제6 트랜지스터(T6)를 통해 출력단자(OUT)로 출력되고, 제2 접지 전압(VSS2)이 제5 트랜지스터(T5)를 통해 제1 노드(N1)에 인가되어 제10 트랜지스터(T10)는 턴-오프 동작한다. 또한, 제1 클럭단자(CK1)의 신호가 로우 레벨인 경우에는 제2 클럭단자(CK2)의 신호가 하이 레벨이므로, 제1 접지 전압(VSS1)이 제8 트랜지스터(T8)를 통해 출력단자(OUT)로 출력된다. 즉, 게이트 신호의 로우 레벨 구간에 제6 및 제8 트랜지스터(T6, T8)가 교대로 턴-온 동작하여 출력단자(OUT)로 제1 접지 전압(VSS1)을 출력하여 로우 레벨 상태로 유지한다.
- <63> 캐리부(280)는 제14 트랜지스터(T14) 및 제4 커패시터(C4)를 포함하며, 제14 트랜지스터(T14)는 드레인이 제1 클럭단자(CK1)에 연결되고, 게이트는 제1 노드(N1)에 연결되며, 소스는 캐리단자(CR)에 연결된다. 제4 커패시터(C4)는 제14 트랜지스터(T14)의 게이트와 소스 사이에 연결된다. 캐리부(280)는 제1 노드(N1)의 신호에 응답하여 제1 클럭단자(CK1)의 신호에 기초한 캐리 신호를 캐리단자(CR)로 출력한다.
- <64> 여기서, 출력단자(OUT)의 신호가 왜곡되어도 캐리부(280)는 출력단자(OUT)와 전기적으로 분리된 제1 클럭단자(CK1)의 신호에 기초하므로, 정상적인 캐리 신호를 출력하여 다음 스테이지의 정상적인 동작을 유도한다.
- <65> 도 5a 및 도 5b는 각각 도 3에 도시된 풀업부의 상온 및 고온 구동시의 시뮬레이션 결과이다.
- <66> 여기서, 게이트 신호의 로우 레벨 신호인 제1 접지 전압(VSS1)은 일반적으로 화소부 박막트랜지스터(TFT)가 최적의 오프(off) 특성을 보이는 -6~7V 수준에서 결정되며, 제2 접지 전압(VSS2)은 제1 접지 전압(VSS1)보다 약 5V 낮은 전압레벨을 갖는다.
- <67> 도 3 내지 도 5를 참조하면, 제1 노드(N1)에서 풀업부(210) 제10 트랜지스터(T10)의 턴-온 동작을 수행하기 위한 부트스트랩(Bootstrap)이 정상적으로 이루어진다. 따라서 출력단자(OUT)로 제10 트랜지스터(T10)의 드레인에 인가되는 제1 클럭단자(CK1)의 신호에 기초한 하이 레벨 게이트 신호가 출력됨을 알 수 있다.
- <68> 게이트 신호의 로우 레벨 구간에는 제1 홀딩부(230)의 제6 및 제8 트랜지스터(T6, T8)가 교대로 턴-온 동작하여 출력단자(OUT)로 제1 접지 전압(VSS1)이 인가되고, 제1 노드(N1)에는 제5 트랜지스터(T5)의 턴-온 동작으로 제2 접지 전압(VSS2)이 인가됨을 알 수 있다. 즉, 풀업부(210) 제10 트랜지스터(T10)의 게이트 소스간 전압(Vgs)은 제2 접지 전압(VSS2)과 제1 접지 전압(VSS1)의 전압차(예컨대 약 5V)가 된다.
- <69> 이처럼 제1 노드(N1)의 전위 레벨이 출력단자(OUT)의 전위 레벨보다 약 5V정도 낮다. 따라서 제1 노드(N1)의 신호가 제1 클럭단자(CK1)의 신호와의 커플링으로 왜곡(예컨대 전위 레벨의 상승)되더라도 제10 트랜지스터(T10)의 턴-오프 상태는 안정적으로 유지되어 게이트 신호(GOUT)의 노이즈 불량 발생을 개선한다.
- <70> 또한, 제5 트랜지스터(T5)의 소스에 제2 접지 전압(VSS2)이 인가됨에 따라 게이트측 전압이 소스보다 높아지게 되면 제1 노드(N1)의 신호에 드롭(drop)이 발생하여 부트스트랩에 영향을 줄 수 있다. 이의 개선을 위하여 제4 트랜지스터(T4)의 소스에 제2 접지 전압(VSS2)을 인가하고, 게이트를 제1 노드(N1)에 연결하여 제4 트랜지스터(T4)의 게이트 소스간 전압차를 개선함으로써, 제5 트랜지스터(T5)의 전압드롭을 개선한다.

**발명의 효과**

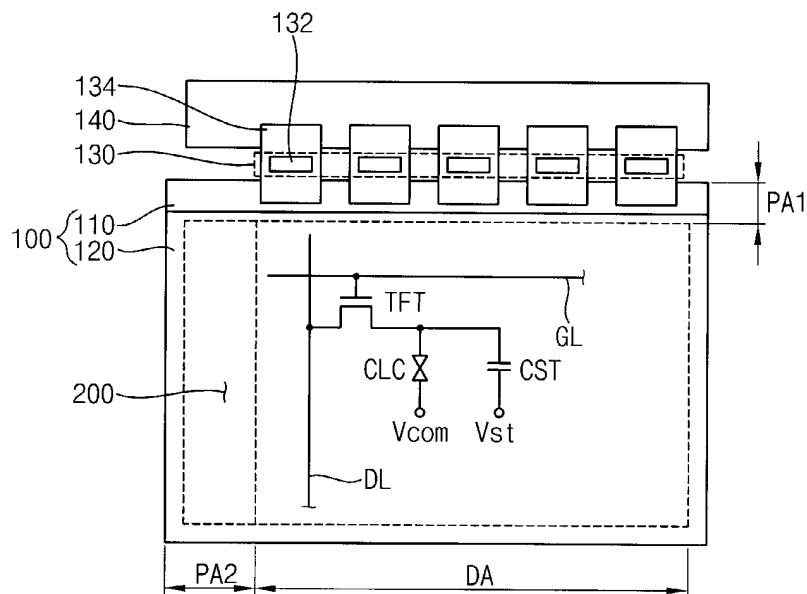
- <71> 이상에서 설명한 바와 같이, 본 발명에 따르면 게이트 신호의 로우 레벨 구간에 제1 노드에 출력단자의 제1 접지 전압보다 낮은 레벨의 제2 접지 전압을 인가하여 제1 노드의 신호가 클럭 신호와의 커플링으로 왜곡되더라도 풀업 소자의 턴-오프 동작을 안정적으로 수행함으로써, 게이트 신호의 비정상적인 하이 레벨 신호가 나타나는 노이즈 불량을 개선하여 표시 장치의 구동불량을 개선할 수 있다.
- <72> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면의 간단한 설명**

- <1> 도 1은 본 발명의 실시예에 따른 표시 장치를 도시한 평면도이다.
- <2> 도 2는 도 1에 도시된 게이트 구동회로의 상세 블록도이다.
- <3> 도 3은 도 2에 도시된 스테이지의 상세 회로도이다.
- <4> 도 4는 도 3에 도시된 스테이지의 신호 파형도이다.
- <5> 도 5a 및 도 5b는 각각 도 3에 도시된 풀업부의 상온 및 고온 구동시의 시뮬레이션 결과이다.
- <6> <도면의 주요부분에 대한 부호의 설명>
- <7> CK1: 제1 클럭단자                      CK2: 제2 클럭단자
- <8> IN1: 제1 입력단자                      IN2: 제2 입력단자
- <9> V1: 제1 전원단자                      V2: 제2 전원단자
- <10> RE: 리셋 단자                      CR: 캐리 단자
- <11> OUT: 출력단자                      T1~T14: 제1 내지 제14 트랜지스터
- <12> C1~C4: 제1 내지 제4 커패시터

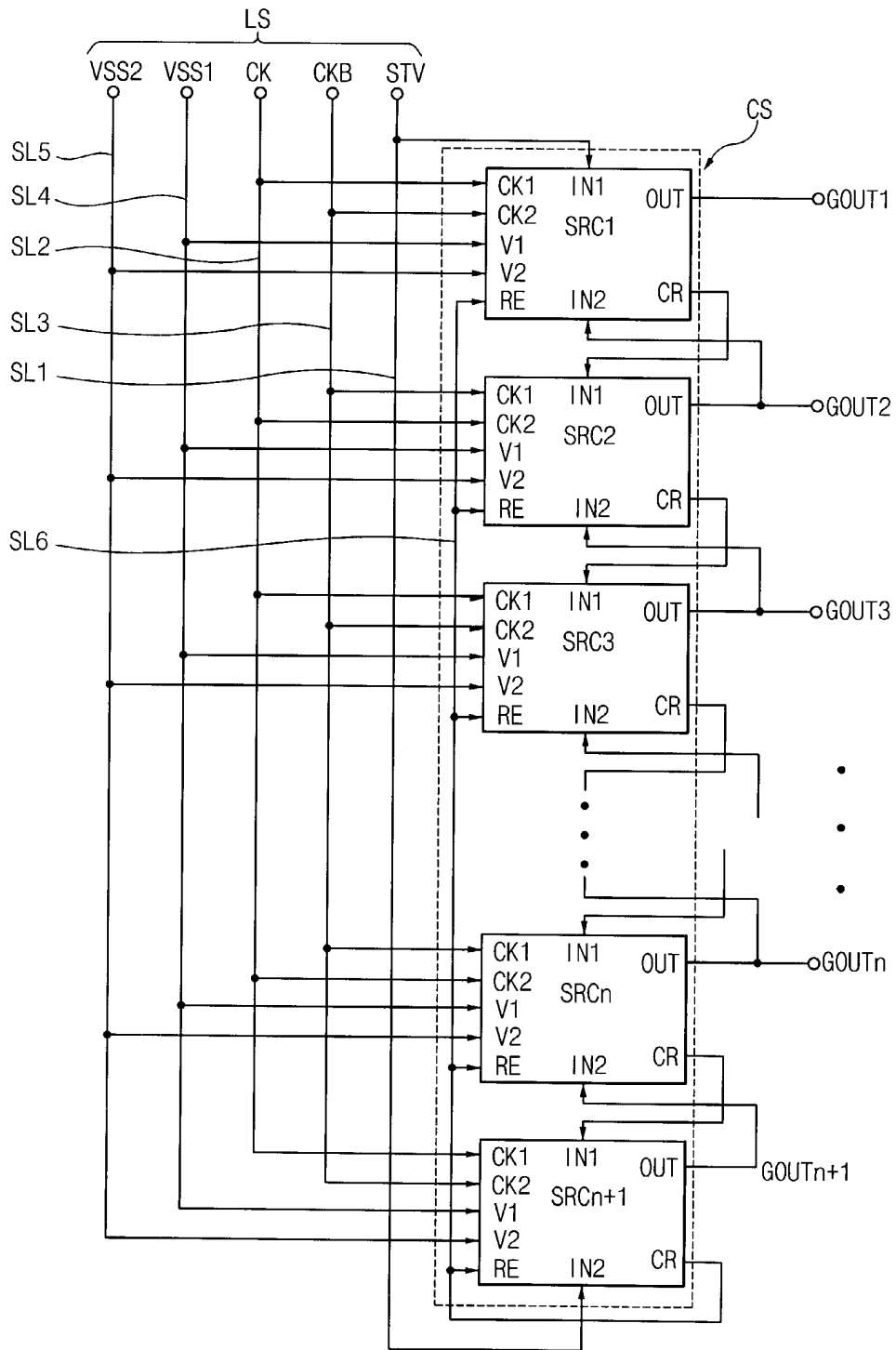
**도면**

**도면1**

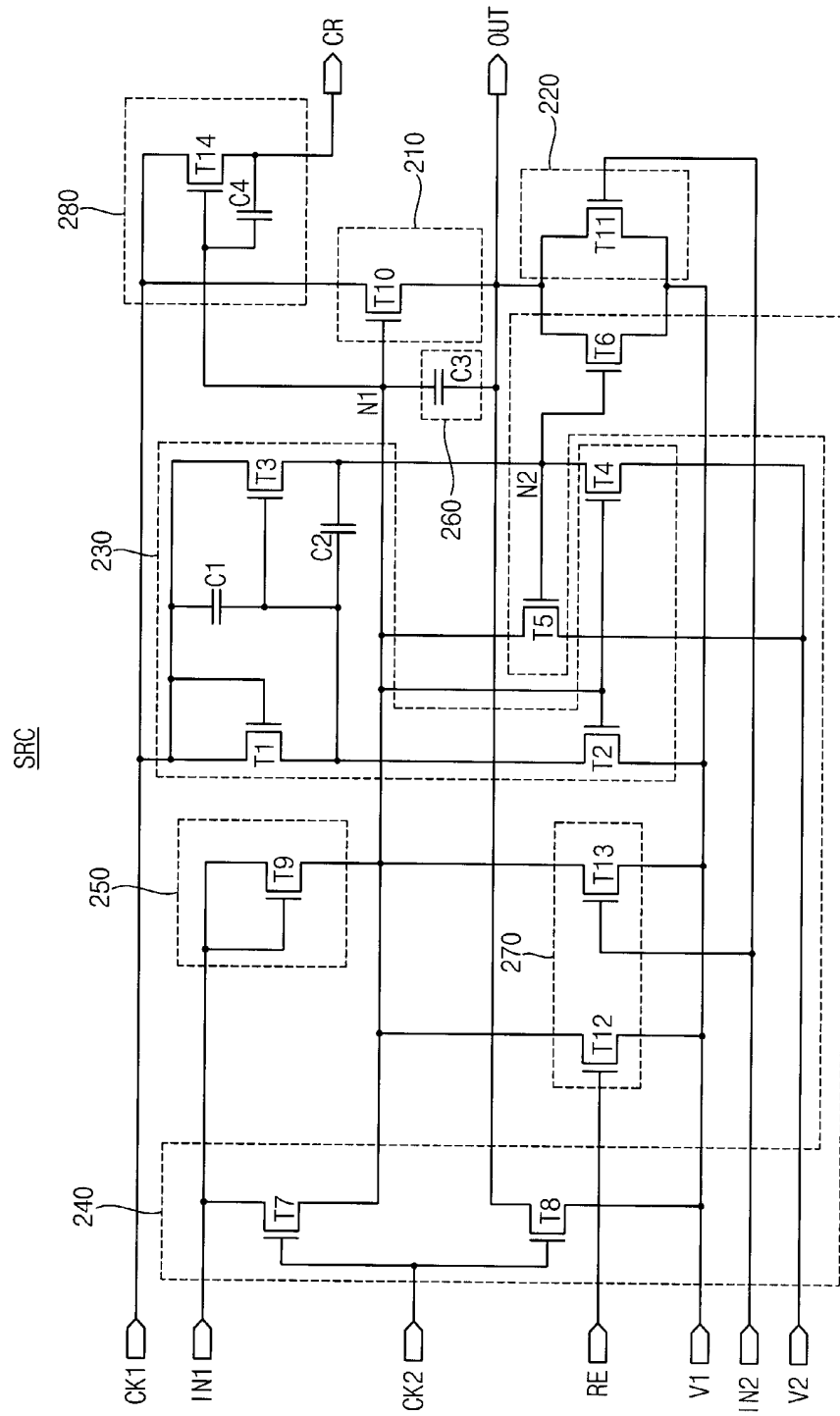


도면2

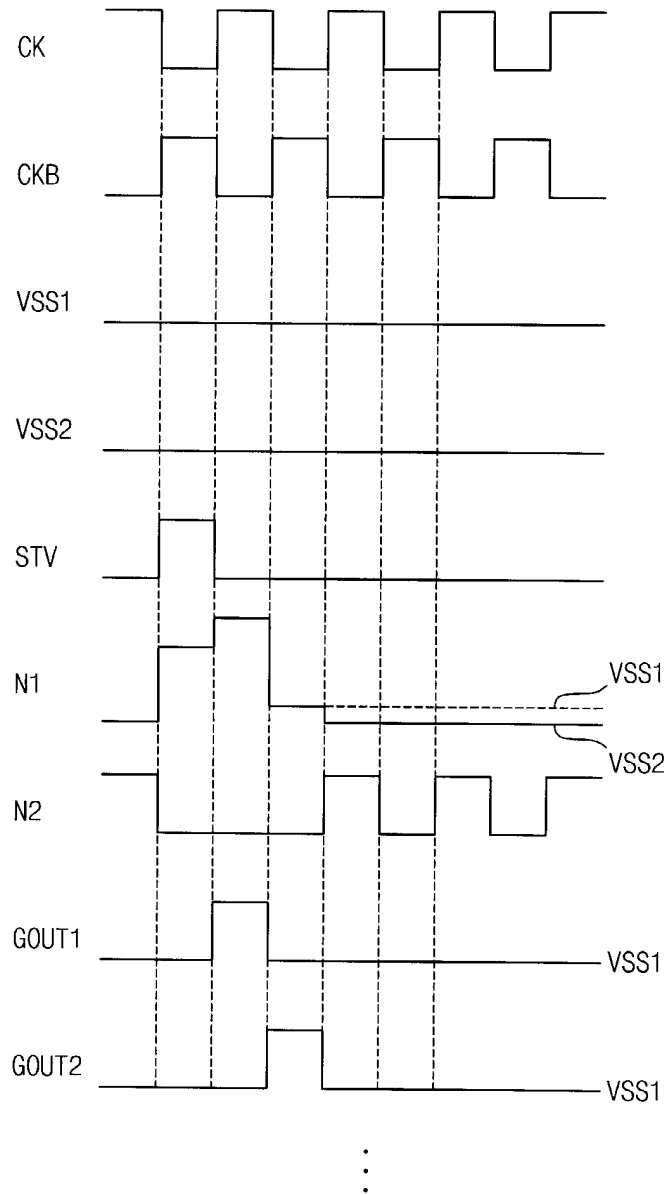
200



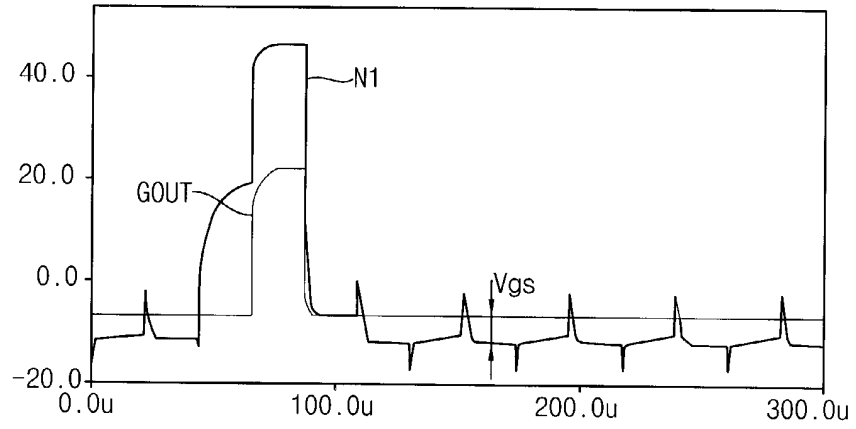
도면3



도면4



도면5a



도면5b

