

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-184669

(P2019-184669A)

(43) 公開日 令和1年10月24日(2019.10.24)

(51) Int.Cl.	F 1	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192

審査請求 未請求 請求項の数 12 O L (全 16 頁)

(21) 出願番号 特願2018-71588 (P2018-71588)
 (22) 出願日 平成30年4月3日 (2018.4.3)

(71) 出願人 000005049
 シャープ株式会社
 大阪府堺市堺区匠町1番地
 (74) 代理人 110000338
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
 (72) 発明者 岩田 康直
 大阪府堺市堺区匠町1番地 シャープ株式会社内
 (72) 発明者 森永 潤一
 大阪府堺市堺区匠町1番地 シャープ株式会社内

最終頁に続く

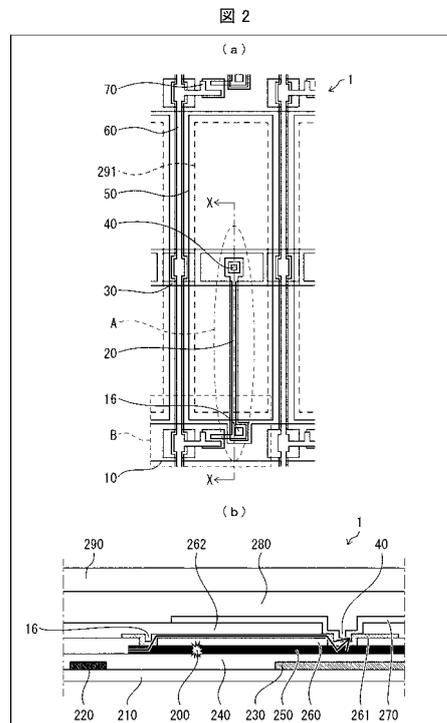
(54) 【発明の名称】 液晶パネルおよび液晶表示装置

(57) 【要約】 (修正有)

【課題】線欠陥による歩留り低下を抑えかつ高い画素開口率が得られる液晶パネルを実現する。

【解決手段】第1基板210と、第2基板290とを備えており、第1基板210と第2基板290との間に液晶280が挟持されており、第1基板210は、複数の第1配線220と、複数の第1配線220と第1層間絶縁膜240を介して交差する複数の第2配線60と、第1配線220と第2配線60とが交差する位置の付近に配置された複数のスイッチング素子と、前記スイッチング素子から画素電極270に延伸する第3配線250と、第3配線250とは異なる層に配置され、第3配線250と少なくとも一部が重畳するように配置される第4配線261とを備えている。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

第 1 基板と、
第 2 基板とを備えており、
前記第 1 基板と前記第 2 基板との間に液晶が挟持されており、
前記第 1 基板は、
複数の第 1 配線と、
前記複数の第 1 配線と第 1 層間絶縁膜を介して交差する複数の第 2 配線と、
前記第 1 配線と前記第 2 配線とが交差する位置の付近に配置された複数のスイッチング素子と、
前記スイッチング素子から画素電極に延伸する第 3 配線と、
前記第 3 配線とは異なる層に配置され、前記第 3 配線と少なくとも一部が重畳するように配置される第 4 配線とを備えている
ことを特徴とする液晶パネル。

10

【請求項 2】

前記第 4 配線は、前記第 3 配線と平行に配置される
ことを特徴とする請求項 1 に記載の液晶パネル。

【請求項 3】

前記第 1 配線と平行に配置される複数の第 5 配線をさらに備え、
前記第 3 配線を覆う第 2 層間絶縁膜の、前記第 5 配線よりも前記第 1 配線に近い位置に第 1 コンタクトホールが形成されており、
前記第 2 層間絶縁膜の、前記第 5 配線に対応する位置に第 2 コンタクトホールが形成されており、
前記第 3 配線と前記第 4 配線とが、前記第 1 コンタクトホールおよび前記第 2 コンタクトホールを通じて接続されている
ことを特徴とする請求項 1 または 2 に記載の液晶パネル。

20

【請求項 4】

前記第 1 コンタクトホールと、前記スイッチング素子と、の間にスイッチング素子から第 3 配線の少なくとも一部を電気的に分離するための切断領域が設けられている
ことを特徴とする請求項 3 に記載の液晶パネル。

30

【請求項 5】

前記複数の第 1 配線とはゲート線であり、前記複数の第 2 配線とはソース線であり、
前記第 3 配線とは第 1 ドレイン線であり、前記第 4 配線とは第 2 ドレイン線であり、
前記第 5 配線とは補助容量線である
ことを特徴とする請求項 3 または 4 に記載の液晶パネル。

【請求項 6】

前記第 2 基板の、前記第 1 コンタクトホールおよび前記第 2 コンタクトホールに対向する位置に遮光膜が配置されている
ことを特徴とする請求項 3 ~ 5 のいずれか 1 項に記載の液晶パネル。

【請求項 7】

前記第 4 配線の前記液晶側に、絶縁膜を介して、共通電極が配置されている
ことを特徴とする請求項 3 ~ 6 のいずれか 1 項に記載の液晶パネル。

40

【請求項 8】

前記共通電極は、前記第 1 コンタクトホールおよび前記第 2 コンタクトホールに対向する位置に配置されている
ことを特徴とする請求項 7 に記載の液晶パネル。

【請求項 9】

前記共通電極は、画素電極に対向するスリットを備えている
ことを特徴とする請求項 7 または 8 に記載の液晶パネル。

【請求項 10】

50

前記画素電極は、前記第4配線を覆う第3層間絶縁膜上に形成されることを特徴とする請求項1～9のいずれか1項に記載の液晶パネル。

【請求項11】

前記第4配線は、前記画素電極と同一の材料を含むことを特徴とする請求項1～10のいずれか1項に記載の液晶パネル。

【請求項12】

請求項1～11のいずれか1項に記載の液晶パネルを備えていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶パネルおよび液晶表示装置に関する。

【背景技術】

【0002】

液晶パネルの生産時に断線または配線間リークなどの線欠陥が発生すると、液晶パネルの歩留りが低下する。配線としては、表示領域を構成する各画素へ信号を供給するための配線の他に、各画素内において、例えばスイッチング素子と画素電極を接続するための配線も含むが、これらの線欠陥が液晶パネルに1か所でもあれば、液晶パネルは不良品として判定される。高精細パネルおよび大型パネルでは配線数が多いため、その歩留りを高くすることが特に難しい。

20

【0003】

線欠陥が発生する原因は主に設計上の都合である。ドレイン線は、画素の開口率を確保するために、細線として設計されることが多い。また、特に高精細パネルや大型パネルにおいては画素数が多くなる。これにより、液晶パネルの製造時にドレイン線の断線が発生する可能性が高くなる。このような断線によって、液晶パネルの良品化が妨げられる。

【0004】

特許文献1に、データ線と、その上層に絶縁膜を介して形成される冗長データ線とを備えており、データ線と冗長データ線とがコンタクトホールを介して接続される構成の液晶表示装置が開示されている。

【0005】

30

また、特許文献2に、第2絶縁膜上に第2信号配線のうち第1信号線の交差部を含む領域にて導電層d3が重畳されて形成され、この導電層は第1信号線を間にした各側にて前記第2絶縁膜に形成されたスルーホールを通して第2信号線に接続されている液晶表示装置が開示されている。

【0006】

また、特許文献3に、工程を追加することなく、データ線断線不良を低減することができる補助修理線構造を実現することができる液晶表示装置及びその製造方法が開示されている。

【先行技術文献】

【特許文献】

40

【0007】

【特許文献1】特開平11-242243号(1999年9月7日公開)

【特許文献2】特開2000-56335号(2000年2月25日公開)

【特許文献3】特開平11-194369号(1999年7月21日公開)

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1の液晶表示装置では、コンタクトホールが画素開口部の付近に形成されているので、表示不良の発生が懸念される。さらに、コンタクトホールが画素の平坦性を損なうことによって、液晶の配向不良が生じ、これにより光漏れなどの問題を引き起こすこと

50

も懸念される。

【0009】

また、特許文献2、3に記載の技術を用いて、画素電極等と同じ層を利用することでドレイン線が断線した場合に対応する場合、画素電極等の形状が損なわれるため、表示品位が低下することが懸念される。

【0010】

本発明は、前記の課題を解決するためになされたものであり、その目的は、線欠陥による歩留り低下を抑えかつ高い画素開口率が得られる液晶パネルを実現することにある。

【課題を解決するための手段】

【0011】

前記の課題を解決するために、本発明の一態様に係る液晶パネルは、第1基板と、第2基板とを備えており、前記第1基板と前記第2基板との間に液晶が挟持されており、前記第1基板は、複数の第1配線と、前記複数の第1配線と交差する複数の第2配線と、前記第1配線と前記第2配線とが交差する位置の付近に配置された複数のスイッチング素子と、前記スイッチング素子から画素電極に延伸する第3配線と、前記第3配線とは異なる層に配置され、前記第3配線と平行に配置される第4配線とを備えている。

【発明の効果】

【0012】

本発明の一態様によれば、線欠陥による歩留り低下を抑えかつ高い画素開口率が得られるという効果を奏する。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態1に係る液晶パネルの要部構成を示すブロック図である。

【図2】図2の(a)は画素の詳細な構成を平面的に示す平面図であり、(b)は(a)のX-X箇所を断面を示す断面図である(第2ドレイン線に断線が発生した場合の電流経路を示す図である)。

【図3】図1のB部の拡大図である。

【図4】液晶パネルにおける画素電極を示す平面図である。

【図5】液晶パネルにおける遮光膜を示す断面図である。

【図6】第1基板上に各配線などを形成するための処理の流れを説明するフローチャートである。

【図7】本発明の実施形態2に係る液晶パネルの画素の構成を平面的に示す平面図。

【図8】図7における液晶パネルの画素電極を示す平面図である。

【図9】画素電極に電圧が印加された場合の液晶の配向を説明する図である。

【図10】本発明の実施形態3に係る液晶パネルにおける共通電極を示す断面図である。

【図11】図10の液晶パネルの画素電極を示す平面図である。

【図12】比較例1における液晶パネルの画素の構成を平面的に示す平面図であり、(b)は(a)のZ-Z箇所の断面を示す断面図である(ドレイン線に断線が発生した場合の状況を示す図である)。

【図13】比較例2に係る液晶パネルの断面を示す断面図である。

【発明を実施するための形態】

【0014】

〔実施形態1〕

図1～図6を参照して、本発明に係る実施形態1について以下に説明する。

【0015】

(液晶パネル1の構成)

図1は、本発明の実施形態1に係る液晶パネル1の要部構成を示すブロック図である。図1に示すように、液晶パネル1は、ゲートドライバ11、ソースドライバ12、複数のゲート線10(第1配線220)および複数のソース線60(第2配線)を備えている。ゲート線10は表示領域13において水平方向に配置され、ソース線60は表示領域13

10

20

30

40

50

においてゲート線 10 と直交する垂直方向にそれぞれ配置される。ゲート線 10 と、ソース線 60 とが交差する交差領域 14 ごとに画素 15 が形成される。画素 15 は、赤サブ画素 (R)、青サブ画素 (B)、および緑サブ画素 (G) からなる 3 つのサブ画素によって構成されている。これにより、液晶パネル 1 はカラー表示をすることができる。ゲートドライバ 11 はゲート線 10 に接続されており、ゲート線 10 にゲート信号を出力する。ソースドライバ 12 はソース線 60 に接続されており、ソース線 60 にソース信号 (データ信号) を出力する。

【0016】

図 2 の (a) は画素の詳細な構成を平面的に示す平面図であり、(b) は (a) の X-X 箇所の断面を示す断面図である (第 2 ドレイン線に断線が発生した場合の電流経路を示す図である)。図 2 に示すように、液晶パネル 1 は、アレイ基板 210 (第 1 基板) と、対向基板 290 (第 2 基板) とを備えている。第 1 基板 210 と第 2 基板 290 との間に液晶 280 が挟持されている。第 1 基板 210 は、複数の第 1 配線 220 (図 2 の (a) におけるゲート線 10) と、複数の第 1 配線と第 1 層間絶縁膜 240 を介して交差する複数の第 2 配線 60 (ソース線) と、第 1 配線と前記第 2 配線とが交差する位置の付近に配置された複数のスイッチング素子 70 と、スイッチング素子 70 から画素電極 50 (画素電極 270) に延伸する第 3 配線 250 (ドレイン線 20) と、第 3 配線 250 とは異なる層に配置され、第 3 配線 250 と少なくとも一部が重畳するように配置される第 4 配線 261 (ドレイン線 20) とを備えている。

10

【0017】

ドレイン線 20 はソース線 60 に対して、平面視でほぼ平行な部分を備える。また、画素電極 50 は、例えば ITO または IZO などの透明導電膜である。なお、第 2 基板 290 の液晶 280 側には、カラーフィルターおよび後述のブラックマトリックスが配置されており、カラーフィルターのさらに液晶 280 側には共通電極が配置されているが、ここでは不図示としている。

20

【0018】

共通電極と画素電極 270 と間に挟まれる液晶 280 は、画素信号の電位に基づいて配向する。液晶パネル 1 の背面側に配置されるバックライト (図示せず) から照射される光の画素透過量を、第 1 基板 210 側および第 2 基板 290 側の各偏光板と、液晶 280 の配向とによって、制御する。

30

【0019】

また、図 2 に示すように、液晶パネル 1 においては、第 4 配線 261 (ドレイン線 20) は、第 3 配線 250 と平行に配置されている。

【0020】

また、図 2 に示すように、液晶パネル 1 においては、画素電極 270 (50) は、第 4 配線 261 を覆う第 3 層間絶縁膜 262 上に形成されている。

【0021】

また、図 2 に示すように、液晶パネル 1 は、複数の第 5 配線 230 (補助容量線 30) をさらに備えている。複数の第 5 配線 230 は第 1 配線 220 と平行に配置されている。第 3 配線 250 を覆う第 2 層間絶縁膜 (層間絶縁膜) 260 の、第 5 配線 230 よりも第 1 配線 220 に近い位置に第 1 コンタクトホール 16 が形成されており、第 2 層間絶縁膜 260 の、第 5 配線 230 に対応する位置に第 2 コンタクトホール 40 が形成されており、第 3 配線 250 と第 4 配線 261 とが、前記第 1 コンタクトホール 16 および前記第 2 コンタクトホール 40 を通じて接続されている。

40

【0022】

第 1 基板 210 の上に、ゲート線 220 および補助容量線 230 が配置されている。ゲート線 220 は、水平方向に延伸するように配置されている。補助容量線 230 は、ゲート線 220 と平行に配置されている。第 1 層間絶縁膜 240 は、ゲート線 220 および補助容量線 230 を覆うように配置されている。第 3 配線 250 は、第 1 層間絶縁膜 240 の上に配置されている。スイッチング素子 70 としては、例えば、酸化物半導体を用いた

50

薄膜トランジスタ (TFT: Thin Film Transistor) を利用することができる。TFTは、画素15の信号を制御するための部材であり、ゲート線10とソース線60との交点付近に配置されている。

【0023】

第2層間絶縁膜260は、第3配線250の一部を覆うように配置されている。第4配線261は、第2層間絶縁膜260の上に配置されている。第2層間絶縁膜260に第1コンタクトホール16と第2コンタクトホール40とが形成されている。第4配線261は、コンタクトホール16、40を通じて第3配線250に接続されている。第3配線250と第4配線261とは、互いに対向する位置に配置されている。画素電極270(50)は、第3層間絶縁膜262の、第2コンタクトホール40に対応する位置に形成されたコンタクトホールを介して、第4配線261と接続されている。すなわち、画素電極270(50)は、第4配線261と第3配線250とを介して、スイッチング素子70に接続されている。このように、第2コンタクトホール40に対応する位置に、画素電極270と第4配線261とを接続するためのコンタクトホールを形成すれば、画素開口率の低下および表示品位の低下をより効果的に防ぐことができる。なお、図2では省略しているが、液晶パネル1における液晶280に向けたそれぞれの内部表面には、配向膜が形成されている。

10

【0024】

画素信号はスイッチング素子70として用いるTFTを介して、ソース線60から入力される。その結果、第3配線250、コンタクトホール16、40、第4配線261を通じてTFTのドレイン電極(ソース線60と接続されるソース電極と対向する電極)と導通している画素電極50(270)の信号電位が決定される。

20

【0025】

(電流経路)

また、図2には、第3配線250(下層ドレイン線)に断線200が発生した場合の電流経路を示している。図2に示すように、液晶パネル1では、第3配線250と第4配線261(上層ドレイン線)とが、コンタクトホール16、40を通じてそれぞれ接続されている。これにより、液晶パネル1には、第3配線250から第4配線261へ、そして再び第3配線250へと繋がる電流経路(図2における矢印線)が形成される。図2に示すように、第3配線250に断線200が発生したとしても、第3配線250に印加された電流は電流経路を通じて正常に流れることができる。したがって、第3配線250および第4配線261に同時に断線が発生しない限り、液晶パネル1を良品化することができる。これにより、線欠陥(ドレイン線の断線)に起因する画素欠陥による歩留り低下を抑えかつ高い画素開口率が得られる液晶パネル1を実現することができる。

30

【0026】

(ドレインカットのための領域)

続いて、図3を参照して、ドレインカットのための領域について以下に説明する。図3は図1のB部の拡大図である。図3に示すように、液晶パネル1においては、第1コンタクトホール16と、スイッチング素子70との間にスイッチング素子70から第3配線250の少なくとも一部を、レーザ等を用いて電氣的に分離するための切断領域55が設けられている。

40

【0027】

スイッチング素子70の特性不良などにより、ソース線60と画素電極270(50)とのリーク電流が常時大きくなった場合、本来、暗表示であるべき画素が、輝点となる不良が発生する場合がある。この場合、ドレインカット処理による黒点化修正が必要となる。ドレインカットとは、画素電極をスイッチング素子から電氣的に分離するために、ドレイン線の一部を切断する処理のことであり、液晶層に電圧が印加されない場合に暗表示を行うノーマリブラックモードにおいては、輝点を黒点(暗表示)にすることで、目立たなくすることができる。この場合は第1コンタクトホール16と、スイッチング素子70との間にドレインカットのための切断領域55を設けることで、黒点化修正が可能となる。

50

これにより、製造コストの削減に有利である。

【0028】

図4は液晶パネル1における画素電極50を示す平面図である。図4に示すように、画素電極50は、いわゆるベタ電極として構成されている。

【0029】

また、第4配線261の配線材料は、画素電極50(270)と同じ材料(ITOまたはIZOなどの透明導電膜)であってもよいが、第4配線261の抵抗を低くするために、Al系またはCu系の材料でもよい。

【0030】

(遮光膜)

続いて、図5を参照して、遮光膜291について以下に説明する。図5は液晶パネル1における遮光膜291を示す断面図である。図5に示すように、液晶パネル1においては、第2基板290の、第1コンタクトホール16および第2コンタクトホール40に対向する位置に遮光膜291(ブラックマトリックス)が配置されている。

【0031】

(プロセスフロー)

図6は、第1基板210上に各配線などを形成するための処理の流れを説明するフローチャートである。当該フローチャートに示す各ステップは、例えば、制御部を備えた製造装置によって自動的に実行される。

【0032】

図6に示すフローが開始されると、まず、第1基板210の表面に第1配線220および第5配線230を形成する(ステップS1)。次に、第1配線220および第5配線230を覆うように第1層間絶縁膜240を形成する(ステップS2)。次に、第1層間絶縁膜240の上に第2配線60と第3配線250とを形成する(ステップS3)。次に、第2配線60と第3配線250とを覆うように第2層間絶縁膜260を形成する(ステップS4)。次に、第2層間絶縁膜260に第1コンタクトホール16および第2コンタクトホール40を形成する(ステップS5)。次に、第2層間絶縁膜260の上に第4配線261を形成する(ステップS6)。次に、第4配線261を覆うように第3層間絶縁膜262を形成するとともに第2コンタクトホール40に対応する位置に他のコンタクトホールを形成する(ステップS7、S8)。次に、第3層間絶縁膜262の上に画素電極270を形成する(ステップS9)。

【0033】

液晶パネル1の製造時、同一のフォトリソグラフィ工程において、コンタクトホール16および40を形成することができる。

【0034】

以上のように、実施形態1によれば、線欠陥による歩留り低下を抑えかつ高い画素開口率が得られる液晶パネル1が実現される。さらに、液晶パネル1と同様に、液晶パネル1を備えている液晶表示装置(図示せず)にも、線欠陥による歩留り低下を抑えかつ高い画素開口率が得られる利点がある。

【0035】

[実施形態2]

本実施形態2は、上記実施形態1と相違する構成は主に画素電極の形状にあり、以下、この相違点を中心的に説明する。

【0036】

図7~9を参照して、本発明に係る実施形態2について以下に説明する。本実施形態において実施形態1と共通する部材には、同一の部材番号を付し、特に必要がない限りその詳細な説明を繰り返さない。

【0037】

(液晶パネル1bの構成)

図7は、本発明の実施形態2に係る液晶パネル1bの画素の構成を平面的に示す平面図

10

20

30

40

50

。液晶パネル 1 b は、実施形態 1 に係る液晶パネル 1 を構成する各部材と同一の各部材を備えている。ただし、液晶パネル 1 b と液晶パネル 1 とでは、画素電極 5 0 a の形状が異なる。

【 0 0 3 8 】

図 8 は、画素電極 5 0 a を平面的に示す平面図である。この図に示すように、画素電極 5 0 a は、いわゆるフィッシュボーン形状を有する。液晶パネル 1 b は、V A (Vertical Alignment) モードで動作する。垂直配向膜によって制御された液晶 2 8 0 に電圧が印加されると、液晶 2 8 0 は、画素電極 5 0 a を構成する各枝部の端から画素電極 5 0 a の内側に向けて、倒れ込むように配向する。

【 0 0 3 9 】

(液晶 2 8 0 の配向方向)

図 9 は、画素電極 5 0 a に電圧が印加された場合の液晶 2 8 0 の配向を説明する図である。この図に示すように、画素電極 5 0 a は、4 つの領域 7 1 ~ 7 4 に分割される。液晶 2 8 0 に電圧が印加されると、領域 7 1 ~ 7 4 に対応する液晶 2 8 0 は、画素電極 5 0 a の内側に向かう異なる配向方向 8 1 ~ 8 4 にそれぞれ倒れるように配向する。液晶パネル 1 b において液晶 2 8 0 の配向が異なる 4 つの方向に制御されることによって、液晶 2 8 0 の視野角異存性を小さくすることができ、これにより広い視野角の範囲内で均一な表示を実現することができる。

【 0 0 4 0 】

画素電極 5 0 a の幹となる十字領域 8 5 は、液晶 2 8 0 の異なる配向がぶつかり合うことによって、液晶パネル 1 b において暗線となることが多い。暗線とは、液晶 2 8 0 の制御が困難であるために十分な光透過性が得られない箇所を意味する。実施形態 2 では、十字領域 8 5 上の画素無効領域 8 6 に、コンタクトホールが設けられている。これにより、画素 1 5 の開口率の低下を抑えることができる。

【 0 0 4 1 】

液晶パネル 1 b では、P S A 処理などによって液晶 2 8 0 の配向を安定化することもできる。液晶パネル 1 b に適用される P S A 処理は、モノマーを含む液晶材料を液晶パネル 1 b 内に封入し、画素 1 5 に電圧を印加した状態で紫外線を照射するなどして、配向膜の界面において液晶 2 8 0 のポリマー化を促進することを意味する。これにより、垂直配向膜を用いて液晶 2 8 0 を配向させる液晶モードにおいて、一定の傾斜角を持った初期配向を液晶 2 8 0 に付与することができる。その結果、液晶 2 8 0 の配向が迷わずに安定し、表示品位が向上する。さらに、表示の応答速度および光透過率も向上する。

【 0 0 4 2 】

また、本実施形態における液晶パネル 1 b も下記の構成を備える。すなわち、パネル 1 b は、第 1 基板 2 1 0 と、第 2 基板 2 9 0 とを備えており、前記第 1 基板と前記第 2 基板との間に液晶 2 8 0 が挟持されており、前記第 1 基板は、複数の第 1 配線 2 2 0 と、前記複数の第 1 配線と第 1 層間絶縁膜 2 4 0 を介して交差する複数の第 2 配線 6 0 と、前記第 1 配線と前記第 2 配線とが交差する位置の付近に配置された複数のスイッチング素子 7 0 と、前記スイッチング素子から画素電極に延伸する第 3 配線 2 5 0 と、前記第 3 配線とは異なる層に配置され、前記第 3 配線と少なくとも一部が重畳するように配置される第 4 配線 2 6 1 とを備えている。

【 0 0 4 3 】

以上のように、実施形態 2 によっても、線欠陥による歩留り低下を抑えかつ高い画素開口率が得られる液晶パネル 1 b が実現される。さらに、液晶パネル 1 b と同様に、液晶パネル 1 b を備えている液晶表示装置 (図示せず) にも、線欠陥による歩留り低下を抑えかつ高い画素開口率が得られる利点がある。

【 0 0 4 4 】

その他実施形態 1 において説明した各構成についても本実施形態に適用することができる。

【 0 0 4 5 】

10

20

30

40

50

〔実施形態 3〕

図 10、図 11 を参照して、本発明に係る実施形態 3 について以下に説明する。本実施形態において他の実施形態と共通する部材には同一の部材番号を付し、特に必要がない限りその詳細な説明を繰り返さない。

【0046】

(共通電極)

続いて、図 10 を参照して、横電界モード、例えば FFS (Fringe Field Switching) モードにおける共通電極 292 について以下に説明する。図 10 は液晶パネル 1c における共通電極 292 を示す断面図である。図 2 では、画素電極との間で液晶に電圧を印加するための共通電極は、第 2 基板 290 の液晶 280 側に形成されていたが、図 10 では、共通電極は第 1 基板 210 に形成される。図 10 に示すように、液晶パネル 1c においては、前記第 4 配線の液晶 280 側に、絶縁膜を介して、共通電極 292 が配置されている。共通電極 292 は、例えば ITO または IZO などの透明導電膜である。共通電極 292 には、画素電極 270 に対向するスリット 293 が形成されており、画素電極 270 との間で、このスリット 293 を介してフリンジ電界を生じさせることによって、液晶の配向を制御する。

10

【0047】

また、共通電極 292 と画素電極 270 と間でスリット 293 を介して生じるフリンジ電界によって、液晶 280 は、画素信号の電位に基づいて配向する。液晶パネル 1c の背面側に配置されるバックライト (図示せず) から照射される光の画素透過量を、第 1 基板 210 側および第 2 基板 290 側の各偏光板と、液晶 280 の配向とによって、制御する。

20

【0048】

また、図 10 に示すように、共通電極 292 は、第 1 コンタクトホール 16 および第 2 コンタクトホール 40 に対向する位置に配置されている。

(液晶パネル 1c の構成)

図 11 は、本発明の実施形態 3 に係る液晶パネル 1c の構成を平面的に示す平面図である。液晶パネル 1c は、実施形態 1 に係る液晶パネル 1 を構成する各部材と同一の各部材を少なくとも備えている。ただし、液晶パネル 1c と液晶パネル 1 とでは、液晶 280 の配向モードが異なる。液晶パネル 1c は、横電界すなわち FFS モードに対応している。画素電極 50 の形状は実施形態 1 と同様にスリットは形成されていないが、共通電極 292 には、ゲート線 220 に対して一定の傾斜角を持ちつつ、水平方向 (ゲート線 220 の配置方向) と略並行なスリットが形成されている。

30

【0049】

上記構成においても、スイッチング素子 70 と、スイッチング素子 70 と画素電極 50 とを接続するためのコンタクトホール 40 との距離が長い場合、すなわちドレイン線 20 が長い場合は、断線する可能性があるため、前記実施形態 1 に係る図 2 に示す構成を、スイッチング素子 70 と、スイッチング素子 70 と画素電極 50 とを接続するためのコンタクトホール 40 の間において適用することができる。

【0050】

上記構成によっても、前記実施形態 1 および 2 と同様な効果を奏することができる。

40

【0051】

(比較例)

図 12 ~ 図 13 を参照して、比較例について以下に説明する。図 12 は、比較例 1 における液晶パネルの画素の構成を平面的に示す平面図であり、(b) は (a) の Z-Z 箇所の断面を示す断面図である (ドレイン線に断線が発生した場合の状況を示す図である)。図 13 は、比較例 2 に係る液晶パネルの断面を示す断面図である。

【0052】

図 12 に示すように、液晶パネル 1z においては、ドレイン線 250z が断線すると画素電極に信号供給ができなくなってしまう、歩留まり低下を招くことになる。

50

【 0 0 5 3 】

また、図 1 3 に示すように、データ線と、その上層に絶縁膜を介して形成される冗長データ線とを備えており、データ線と冗長データ線とがコンタクトホールを介して接続される構成が開示されている。

【 0 0 5 4 】

比較例 1 および比較例 2 のいずれも本発明の実施形態に記載した構成を備えない。そのため本発明の特有の効果奏することができない。

【 0 0 5 5 】

〔まとめ〕

本発明の態様 1 に係る液晶パネル (1) は、第 1 基板 (2 1 0) と、第 2 基板 (2 9 0) とを備えており、前記第 1 基板と前記第 2 基板との間に液晶 (2 8 0) が挟持されており、前記第 1 基板は、複数の第 1 配線 (2 2 0) と、前記複数の第 1 配線と第 1 層間絶縁膜 (2 4 0) を介して交差する複数の第 2 配線 (6 0) と、前記第 1 配線と前記第 2 配線とが交差する位置の付近に配置された複数のスイッチング素子 (7 0) と、前記スイッチング素子から画素電極に延伸する第 3 配線 (2 5 0) と、前記第 3 配線とは異なる層に配置され、前記第 3 配線と少なくとも一部が重畳するように配置される第 4 配線 (2 6 1) とを備えている。

10

【 0 0 5 6 】

前記の構成によれば、線欠陥による歩留り低下を抑えかつ高い画素開口率が得られる。

【 0 0 5 7 】

本発明の態様 2 に係る液晶パネルは、前記態様 1 において、第 4 配線 (2 6 1) は、第 3 配線 (2 5 0) と平行に配置されていてもよい。

20

【 0 0 5 8 】

前記の構成によれば、線欠陥による歩留り低下を抑えかつ、さらに高い画素開口率が得られる。

【 0 0 5 9 】

本発明の態様 3 に係る液晶パネルは、前記態様 1 又は 2 において、第 1 配線 (2 2 0) と平行に配置される複数の第 5 配線 (2 3 0) をさらに備え、前記第 3 配線を覆う第 2 層間絶縁膜 (2 6 0) の、前記第 1 配線に近い位置に第 1 コンタクトホール (1 6) が形成されており、前記第 2 層間絶縁膜の、前記第 5 配線に対応する位置に第 2 コンタクトホール (4 0) が形成されており、前記第 3 配線と前記第 4 配線とが、第 1 コンタクトホール (1 6) および第 2 コンタクトホール (4 0) を通じて接続されていてもよい。

30

【 0 0 6 0 】

前記の構成によれば、前記第 3 配線と前記第 4 配線とが、第 1 コンタクトホール (1 6) および第 2 コンタクトホール (4 0) を通じて接続されるようになる。

【 0 0 6 1 】

本発明の態様 4 に係る液晶パネルは、前記態様 3 において、前記第 1 コンタクトホールと、前記スイッチング素子と、の間にスイッチング素子から第 3 配線の少なくとも一部を電氣的に分離するための切断領域 (5 5) が設けられていてもよい。

40

【 0 0 6 2 】

前記の構成によれば、輝点となる画素欠陥の黒点化修正が可能となる。これにより、製造コストの削減に有利である。

【 0 0 6 3 】

本発明の態様 5 に係る液晶パネルは、前記態様 3 または 4 において、前記複数の第 1 配線とはゲート線であり、前記複数の第 2 配線とはソース線であり、前記第 3 配線とは第 1 ドレイン線であり、前記第 4 配線とは第 2 ドレイン線であり、前記第 5 配線とは補助容量線であってもよい。

【 0 0 6 4 】

本発明の態様 6 に係る液晶パネルは、前記態様 3 ~ 5 のいずれかにおいて、前記第 2 基板の第 1 コンタクトホール (1 6) および第 2 コンタクトホール (4 0) に対向する位置

50

に遮光膜（２９１）（ブラックマトリックス）が配置されていてもよい。

【００６５】

本発明の態様７に係る液晶パネルは、前記態様３～６のいずれかにおいて、前記第４配線の前記液晶側に、絶縁膜を介して、共通電極（２９２）が配置されていてもよい。

【００６６】

本発明の態様８に係る液晶パネルは、前記態様７において、前記共通電極は、第１コンタクトホール（１６）および第２コンタクトホール（４０）に対向する位置に配置されていてもよい。

【００６７】

本発明の態様９に係る液晶パネルは、前記態様７または８において、前記共通電極は、画素電極に対向するスリット（２９３）を備えていてもよい。

10

【００６８】

本発明の態様１０に係る液晶パネルは、前記態様１～９の何れかにおいて、前記画素電極が、前記第４配線を覆う第３層間絶縁膜（２６２）上に形成されていてもよい。

【００６９】

本発明の態様１１に係る液晶パネルは、前記態様１～１０の何れかにおいて、前記第４配線は、前記画素電極と同一の材料を含んでもよい。

【００７０】

前記の構成によれば、液晶パネルの製造方法を簡略化することができる。

【００７１】

本発明の態様１２に係る液晶表示装置は、前記態様１～１１のいずれかの液晶パネルを備えている。

20

【００７２】

前記の構成によれば、線欠陥による歩留り低下を抑えかつ高い画素開口率が得られる液晶表示装置を実現することができる。

【００７３】

本発明は前述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態も、本発明の技術的範囲に含まれる。各実施形態にそれぞれ開示された技術的手段を組み合わせることによって、新しい技術的特徴を形成することもできる。

30

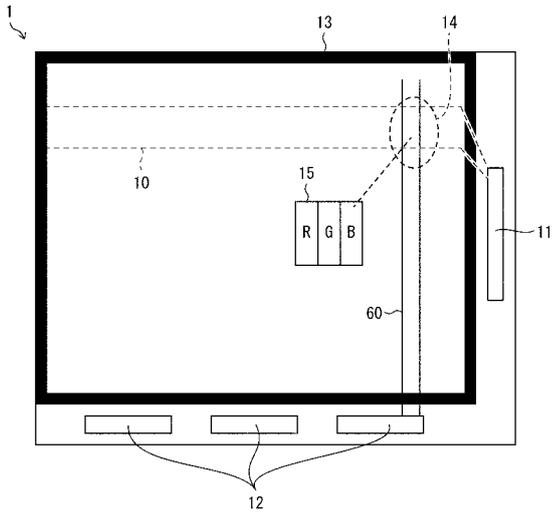
【符号の説明】

【００７４】

１、１ａ、１ｂ、１ｃ、１ｚ 液晶パネル、１１ ゲートドライバ、１２ ソースドライバ、１３ 表示領域、１４ 交差部、１５ 画素、１６、４５ コンタクトホール、６０ ソース線、７０ TFT、２００ 断線、２１０ 第１基板、１０、２２０ ゲート線、３０、２３０ 補助容量線、２４０ 第１層間絶縁膜、２０、２５０、２６１ ドレイン線、２６０ 第２層間絶縁膜、５０、５０ａ、２７０ 画素電極、２８０ 液晶、２９０ 第２基板、２９１ ブラックマトリックス、２９２ 共通電極、２９３、スリット

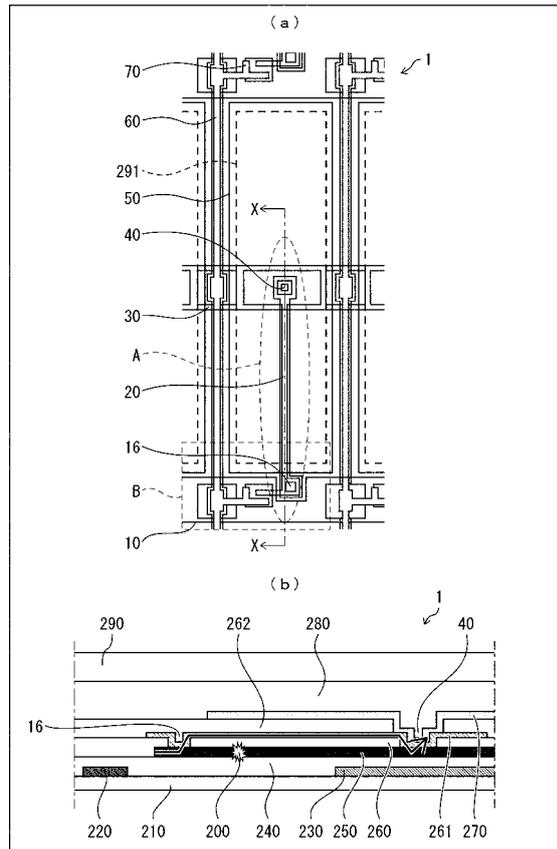
【 図 1 】

図 1



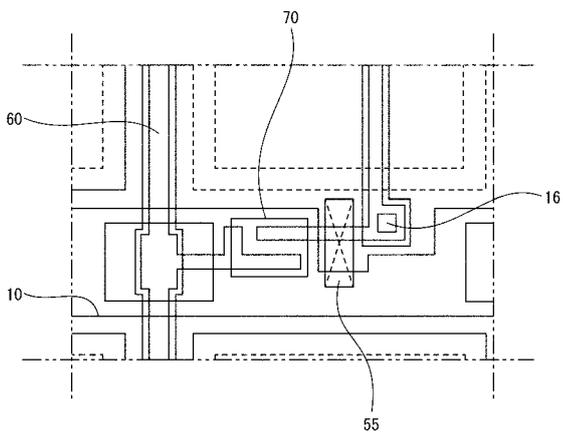
【 図 2 】

図 2



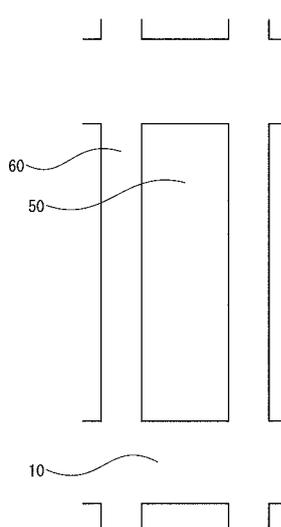
【 図 3 】

図 3



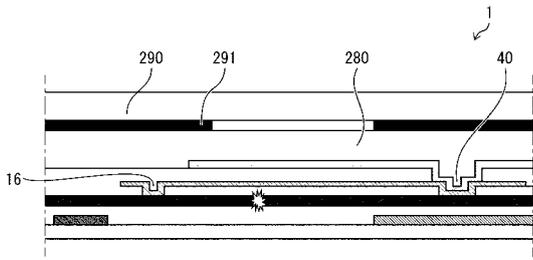
【 図 4 】

図 4



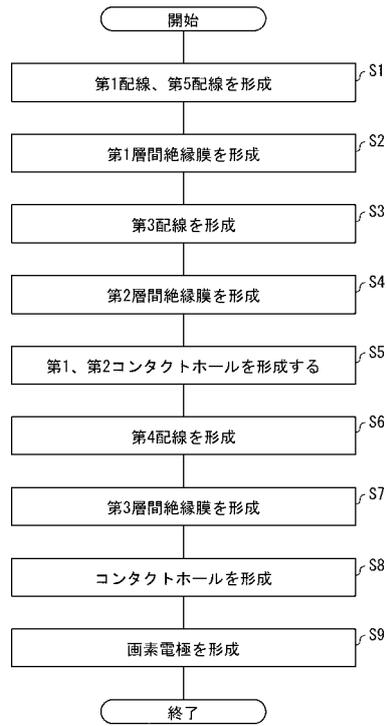
【 図 5 】

図 5



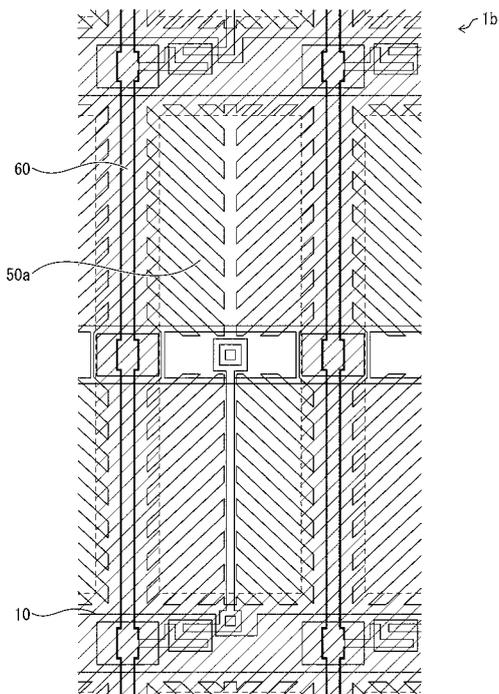
【 図 6 】

図 6



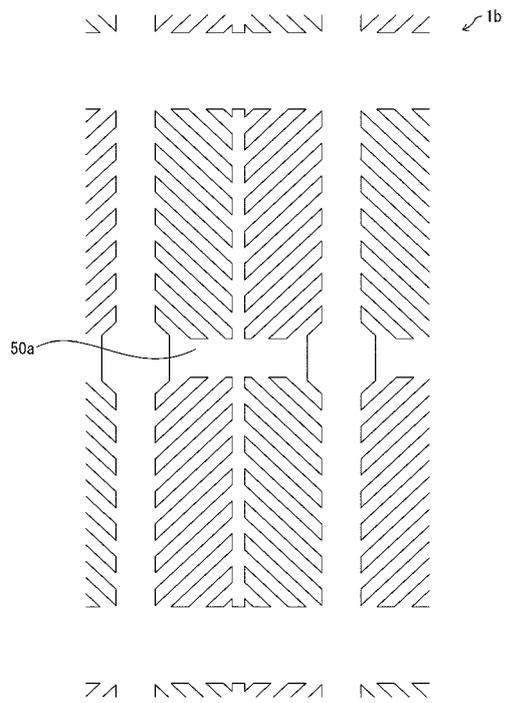
【 図 7 】

図 7

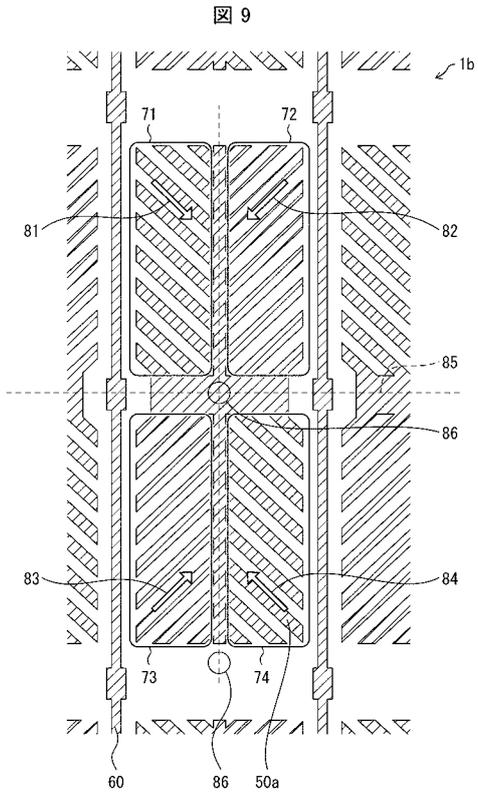


【 図 8 】

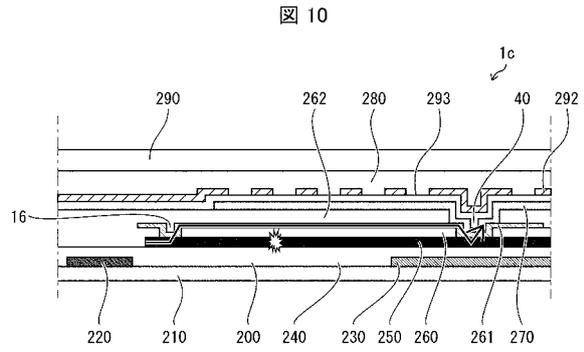
図 8



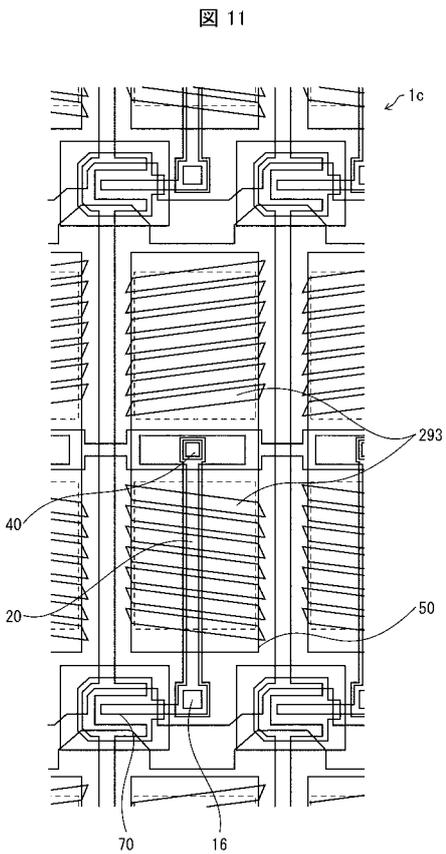
【 図 9 】



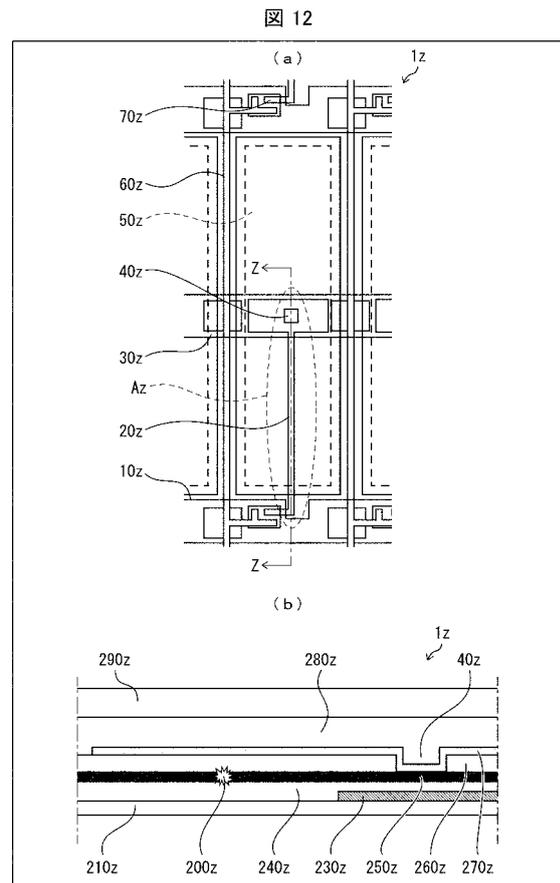
【 図 1 0 】



【 図 1 1 】

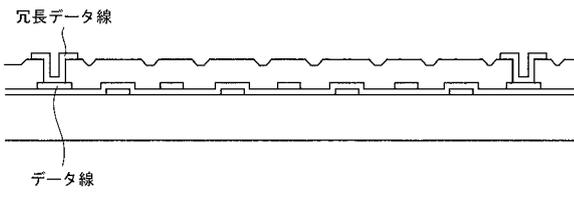


【 図 1 2 】



【 図 1 3 】

図 13



フロントページの続き

Fターム(参考) 2H092 GA14 HA04 JA24 JA42 JA44 JA46 JB73 MA47 NA12 NA15
QA09
2H192 AA24 BA25 BB12 BB53 BB73 BC35 BC42 CC04 CC73 HB38
HB64 JA13 JA32