



(12) 发明专利申请

(10) 申请公布号 CN 103295903 A

(43) 申请公布日 2013. 09. 11

(21) 申请号 201210055827. 3

(22) 申请日 2012. 03. 05

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 刘佳 骆志炯 王鹤飞

(74) 专利代理机构 北京集佳知识产权代理有限公司

公司 11227

代理人 逯长明 王宝筠

(51) Int. Cl.

H01L 21/336 (2006. 01)

H01L 21/28 (2006. 01)

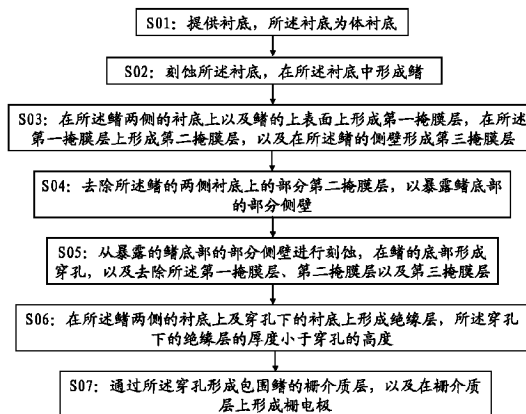
权利要求书1页 说明书6页 附图10页

(54) 发明名称

围栅结构的鳍式半导体器件的制造方法

(57) 摘要

本发明实施例公开了一种围栅结构的鳍式半导体器件的制造方法,利用体衬底 (Bulk substrate) 形成鳍后,通过多层掩膜及刻蚀仅暴露出鳍的下部的部分区域,通过该暴露的区域将鳍的下部刻蚀出穿孔来,并在穿孔下形成绝缘层,通过穿孔,从而进一步形成可以包围鳍的围栅结构,实现了体衬底上制造围栅结构的鳍式半导体器件,降低了成本。



1. 一种围栅结构的半导体器件的制造方法,其特征在于,包括:
  - 提供衬底,所述衬底为体衬底;
  - 刻蚀所述衬底,在所述衬底中形成鳍;
  - 在所述鳍两侧的衬底上以及鳍的上表面上形成第一掩膜层,在所述第一掩膜层上形成第二掩膜层,以及在所述鳍的侧壁形成第三掩膜层;
  - 去除所述鳍的两侧衬底上的部分第二掩膜层,以暴露鳍底部的部分侧壁;
  - 从暴露的鳍底部的部分侧壁进行刻蚀,在鳍的底部形成穿孔,以及去除所述第一掩膜层、第二掩膜层以及第三掩膜层;
  - 在所述鳍两侧的衬底上及穿孔下的衬底上形成绝缘层,所述穿孔下的绝缘层的厚度小于穿孔的高度;
  - 通过所述穿孔形成包围鳍的栅介质层,以及在栅介质层上形成栅电极。
2. 根据权利要求 1 所述的制造方法,其特征在于,在去除第一掩膜层、第二掩膜层和第三掩膜层之后、形成栅介质层之前,还包括步骤:在所述穿孔上的鳍中形成纳米线。
3. 根据权利要求 2 所述的制造方法,其特征在于,形成所述纳米线以及绝缘层的步骤包括:
  - 填充所述穿孔以及覆盖所述鳍两侧的衬底以形成绝缘层;
  - 在所述穿孔两端的鳍的上表面、侧壁以及两侧的绝缘层上形成第四掩膜层;
  - 进行氧化工艺,将所述穿孔之上的鳍部分氧化,并去除穿孔之上的鳍的被氧化的部分,穿孔之上剩余的鳍为纳米线;
  - 去除所述穿孔中的部分绝缘层,以使所述穿孔下的绝缘层的厚度小于穿孔的高度;
  - 去除第四掩膜层;
  - 形成栅介质层的步骤为:通过所述穿孔形成包围纳米线的栅介质层。
4. 根据权利要求 3 所述的制造方法,其特征在于,所述绝缘层为二氧化硅,所述第四掩膜层为氮化硅。
5. 根据权利要求 1-4 中任一项所述的制造方法,其特征在于,所述第二掩膜层相对于第一掩膜层和第三掩膜层具有选择刻蚀性。
6. 根据权利要求 5 所述的制造方法,其特征在于,所述第一掩膜层和第三掩膜层为二氧化硅,所述第二掩膜层为氮化硅。
7. 根据权利要求 6 所述的制造方法,其特征在于,形成第一掩膜层和第二掩膜层的步骤包括:
  - 淀积氧化硅,并进行各向同性刻蚀,以在所述鳍两侧的衬底上以及鳍的上表面上形成氧化硅的第一掩膜层;
  - 淀积氮化硅并进行各向同性刻蚀,以在所述第一掩膜层上形成氮化硅的第二掩膜层。
8. 根据权利要求 1-4 中任一项所述的制造方法,在形成栅电极之后,还包括步骤:
  - 在所述栅电极两侧的鳍中形成源漏区。

## 围栅结构的鳍式半导体器件的制造方法

### 技术领域

[0001] 本发明涉及半导体器件制造技术,更具体地说,涉及一种围栅结构的鳍式半导体器件的制造方法。

### 背景技术

[0002] 随着半导体器件的高度集成,MOSFET 沟道长度不断缩短,一系列在 MOSFET 长沟道模型中可以忽略的效应变得愈发显著,甚至成为影响器件性能的主导因素,这种现象统称为短沟道效应。短沟道效应会恶化器件的电学性能,如造成栅极阈值电压下降、功耗增加以及信噪比下降等问题。

[0003] 为了控制短沟道效应,对传统晶体管器件的某些方面采取了一些改进,例如,一方面,向沟道中掺杂更多的磷、硼等杂质元素,但此举易导致器件沟道中载流子迁移率下降;另一方面,增强沟道的应力,但传统的 SiGe PMOS 应变硅技术也开始面临瓶颈,很难再为沟道提供更强的应变;再一方面,减薄栅极氧化物介质的厚度,但栅极氧化物介质的厚度方面也将出现发展瓶颈问题,栅极氧化物厚度减薄的速度已经很难再跟上栅极宽度缩小的步伐,栅介质漏电越来越大。随着沟道尺寸的不断缩短,这些改进都不能解决愈发显著的短沟道效应。

[0004] 目前,为了解决短沟道效应的问题,提出了鳍式场效应晶体管 (Fin-FET) 的立体器件结构,Fin-FET 是具有鳍型沟道结构的晶体管,它利用薄鳍的几个表面作为沟道,从而可以防止传统晶体管中的短沟道效应,同时可以增大工作电流。

[0005] 对于围栅结构 (GAA, Gate-All-Around) 的 Fin-FET 器件,其栅极结构包围住鳍的表面,充分利用了鳍的各个表面作为沟道区,最大可能地增大了工作电流,提高器件的性能。

[0006] 然而,目前的围栅结构的 Fin-FET 都是在 SOI (Silicon On Insulator) 衬底上形成的,SOI 衬底包括顶层硅、背衬底和他们之间的埋氧层,由于埋氧层的存在,在 SOI 衬底上制造围栅结构的 Fin-FET 较为容易,但不可避免的引入大的寄生参数,而且 SOI 衬底本身的造价较高,增加了制造成本。

### 发明内容

[0007] 本发明实施例提供了一种围栅结构的鳍式半导体器件的制造方法,解决了在体衬底上制造该器件的问题,降低了制造成本。

[0008] 为实现上述目的,本发明实施例提供了如下技术方案:

[0009] 一种围栅结构的鳍式场半导体器件的制造方法,包括:

[0010] 提供衬底,所述衬底为体衬底;

[0011] 刻蚀所述衬底,在所述衬底中形成鳍;

[0012] 在所述鳍两侧的衬底上以及鳍的上表面上形成第一掩膜层,在所述第一掩膜层上形成第二掩膜层,以及在所述鳍的侧壁形成第三掩膜层;

- [0013] 去除所述鳍的两侧衬底上的部分第二掩膜层,以暴露鳍底部的部分侧壁;
- [0014] 从暴露的鳍底部的部分侧壁进行刻蚀,在鳍的底部形成穿孔,以及去除所述第一掩膜层、第二掩膜层以及第三掩膜层;
- [0015] 在所述鳍两侧的衬底上及穿孔下的衬底上形成绝缘层,所述穿孔下的绝缘层的厚度小于穿孔的高度;
- [0016] 通过所述穿孔形成包围鳍的栅介质层,以及在栅介质层上形成栅电极。
- [0017] 可选地,在去除第一掩膜层、第二掩膜层和第三掩膜层之后、形成栅介质层之前,还包括步骤:在所述穿孔上的鳍中形成纳米线。
- [0018] 可选地,形成所述纳米线以及绝缘层的步骤包括:
- [0019] 填充所述穿孔以及覆盖所述鳍两侧的衬底以形成绝缘层;
- [0020] 在所述穿孔两端的鳍的上表面、侧壁以及两侧的绝缘层上形成第四掩膜层;
- [0021] 进行氧化工艺,将所述穿孔之上的鳍部分氧化,并去除穿孔之上的鳍的被氧化的部分,穿孔之上剩余的鳍为纳米线;
- [0022] 去除所述穿孔中的部分绝缘层,以使所述穿孔下的绝缘层的厚度小于穿孔的高度;
- [0023] 去除第四掩膜层;
- [0024] 形成栅介质层的步骤为:通过所述穿孔形成包围纳米线的栅介质层。
- [0025] 可选地,所述绝缘层为二氧化硅,所述第四掩膜层为氮化硅。
- [0026] 可选地,所述第二掩膜层相对于第一掩膜层和第三掩膜层具有选择刻蚀性。
- [0027] 可选地,所述第一掩膜层和第三掩膜层为二氧化硅,所述第二掩膜层为氮化硅。
- [0028] 可选地,形成第一掩膜层和第二掩膜层的步骤包括:
- [0029] 淀积氧化硅,并进行各向同性刻蚀,以在所述鳍两侧的衬底上以及鳍的上表面上形成氧化硅的第一掩膜层;
- [0030] 淀积氮化硅,并进行各向同性刻蚀,以在所述第一掩膜层上形成氮化硅的第二掩膜层。
- [0031] 可选地,在形成栅电极之后,还包括步骤:在所述栅电极两侧的鳍中形成源漏区。
- [0032] 与现有技术相比,上述技术方案具有以下优点:
- [0033] 本发明实施例的围栅结构的鳍式半导体器件的制造方法,利用体衬底(Bulk substrate)形成鳍后,通过多层掩膜及刻蚀仅暴露出鳍的下部的部分区域,通过该暴露的区域将鳍的下部刻蚀出穿孔来,并在穿孔下形成绝缘层,通过穿孔,从而进一步形成可以包围鳍的围栅结构(栅介质层和栅电极),穿孔下的绝缘层实现了围栅结构同衬底的隔离,从而实现了体衬底上制造围栅结构的鳍式半导体器件,降低了制造成本。

#### 附图说明

[0034] 通过附图所示,本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图,重点在于示出本发明的主旨。

[0035] 图1为本发明的围栅结构的鳍式半导体器件的制造方法的流程图;

[0036] 图2-图14为根据本发明实施例的围栅结构的鳍式半导体器件的各个制造过程的

立体结构示意图。

### 具体实施方式

[0037] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0038] 在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施例的限制。

[0039] 其次，本发明结合示意图进行详细描述，在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0040] 正如背景技术所述的，传统的围栅结构的鳍式半导体器件制造工艺是利用 SOI 衬底进行的，而 SOI 衬底的成本高，增加了制造成本。

[0041] 基于此，本发明提出了一种围栅结构的鳍式半导体器件的制造方法，利用体衬底 (Bulk substrate) 形成鳍后，通过多层掩膜及刻蚀仅暴露出鳍的下部的部分区域，通过该暴露的区域将鳍的下部刻蚀出穿孔来，通过穿孔，从而进一步形成可以包围鳍的围栅结构 (栅介质层和栅电极)。该围栅结构的鳍式半导体器件的制造方法，包括：

[0042] 提供衬底，所述衬底为体衬底；

[0043] 刻蚀所述衬底，在所述衬底中形成鳍；

[0044] 在所述鳍两侧的衬底上以及鳍的上表面上形成第一掩膜层，在所述第一掩膜层上形成第二掩膜层，以及在所述鳍的侧壁形成第三掩膜层；

[0045] 去除所述鳍的两侧衬底上的部分第二掩膜层，以暴露鳍底部的部分侧壁；

[0046] 从暴露的鳍底部的部分侧壁进行刻蚀，在鳍的底部形成穿孔，以及去除所述第一掩膜层、第二掩膜层以及第三掩膜层；

[0047] 在所述鳍两侧的衬底上及穿孔下的衬底上形成绝缘层，所述穿孔下的绝缘层的厚度小于穿孔的高度；

[0048] 通过所述穿孔形成包围鳍的栅介质层，以及在栅介质层上形成栅电极。

[0049] 上述方法还可以用于制造纳米线的围栅结构的 FINFET，可以在形成穿孔及去除第一、第二和第三掩膜层后，将穿孔上的鳍去除掉一部分后，形成纳米线，进而形成包围该纳米线的栅介质层和栅电极。

[0050] 以上为本发明的围栅结构的鳍式半导体器件的制造方法，提供了在体衬底上制造围栅结构的鳍式半导体器件的解决方案，降低了制造成本。

[0051] 为了更好的理解本发明，以下将结合本发明的制造流程以及制造过程的结构示意图对本发明的实施例进行详细的描述。

[0052] 如图 1 所示，图 1 为本发明的围栅结构的鳍式半导体器件的制造方法的流程图。

[0053] 在步骤 S01，提供衬底 200，所述衬底为体衬底，如图 2 所示。

[0054] 在本实施例中，所述衬底 200 可以包括位于晶体结构中的体硅衬底 (例如晶片)。在其他实施例中，还可以包括其他元素半导体或化合物半导体，例如 Ge、GeSi、GaAs、InP、SiC 或金刚石等。根据现有技术公知的设计要求 (例如 p 型衬底或者 n 型衬底)，衬底 200

可以包括各种掺杂配置。此外,衬底 200 可以可选地包括外延层,可以被应力改变以增强性能。

[0055] 在步骤 S02,刻蚀所述衬底 200,在所述衬底 200 中形成鳍 202,参考图 3 所示。

[0056] 在本实施例中,可以通过在衬底 200 上淀积硬掩膜(图未示出),例如二氧化硅及其上氮化硅,而后图案化硬掩膜,而后可以利用刻蚀技术,例如 RIE 的方法,刻蚀掉一定厚度的衬底,从而在该体衬底 200 中形成鳍 202。

[0057] 在步骤 S03,在所述鳍 202 两侧的衬底 200 上以及鳍 202 的上表面上依次形成第一掩膜层 204 和第二掩膜层 206,以及在所述鳍 202 的侧壁形成第三掩膜层 208,如图 5 所示。

[0058] 在本发明中,所述第二掩膜层 206 相对于第一掩膜层 204 和第三掩膜层 208 具有选择刻蚀性,这样,在后续工艺中,可以通过图案化第二掩膜层 206 来暴露鳍的底部的部分侧壁,进而形成穿孔,而不损伤到鳍的其他部分。

[0059] 在本实施例中,所述第一掩膜层 204 和第三掩膜层 208 可以为二氧化硅,所述第二掩膜层 206 可以为氮化硅,厚度可以大致为将要形成的穿孔的高度,具体地,可以通过以下步骤实现:

[0060] 首先,可以采用例如 PECVD、LTO 等方法淀积氧化硅,从而,在半导体衬底的表面及鳍的顶部形成较厚的氧化硅,而沿鳍的侧壁方向形成较薄的氧化硅,而后进行各向同性刻蚀,例如 RIE 的方法,去除鳍的侧壁上的氧化硅,从而在所述鳍两侧的衬底上以及鳍的上表面上形成氧化硅的第一掩膜层 204,参考图 4 所示。

[0061] 而后,同上述形成第一掩膜层的方法,可以淀积氮化硅,例如 PECVD 的方法,形成在半导体衬底的表面及鳍的顶部形成较厚而沿鳍的侧壁方向形成较薄的氮化硅,而后进行各向同性刻蚀,例如 RIE 的方法,从而在所述第一掩膜层上形成氮化硅的第二掩膜层 206,参考图 4 所示。

[0062] 而后,可以通过在上述器件上淀积二氧化硅后,采用干法刻蚀工艺对该二氧化硅进行反刻,从而在鳍 202 的侧壁形成第三掩膜层,以保护鳍的侧壁,参考图 5 所示。

[0063] 在步骤 S04,去除所述鳍 202 的两侧衬底 200 上的部分第二掩膜层 206,以暴露鳍底部的部分侧壁 210,参考图 6 所示。

[0064] 可以仅暴露所述鳍 202 一侧底部的部分侧壁,也可以暴露所述鳍 202 两侧底部的部分侧壁,暴露出的两侧的侧壁可以是对称分布的。

[0065] 在本实施例中,可以通过图案化所述第二掩膜层 206,对称地去除鳍两侧的部分的第二掩膜层 206,这样,鳍的底部与第二掩膜层相接的部分被暴露出来,两侧暴露出的侧壁 210 部分在鳍两侧是对称分布的,这样,在后续刻蚀工艺中,用以形成底部的穿孔。

[0066] 在步骤 S05,从暴露的鳍的侧壁 210 进行刻蚀,在鳍 202 的底部形成穿孔 212,以及去除所述第一掩膜层 204、第二掩膜层 206 以及第三掩膜层 208,参考图 7 所示。

[0067] 在本实施例中,可以采用湿法刻蚀,例如 TMAH 溶液,在所述第一掩膜层 204、第二掩膜层 206 以及第三掩膜层 208 的掩蔽下,从暴露的鳍的侧壁 210 对鳍的底部进行刻蚀,形成穿孔 212,而后进一步将所述第一掩膜层 204、第二掩膜层 206 以及第三掩膜层 208 都去除,从而形成了桥式结构,如图 7 所示,所述穿孔两端的鳍为支撑,还可以进一步用于形成器件的源漏区,通过该穿孔 212 来形成围栅结构。

[0068] 在步骤 S06,在所述鳍两侧的衬底上及穿孔下的衬底上形成绝缘层 214,所述穿孔

212 下的绝缘层 214 的厚度小于穿孔 212 的高度,参考图 8 所示。

[0069] 在本实施例中,可以通过淀积厚度小于穿孔 212 高度的绝缘材料来形成该绝缘层 214,例如  $\text{SiO}_2$ 。如图 8 所示,所述绝缘层 212 并未全部填满穿孔,后续工艺可以穿过穿孔形成围栅结构,并且所述绝缘层 212 将形成的围栅结构同下面的衬底隔离开。

[0070] 在步骤 S07,通过所述穿孔形成包围鳍的栅介质层,以及在栅介质层上形成栅电极 212,如图 9 所示。

[0071] 所述栅介质层可以为氧化硅、氮氧化硅或高 k 介质材料等,高 k 介质材料例如铪基氧化物,  $\text{HfO}_2$ 、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTiO}$  等。

[0072] 所述栅电极 212 可以为一层或多层结构,栅电极可以包括金属栅电极或多晶硅等,例如可以包括:  $\text{Ti}$ 、 $\text{TiAl}_x$ 、 $\text{TiN}$ 、 $\text{TaN}_x$ 、 $\text{HfN}$ 、 $\text{TiC}_x$ 、 $\text{TaC}_x$ 、 $\text{HfC}_x$ 、 $\text{Ru}$ 、 $\text{TaN}_x$ 、 $\text{TiAlN}$ 、 $\text{WCN}$ 、 $\text{MoAlN}$ 、 $\text{RuO}_x$ 、多晶硅或其他合适的材料,或他们的组合。

[0073] 在本实施例中,可以通过依次淀积高 k 介质材料和金属栅电极后,进行图案化来形成包围所述鳍的围栅结构,从而使鳍的各个表面都可以作为沟道,增大器件的工作电流。

[0074] 至此,形成了本发明实施例的围栅结构的鳍式半导体器件,而后,可以根据需要,完成后续加工工艺,例如形成源漏区,在本发明中,可以在穿孔两端的鳍中,也就是围栅结构的两侧的鳍中,形成源漏区,以及可以进一步形成器件间的隔离结构和接触塞等等。

[0075] 以上对本发明的实施例进行了详细的描述,在更优选的实施例中,在上述实施例形成桥式结构之后,即形成穿孔并去除第一、第二和第三掩膜层后,可以形成纳米线,而后在纳米线上形成围栅结构。

[0076] 在该优选实施例中,在形成穿孔并去除第一、第二和第三掩膜层的步骤同上述实施例中 S01-S05 的步骤相同,在此不再赘述,之后的步骤可以包括以下具体步骤:

[0077] 在步骤 S051,填充所述穿孔 212 以及覆盖所述鳍 202 两侧的衬底 200 以形成绝缘层 214,如图 10 所示。

[0078] 在本实施例中,可以通过淀积 TEOS 来形成该绝缘层 214。

[0079] 在步骤 S052,在所述穿孔 212 两端的鳍的上表面、侧壁以及两侧的绝缘层 214 上形成第四掩膜层 216,如图 11 所示。

[0080] 在本实施例中,可以通过淀积氮化硅,而后进行图案化,来形成该第四掩膜层 216,所述第四掩膜层将通孔两端的鳍都遮盖住,仅暴露通孔之上的鳍的部分。

[0081] 在步骤 S053,进行氧化工艺,将所述穿孔之上的鳍部分氧化,并去除穿孔之上的鳍的被氧化的部分,穿孔之上剩余的鳍为纳米线,参考图 12 所示。

[0082] 在本实施例中,具体地,首先,进行氧化工艺,由于通孔之上的鳍暴露出来,而其他部分被遮盖,只有通孔之上的鳍会被氧化,通过控制氧化工艺的条件,仅部分氧化该部分的鳍,而后,通过刻蚀工艺,例如湿法刻蚀,将该被氧化的部分去除,仅剩下未被氧化的鳍部分,穿孔之上剩余的鳍为纳米线,所述穿孔之上剩余的鳍的直径可以小于 10nm。而后,去除第四掩膜层。

[0083] 在步骤 S61,去除所述穿孔 212 中的部分绝缘层 214,以使所述穿孔 212 下的绝缘层 214 的厚度小于穿孔的高度,参考图 12 所示。

[0084] 在本实施例中,可以仍以第四掩膜层为掩蔽,进一步刻蚀去除穿孔下的一定厚度的绝缘层 214,使所述穿孔 212 下的绝缘层 214 的厚度小于穿孔的高度,使穿孔用于形成围

栅的同时,下部还具有绝缘层。

[0085] 更优地,在去除部分绝缘层后,还可以进行  $H_2$  环境下的热退火,以修复纳米线的表面。

[0086] 而后,去除第四掩膜层,如图 12 所示。

[0087] 至此,形成了本实施例的纳米线以及纳米线之下的绝缘层。

[0088] 而后,通过纳米线下的穿孔形成包围纳米线的栅介质层,以及栅介质层上的栅电极,从而形成围栅结构。此步骤同前述实施例的步骤 S07,在此不在赘述。

[0089] 而后,可以根据需要,完成后续加工工艺,例如形成源漏区,在本发明中,可以在穿孔两端的鳍中,也就是围栅结构的两侧的鳍中,形成源漏区,以及可以进一步形成器件间的隔离结构和接触塞等等。

[0090] 虽然本发明已以较佳实施例披露如上,然而并非用以限定本发明。任何熟悉本领域的技术人员,在不脱离本发明技术方案范围情况下,都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰,或修改为等同变化的等效实施例。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。



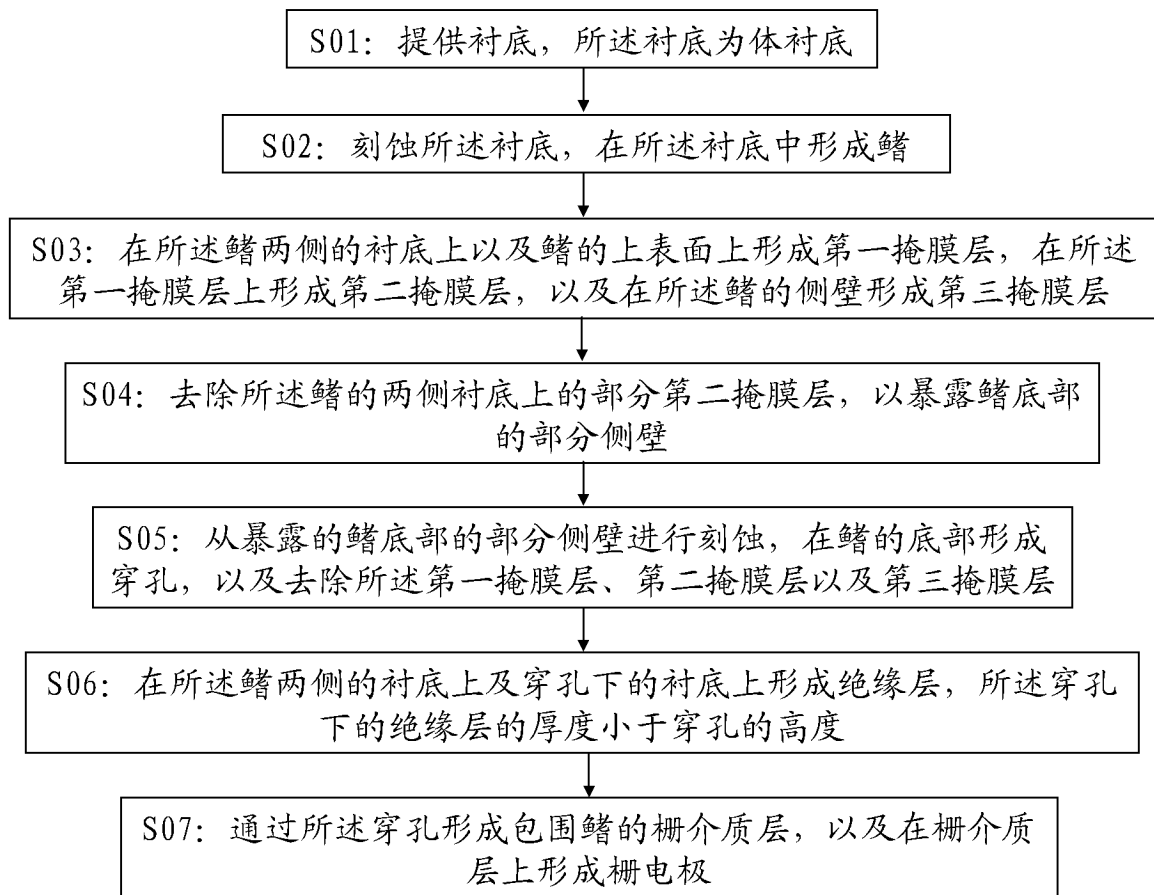


图 1

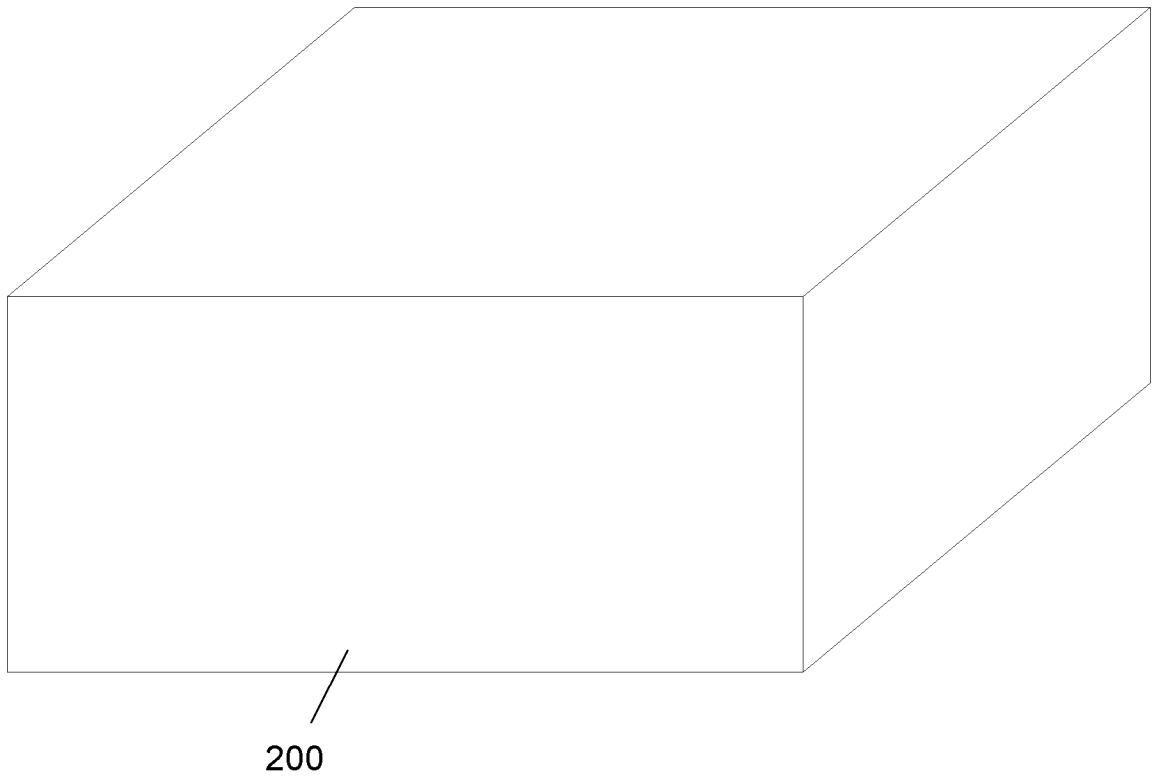


图 2

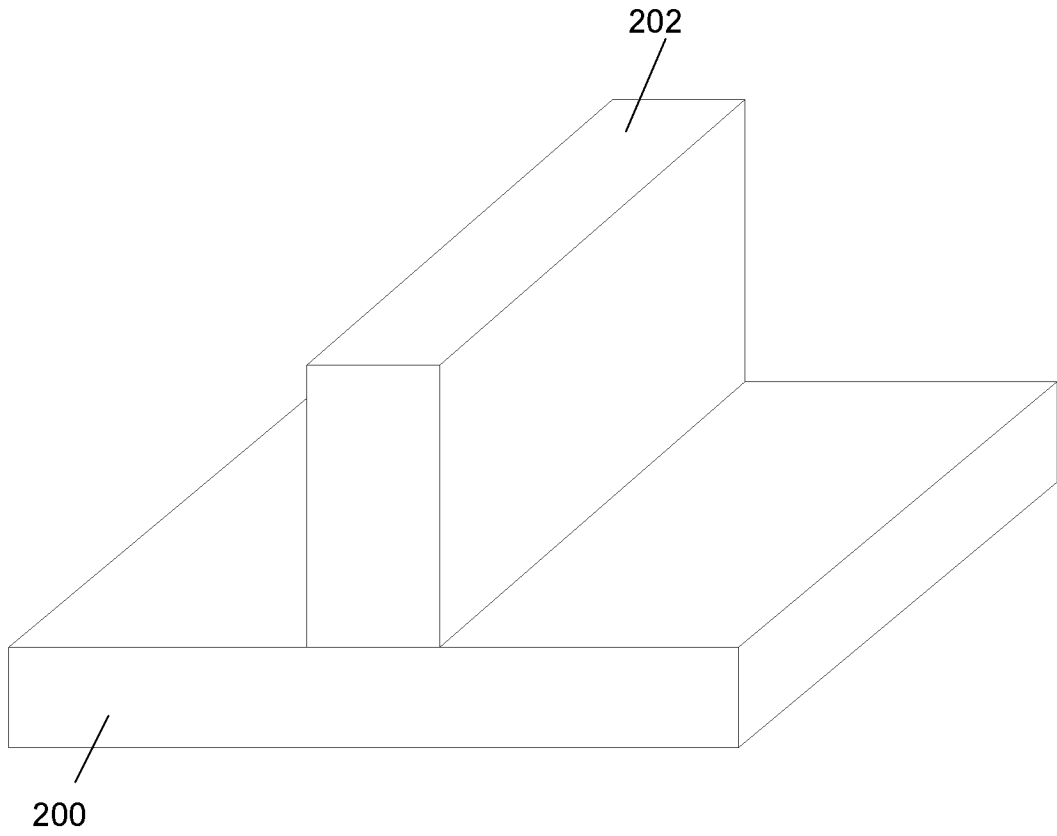


图 3

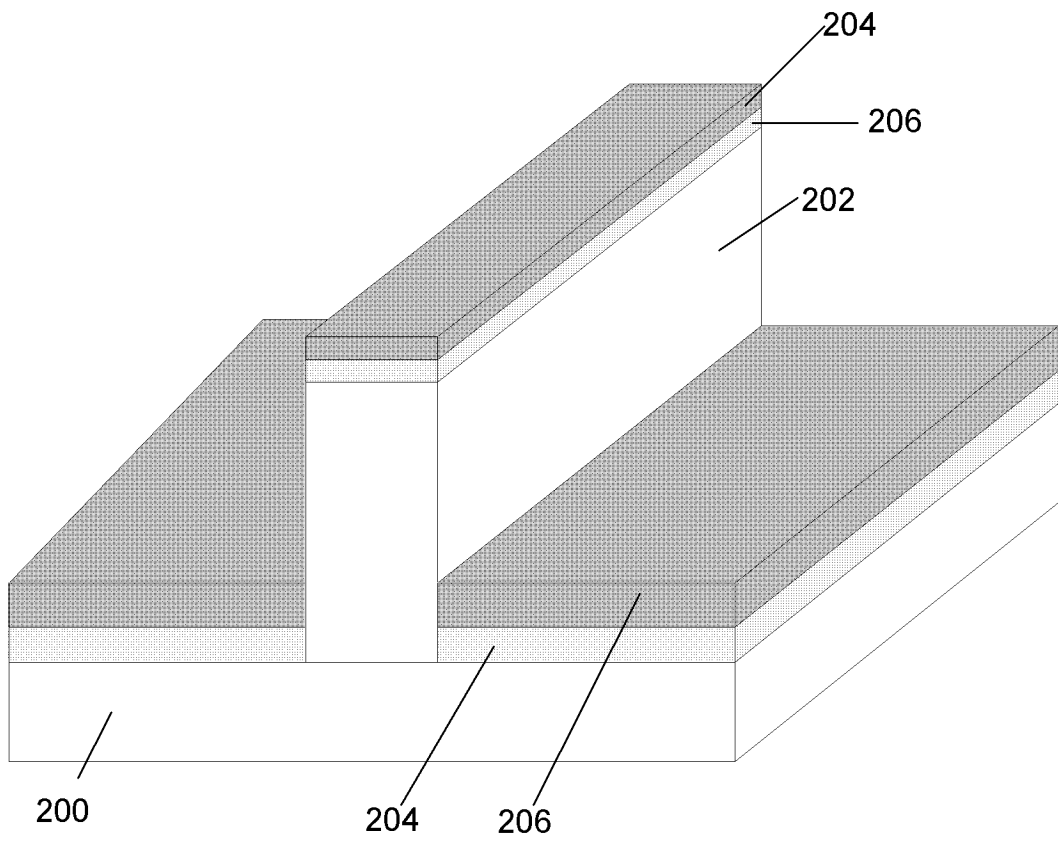


图 4

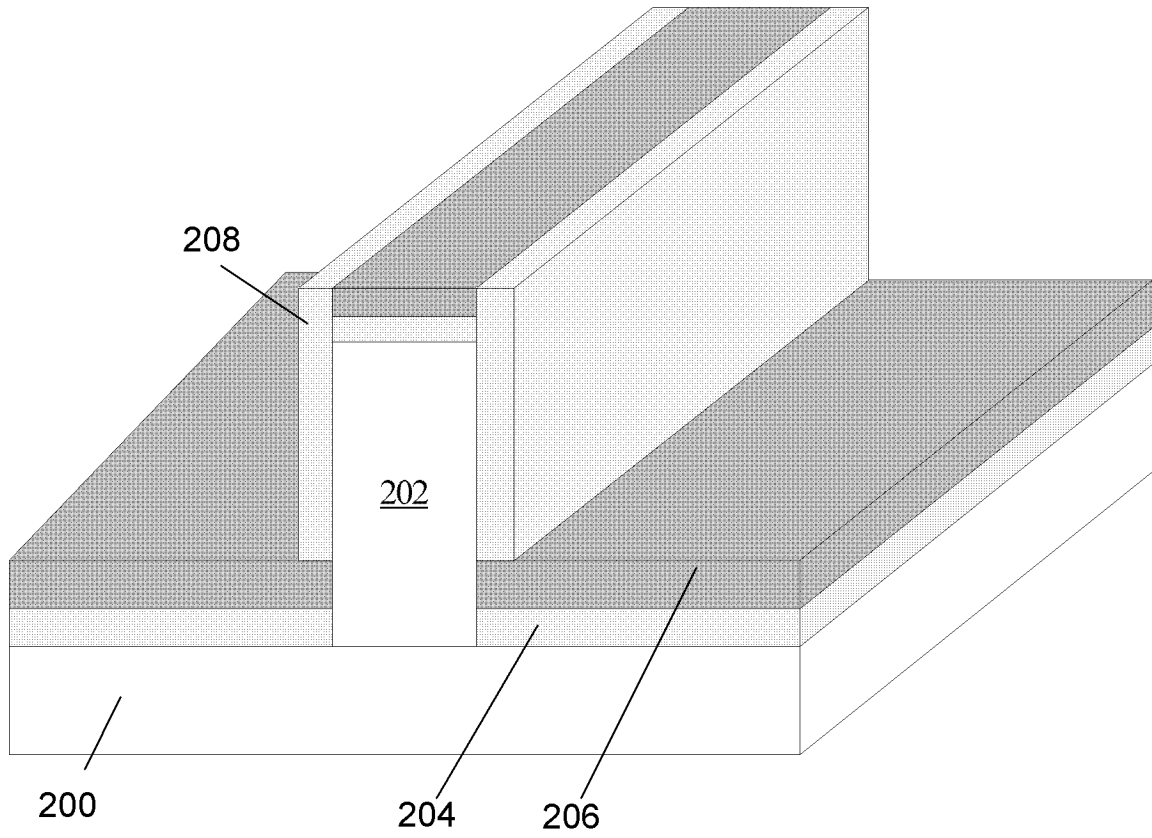


图 5

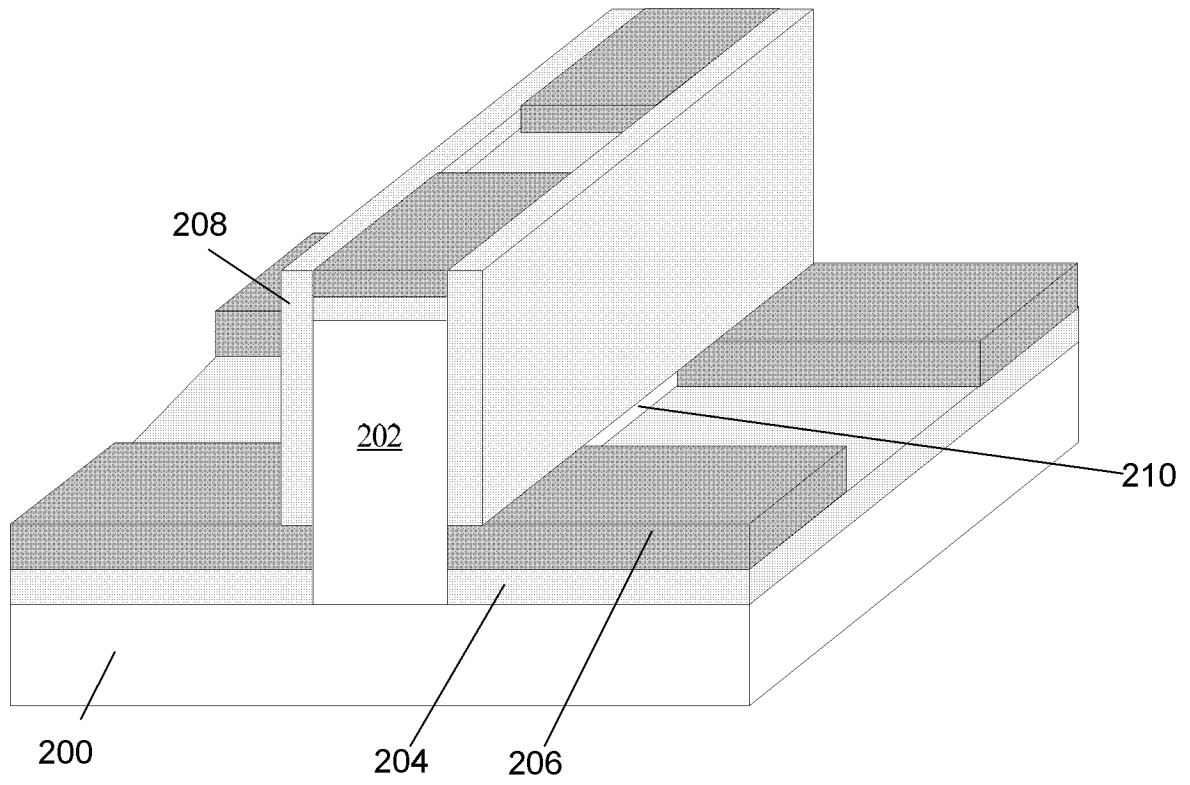


图 6

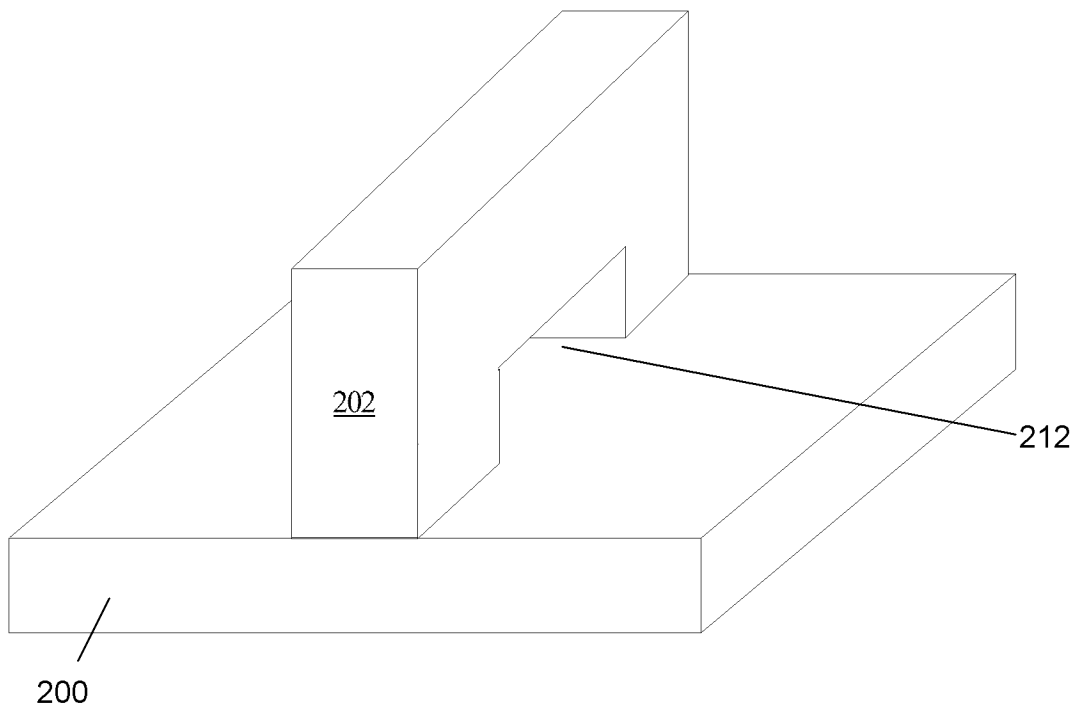


图 7

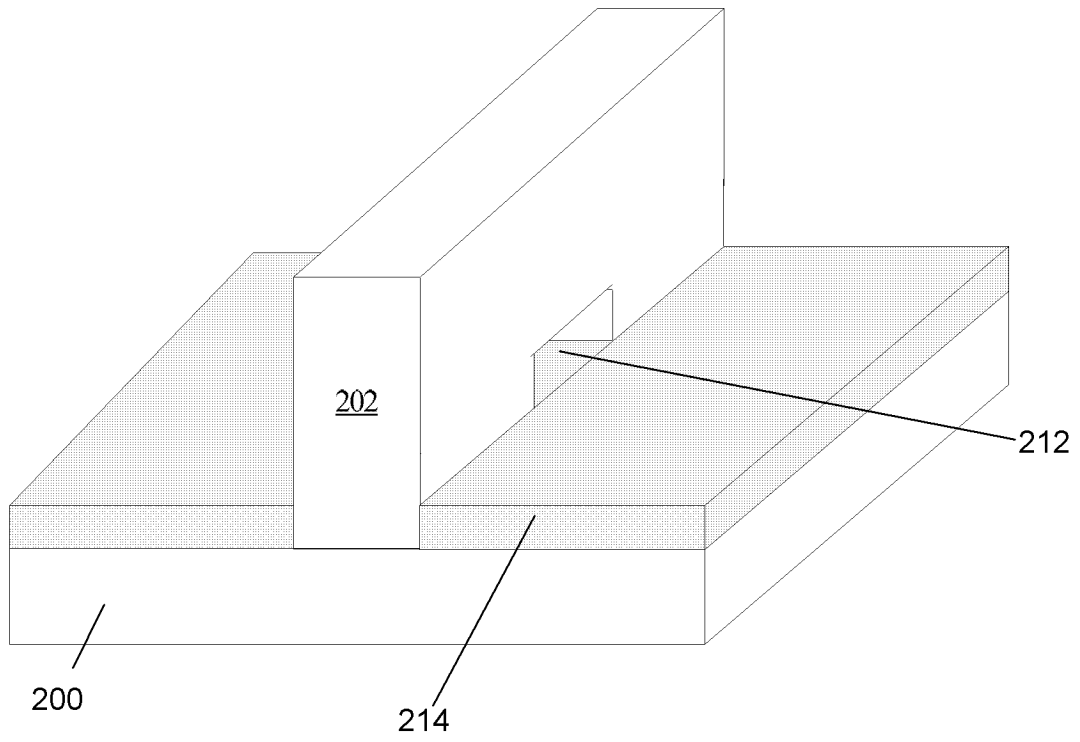


图 8

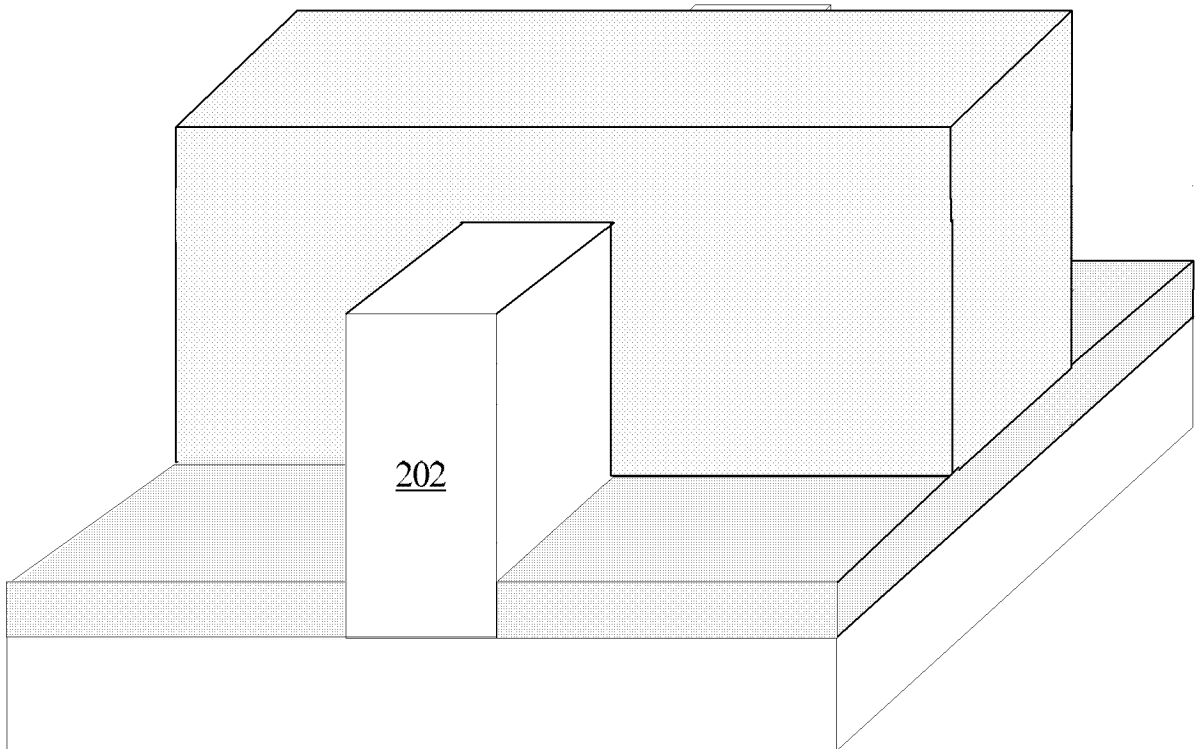


图 9

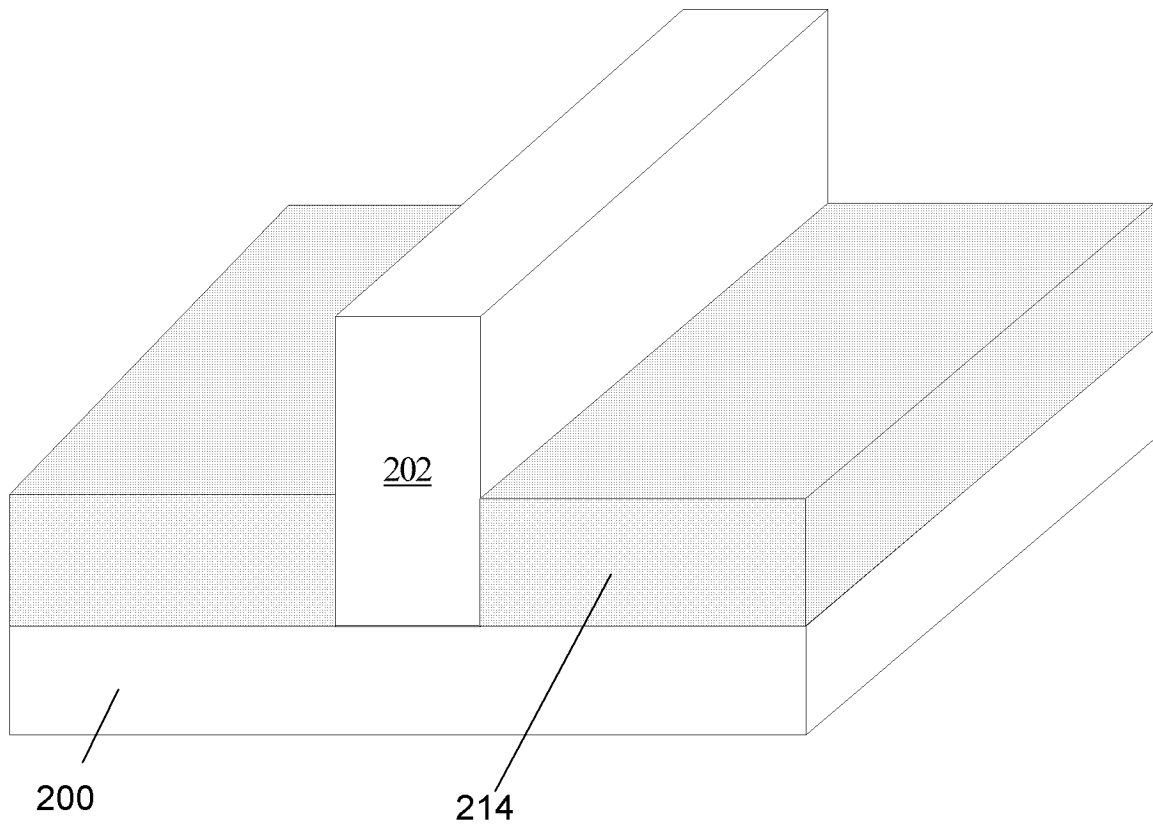


图 10



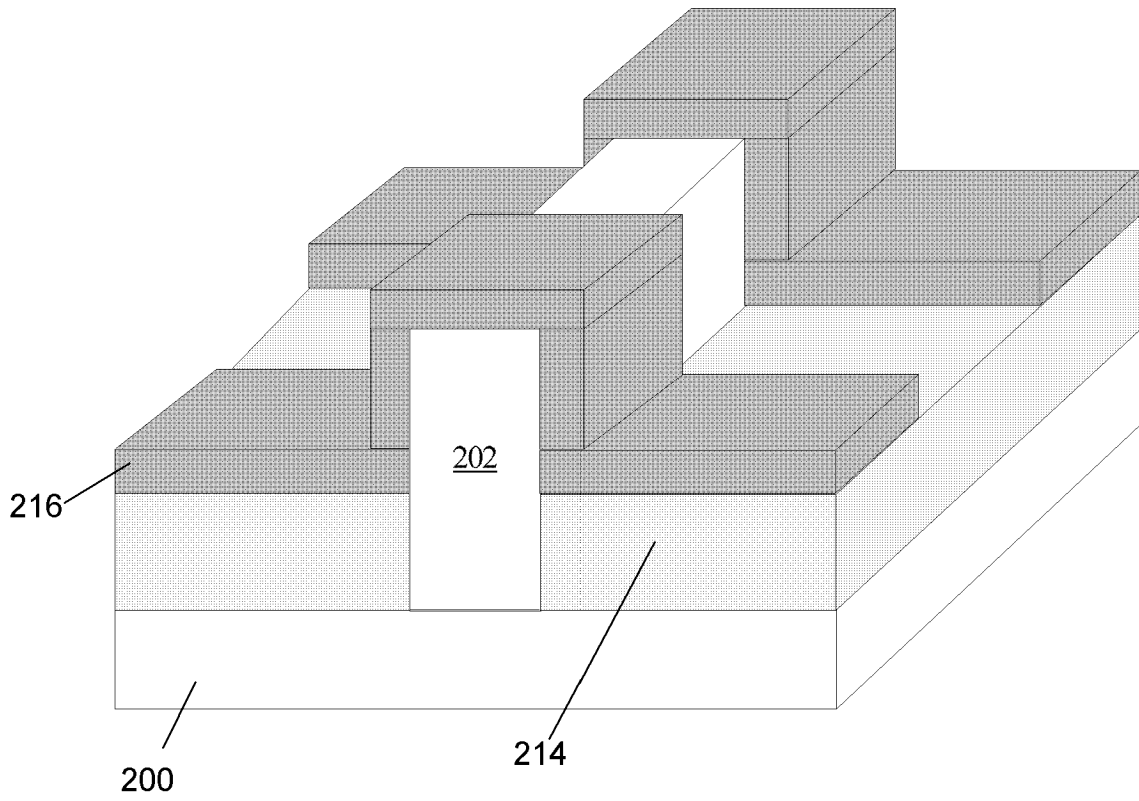


图 11

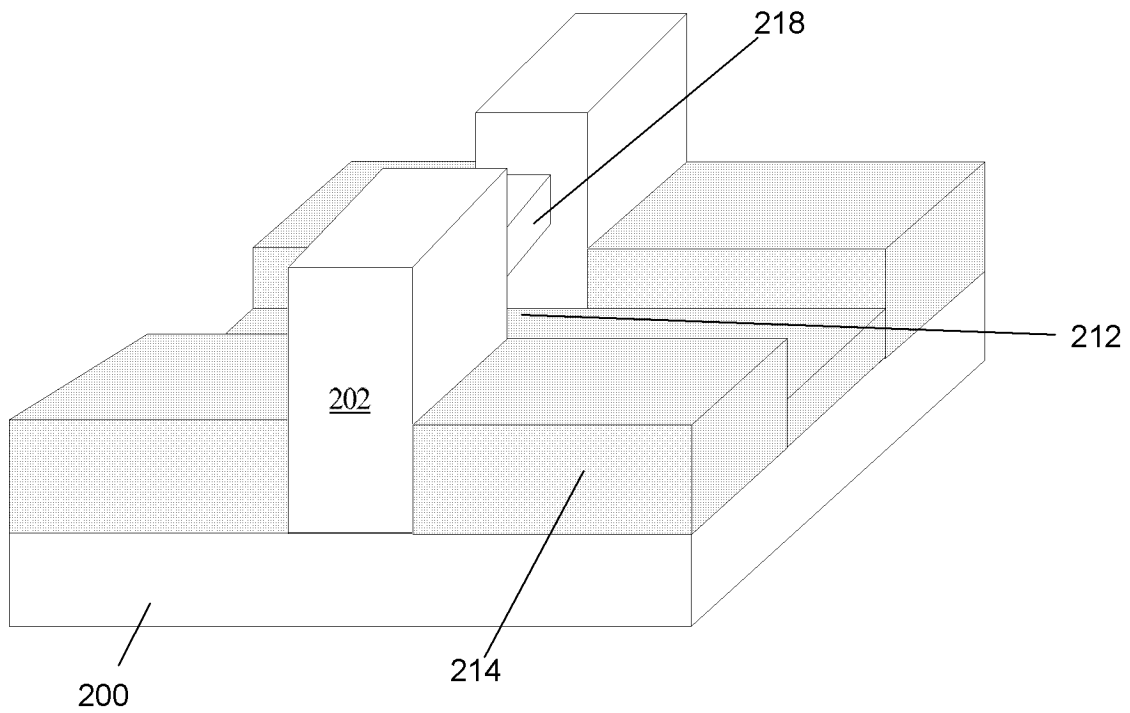


图 12

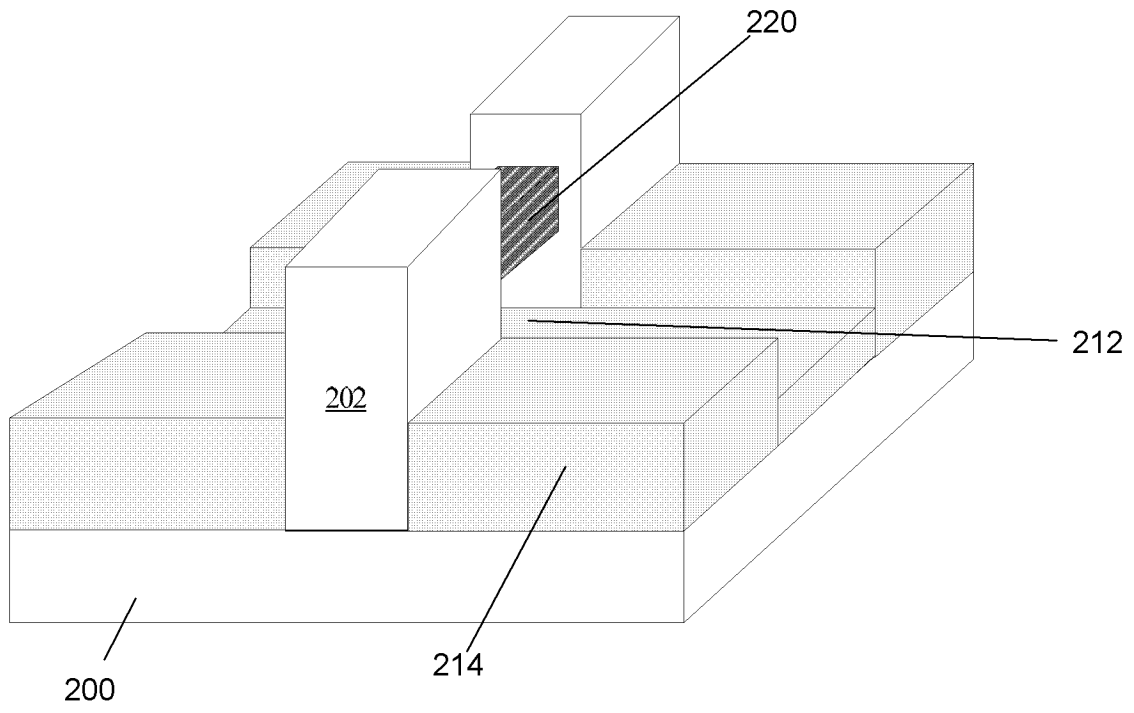


图 13

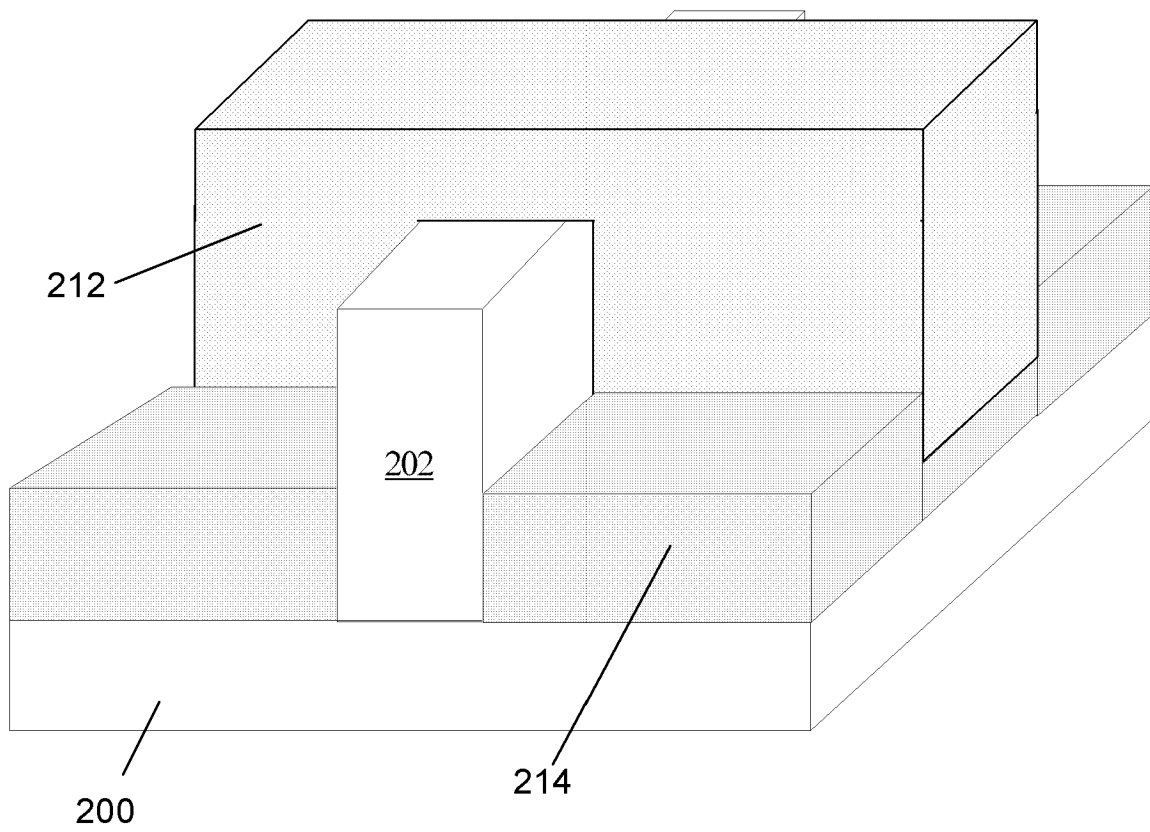


图 14