



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201306472 A1

(43) 公開日：中華民國 102 (2013) 年 02 月 01 日

(21) 申請案號：101113933

(22) 申請日：中華民國 101 (2012) 年 04 月 19 日

(51) Int. Cl. : *H03D7/12 (2006.01)* *H04B1/40 (2006.01)*

(30) 優先權：2011/04/19 美國 13/089,832

(71) 申請人：芯思睿有限公司 (美國) ICERA LLC (US)

美國

(72) 發明人：貝拉歐爾 阿蔔杜拉提夫 BELLAOUAR, ABDELLATIF (DZ) ; 李 西圖爾 LEE, SEE TAUR (MY)

(74) 代理人：蔡濱陽

申請實體審查：有 申請專利範圍項數：15 項 圖式數：11 共 32 頁

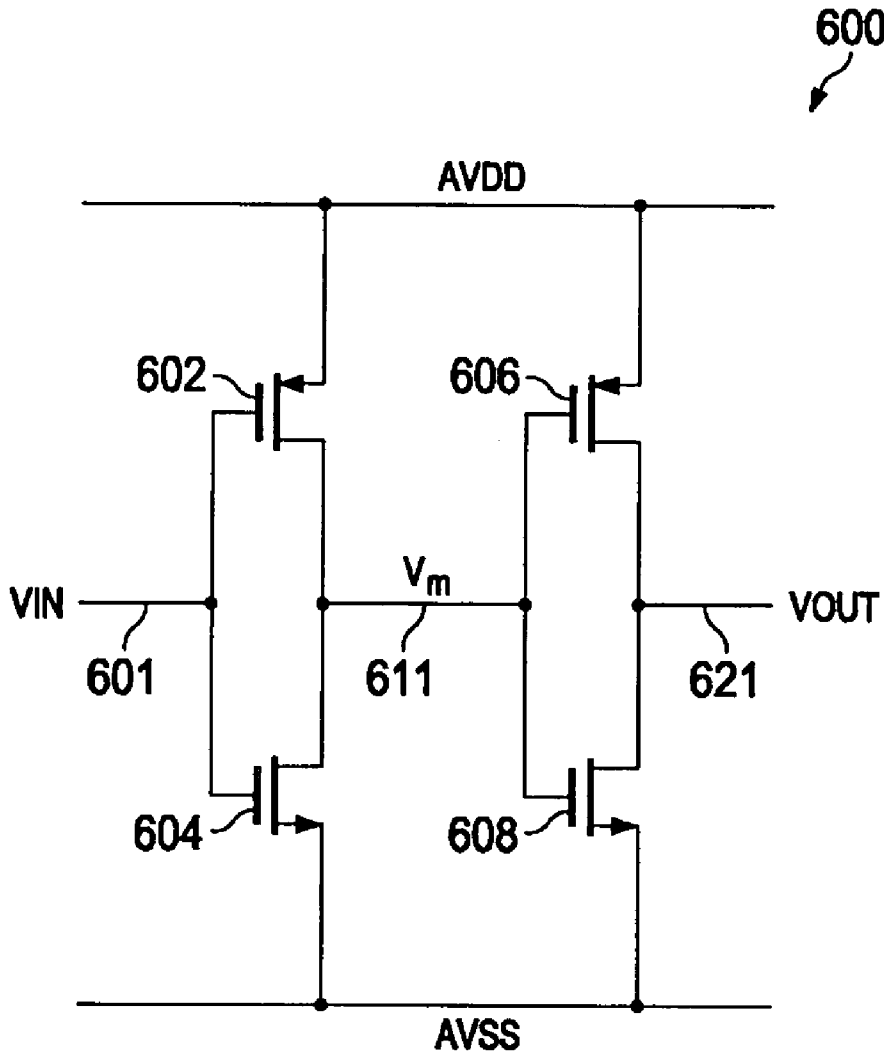
(54) 名稱

局部振盪器時脈信號

LOCAL OSCILLATOR CLOCK SIGNALS

(57) 摘要

本發明揭示一種用於對於一混頻器電路產生互補式週期信號的裝置與方法。該裝置包含第一與第二產生電路，其每一者用於產生一週期信號，其在每一上升邊緣的轉換時間不同於在每一下降邊緣的轉換時間。該等第一與第二產生電路之每一者具有一輸出端，用於供應其週期信號至一混頻器，使得來自該等電路之一者的一週期信號之每一上升邊緣於該混頻器的一開啟電壓之下一交叉點處交叉來自該等電路之另一者的一週期信號之每一下降邊緣。



600

- 600：局部振盪器信號產生電路
- 601：輸入線
- 602：上拉式 p 型金氧半導體電晶體
- 604：下拉式 n 型金氧半導體電晶體
- 606：上拉式 p 型金氧半導體電晶體
- 608：下拉式 n 型金氧半導體電晶體
- 611：線
- 621：輸出線



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201306472 A1

(43) 公開日：中華民國 102 (2013) 年 02 月 01 日

(21) 申請案號：101113933

(22) 申請日：中華民國 101 (2012) 年 04 月 19 日

(51) Int. Cl. : *H03D7/12 (2006.01)* *H04B1/40 (2006.01)*

(30) 優先權：2011/04/19 美國 13/089,832

(71) 申請人：芯思睿有限公司 (美國) ICERA LLC (US)

美國

(72) 發明人：貝拉歐爾 阿蔔杜拉提夫 BELLAOUAR, ABDELLATIF (DZ) ; 李 西圖爾 LEE, SEE TAUR (MY)

(74) 代理人：蔡濱陽

申請實體審查：有 申請專利範圍項數：15 項 圖式數：11 共 32 頁

(54) 名稱

局部振盪器時脈信號

LOCAL OSCILLATOR CLOCK SIGNALS

(57) 摘要

本發明揭示一種用於對於一混頻器電路產生互補式週期信號的裝置與方法。該裝置包含第一與第二產生電路，其每一者用於產生一週期信號，其在每一上升邊緣的轉換時間不同於在每一下降邊緣的轉換時間。該等第一與第二產生電路之每一者具有一輸出端，用於供應其週期信號至一混頻器，使得來自該等電路之一者的一週期信號之每一上升邊緣於該混頻器的一開啟電壓之下一交叉點處交叉來自該等電路之另一者的一週期信號之每一下降邊緣。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101113933

※ 申請日： 101. 4. 19      ※IPC 分類： H03D 7/12 (2006.01)

一、發明名稱：(中文/英文)      H04B 1/40 (2006.01)

局部振盪器時脈信號

LOCAL OSCILLATOR CLOCK SIGNALS

## 二、中文發明摘要：

本發明揭示一種用於對於一混頻器電路產生互補式週期信號的裝置與方法。該裝置包含第一與第二產生電路，其每一者用於產生一週期信號，其在每一上升邊緣的轉換時間不同於在每一下降邊緣的轉換時間。該等第一與第二產生電路之每一者具有一輸出端，用於供應其週期信號至一混頻器，使得來自該等電路之一者的一週期信號之每一上升邊緣於該混頻器的一開啟電壓之下一交叉點處交叉來自該等電路之另一者的一週期信號之每一下降邊緣。

## 三、英文發明摘要：

An apparatus and method for generating complementary periodic signals for a mixer circuit. The apparatus comprising first and second generation circuits each for generating a periodic signal with a transition time on each rising edge different than a transition time on each falling edge. Each of the first and second generation circuits having an output for supplying its periodic signal to a mixer such that each rising edge of a periodic signal from one of the circuits crosses each falling edge of a periodic signal from the other of the circuits

at a crossing point below a turn on voltage of the mixer.

四、指定代表圖：

(一)本案指定代表圖為：第(六)圖。

(二)本代表圖之元件符號簡單說明：

600 局部振盪器信號產生電路	606 上拉式 p 型金氧半導體電晶體
601 輸入線	608 下拉式 n 型金氧半導體電晶體
602 上拉式 p 型金氧半導體電晶體	611 線
604 下拉式 n 型金氧半導體電晶體	621 輸出線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

at a crossing point below a turn on voltage of the mixer.

四、指定代表圖：

(一)本案指定代表圖為：第(六)圖。

(二)本代表圖之元件符號簡單說明：

600 局部振盪器信號產生電路

601 輸入線

602 上拉式 p 型金氧半導體電晶體

604 下拉式 n 型金氧半導體電晶體

606 上拉式 p 型金氧半導體電晶體

608 下拉式 n 型金氧半導體電晶體

611 線

621 輸出線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

## 【發明所屬之技術領域】

本發明關於一種用於在一收發器中升頻轉換的混頻器，及關於一種用於提供其一局部振盪器時脈信號的電路。

## 【先前技術】

無線裝置已經使用了多年用於達成語音與資料的行動通訊。這些裝置包括例如行動電話與無線式個人數位助理(PDA, “Personal digital assistant”)。第一圖為這種無線裝置之該等核心組件的一般方塊圖。無線核心 10 包括一基頻處理器 12，其用於控制該無線裝置之特定應用功能，且用於提供語音或資料信號至一射頻(RF, “Radio frequency”)收發器晶片 14 或自其接收。RF 收發器晶片 14 負責傳輸信號的升頻轉換，及接收信號的降頻轉換。RF 收發器晶片 14 包括連接至一天線 18 用於接收自一基地台或另一行動裝置傳送信號之一接收器核心 16，及經由一增益電路 22 透過天線 18 傳送信號的一發射器核心 20。本技術專業人士必須瞭解到第一圖為一簡化的方塊圖，其可包括要達到適當作業或功能性所需要的其它功能性方塊。

一般而言，發射器核心 20 負責將電磁信號由基頻升頻轉換至用於傳輸的較高頻率，而接收器核心 16 負責將那些高頻率到達該接收器時降頻轉換到它們原來的頻率波段，其分別稱之為升頻轉換與降頻轉換的程序。該原始(或基頻)信號可為例如資料、語音或視訊。這些基頻信號可由像是麥克風或攝影機的換能器所產生，其係由電腦產生，或由一電子式儲存裝置所傳遞。概言之，該等較高的頻率提供了比該等基頻信號要長的範圍，及較高容量的頻道。

第二圖所示為經由發射器核心 20 至天線 18 的一示例傳送路徑。如第二圖所示，該傳送路徑可包括一混頻器 202，其配置成接收來自基頻處理器 12 的基頻信號，該混頻器負責使用

由一局部振盪器 204 產生的一局部振盪器信號升頻轉換該等基頻信號至一較高頻率。該傳送路徑另可包括用於移除基頻成分與抑制諧波的一濾波器 206，及用於放大該調變的信號之功率的一功率放大器 208。在該傳送路徑中的該等組件並非包含全部，本技術專業人士將可瞭解到該特定組態將根據所關聯的該通訊標準與所選擇的架構實作而定。

現在將參照第三圖說明一種已知的被動式 CMOS(互補對稱性金氧半導體，"Complementary-symmetry metal-oxide-semiconductor)混頻器電路 300。

該等基頻信號係根據任何一種已知的協定藉由利用資料調變一基頻載波所產生的類比信號。

CMOS 被動式混頻器電路 300 自一基頻處理器接收差動式基頻信號(VBBP, VBBM)。此處所使用的術語"差動式"(differential)係描述該等基頻信號(VBBP, VBBM)彼此實質上為相反相位，即相位差 180 度。混頻器電路 300 包括 n 型金氧半(NMOS)場效電晶體 302、304、306 與 308 配置成接收該等基頻信號 VBBP 與 VBBM，並由差動式局部振盪器信號(VLOP、VL0M)計時。NMOS 電晶體 302、304、306 與 308 提供差動式輸出 VOP 與 VOM。

雖然 CMOS 被動式混頻器電路 300 係利用 NMOS 電晶體做說明，本技術專業人士將可瞭解電晶體 302、304、306 與 308 可被選擇為 p 型金氧半(PMOS)場效電晶體。

在作業中，混頻器電路 300 使用該等局部振盪器信號(VLOP、VL0M)升頻轉換該等基頻信號(VBBP、VBBM)至一需要的 RF 傳送頻率。

對於要操作的被動式混頻器 300，該等基頻信號需要以最小失真來驅動在該輸出端處具有一負載的該被動式混頻器。來自該基頻處理器的任何失真將會降低被動式混頻器電路 300 的線性度。



用於 RF 發信的該等已知協定之一種協定使用複雜同相位 (I) 與正交相位 (Q) 信號，其中每一者可為差動格式。

國際專利申請案 WO 2010/025556 揭示一種 IQ 被動式混頻器 400，其現在將參照第四圖做說明。

該等 I 與 Q 路徑之該等差動式基頻輸入信號標示為 VBBQP、VBBQM、VBBIP 與 VBBIM。被動式 IQ 混頻器 400 對於由適當的 LO 信號 VLOIP、VLOIM、VLOQP 及 VLOQM 計時的該等 I/Q 路徑包含 NMOS 電晶體 402、404、406、408、410、412、414、416，其中該等 LO 信號為具有 I 與 Q 成分的差動信號。

被動式 IQ 混頻器 400 的該等差動輸出，即 VOP 與 VOM 為在稍後經由交流耦合電容器(未示於第四圖)驅動一放大器(例如功率放大器 208)的電壓輸出。

該等 LO 信號(VLOIP、VLOIM、VLOQP 與 VLOQM)為 0V 到 1.2V 的一正方形波，並設計成具有較低的上升與下降時間，此配置可以省略傳統上用於該發射器的輸出端處的表面聲波(SAW, “Surface acoustic wave”)濾波器。因此，此有助於最小化所需要之外部組件的數目、所需要的板面積，因此可降低該晶片之整體成本。

第五圖所示為基本上於包含時槽 1 到 8 的一段時間內應用至 IQ 被動式混頻器 400 的該等局部振盪器信號。

如第五圖所示，局部振盪器信號 VLOIP 與 VLOIM 皆具有 50% 的工作循環，且實質上彼此為相反相位，即 180 度相位差。同樣地，VLOQP 與 VLOQM 皆具有 50% 的工作循環，且實質上彼此為相反相位，即 180 度相位差。在 Q 路徑上的該等局部振盪器信號 VLOQP、VLOQM 在落後在 I 路徑上該等局部振盪器信號 VLOIP、VLOIM 有 90 度。

第五圖中的該等局部振盪器信號 VLOIP 與 VLOIM，及 VLOQP 與 VLOQM 通常於該電源供應器的中點處交叉。

於該交叉點期間，於該等輸出 VOP、VOM 處有一段短時間 VBBQP 與 VBBQM 或是 VBBIP 與 VBBIM 被短路在一起。

此可例如由當該 VLOIP 振盪器信號由一「低」狀態升高至「高」狀態，及該 VLOIM 局部振盪器信號由一「高」狀態下降至「低」狀態時的時槽 1 與 2 之間看出。請回頭參照第四圖所示之 IQ 被動式混頻器 400，於該等 VLOIP 與 VLOIM 局部振盪器信號的該等轉換期間，將有一段短時間電晶體 402、404、406 與 408 將皆被開啟。因此，該等基頻輸入信號 VBBQP 與 VBBQM 將於該輸出 VOP 處與該輸出 VOM 處被短路在一起。此即降低增益，並於該等輸出信號 VOP、VOM 處產生失真，且最終降低該 CMOS 被動式混頻器的線性度。

本發明之目的在於提供對於前述問題之一種解決方案以達到一高度線性的 CMOS 被動式混頻器。

#### 【發明內容】

根據本發明一種態樣，提供一種用於產生一混頻器電路之互補式週期信號的裝置，該裝置包含：第一與第二產生電路，其每一者用於產生一週期信號，其於每一上升邊緣的轉換時間不同於在每一下降邊緣的轉換時間，每一電路具有一輸出用於供應其週期信號至一混頻器，使得來自該等電路之一者的一週期信號之每一上升邊緣於低於該混頻器之開啟電壓的一交叉點處交叉於來自該等電路之另一者的一週期信號之每一下降邊緣。

此裝置之優點在於當該等週期信號被連接來控制一混頻器之第一與第二電晶體，該第一週期信號控制該第一電晶體，而該第二週期信號控制該第二電晶體，使得該等第一與第二電晶體中在任何時間當中僅有一者被開啟。如此可避免前述之短路問題。

該等互補式週期信號在以下稱之為局部振盪器信號，因為當其用於控制一混頻器時，他們係在該混頻頻率上。

較佳地是，每一上升邊緣的轉換時間要慢於每一下降邊緣的轉換時間。

較佳地是，該等第一與第二產生電路之每一者包含串聯連接的一第一 CMOS 反向器與一第二 CMOS 反向器。

較佳地是，該等第一與第二產生電路的該等第一 CMOS 反向器之每一者設置成接收一正方形波，該等正方形波具有相等振幅與相反相位。

較佳地是，該第一 CMOS 反向器包含串聯連接且不同尺寸的一 PMOS 與 NMOS 電晶體，而該第二 CMOS 反向器包含串聯連接且不同尺寸的一 PMOS 與 NMOS 電晶體。

關於在該等第一與第二 CMOS 反向器中該等電晶體的尺寸問題，該等電晶體之該等通道寬度之尺寸可使得該第一 CMOS 反向器之 PMOS 電晶體之通道寬度大於該第一 CMOS 反向器之 NMOS 電晶體，而該第二 CMOS 反向器之 NMOS 電晶體之通道寬度大於該第二 CMOS 反向器的 PMOS 電晶體。

關於在該等第一與第二 CMOS 反向器中該等電晶體的尺寸問題，該等電晶體之該等通道長度之尺寸可使得該第一 CMOS 反向器之 PMOS 電晶體之通道長度小於該第一 CMOS 反向器之 NMOS 電晶體，而該第二 CMOS 反向器之 NMOS 電晶體之通道長度小於該第二 CMOS 反向器的 PMOS 電晶體。

較佳地是，該等第一與第二產生電路被連接於上方與下方電壓供應軌之間，該交叉點係在該等電壓之中點之下。

本發明另一種態樣提供一種對於一混頻器產生互補式週期信號的方法，該方法包括：由一第一與第二產生電路之每一者產生第一與第二週期信號，其在每一上升邊緣的轉換時間不同於在每一下降邊緣的轉換時間；於用於連接至該混頻器的一第一輸出端處供應該第一週期信號；及於用於連接至該混頻器

的一第二輸出端處供應該第二週期信號，使得於該第一輸出端處每一上升邊緣被計時來於該混頻器的一開啟電壓之下一交叉點處交叉於該第二輸出端處每一下降邊緣。

本發明又另一種態樣提供一種包含一第一與第二電晶體的一 CMOS 被動式混頻器，該 CMOS 被動式混頻器另包含：第一與第二產生電路，其每一者用於產生一週期信號，其在每一上升邊緣的轉換時間不同於每一下降邊緣的轉換時間，每一電路具有一輸出端用於供應其週期信號至一混頻器，使得來自該等電路之一者的一週期信號之每一上升邊緣於該混頻器的一開啟電壓之下一交叉點處交叉來自該等電路之另一者的一週期信號之每一下降邊緣；其中來自該第一產生電路的週期信號控制該第一電晶體，而來自該第二產生電路的週期信號控制該第二電晶體，使得該等第一與第二電晶體中在任何時間僅有一者被開啟。

較佳地是，在該 CMOS 被動式混頻器中該等第一與第二電晶體為原生電晶體。一原生電晶體為一種電晶體，其中該通道並未摻雜，因此該臨界電壓大約為零。當使用核心電晶體時（具有某一臨界電壓的電晶體），由於來自該被動式混頻器中該等電晶體之非零的臨界電壓，在該等電晶體之閘極中需要一直流偏壓電壓。因此，在驅動該混頻器之該等電晶體的閘極之前，需要交流耦合該等局部振盪器信號。此可降低該等局部振盪器信號擺盪，且亦增加該晶片面積。該等原生電晶體允許較大的基頻輸入信號擺盪，因此該 CMOS 被動式混頻器可達到非常高的 SNR（例如在 RX 波段中可達到 SNR 為 -160dBc/Hz），且該局部振盪器信號可驅動該混頻器的該等電晶體之閘極，而不會有任何直流漂移。

另外，利用在該被動式混頻器中的原生電晶體，該被動式開關的 ON 阻抗係反比於  $V_{gs} - V_{th}$ （其中  $V_{gs}$  為該閘極源極電壓，而  $V_{th}$  為該臨界電壓）。因為原生電晶體的臨界電壓大約

為零，該 ON 阻抗相較於使用核心電晶體將較不敏感於該等原生電晶體的臨界電壓變化。因此，本發明之局部振盪器洩漏較不敏感於在該混頻器中所有該等元件的臨界電壓。

較佳地是，來自該等第一與第二產生電路的該等週期信號之每一者係位在該混頻器的一混頻頻率下。

在該 CMOS 被動式混頻器之一具體實施例中，該等第一與第二電晶體配置成自一驅動器電路接收一輸出信號，該驅動器電路包含：一第一電路分支，其具有第一與第二電路組件配置成分別接收一輸入信號與一偏壓信號；一第二電路分支，其具有第一與第二電路組件，該第一組件配置成接收該輸入信號；及一運算放大器，其具有一第一輸入連接至該第一電路分支的該等第一與第二電路組件之一接點節點，及一第二輸入連接至該第二電路分支的該等第一與第二電路組件的一接點節點，該運算放大器配置成提供一運算放大器輸出信號至該第二電路分支的該第二組件，所以於該第二電路分支的該接點節點電處的電壓等於該第一電路分支的該接點節點處的電壓，該電壓係根據該輸入信號並提供該驅動信號。較佳地是，該輸入信號為一基頻輸入信號。

可用於本發明之混頻器中的另一種驅動器電路包含第一與第二電路組件配置成分別接收一輸入信號與一偏壓信號，並經由一電阻器供應一輸出信號至該等第一與第二電晶體。較佳地是，該輸入信號為一基頻輸入信號。

### 【實施方式】

現在將參照第六圖說明根據本發明一具體實施例用於產生局部振盪器信號之一種電路。

如第六圖所示，局部振盪器信號產生電路 600 包含串聯連接的兩個 CMOS 反向器。一第一 CMOS 反向器包括串聯連接於一下拉式 NMOS 電晶體 604 的一上拉式 PMOS 電晶體 602。

PMOS 電晶體 602 與 NMOS 電晶體 604 的該等閘極終端被連接在一起，且於線 601 上接收一輸入信號 VIN。該輸入信號為具有 50%工作循環的一週期信號，以一需要的頻率在高與低狀態之間振盪。該輸入信號 VIN 的頻率係根據所需要之該局部振盪器輸出的頻率來選擇。PMOS 電晶體 602 的源極終端連接至該供應電壓 AVDD，NMOS 電晶體 604 的源極終端連接至該供應電壓 AVSS，而 PMOS 電晶體 602 與 NMOS 電晶體 604 的該等汲極終端連接在一起來在線 611 上提供該第一 CMOS 反向器的一輸出 Vm。AVDD 可為 1.2V，而 AVSS 可為 0V，但是將可瞭解到其可選擇其它數值的供應電壓。

一第二 CMOS 反向器包括串聯連接於一下拉式 NMOS 電晶體 608 的一上拉式 PMOS 電晶體 606。PMOS 電晶體 606 與 NMOS 電晶體 608 的該等閘極終端連接在一起，且在線 611 上接收該第一 CMOS 反向器的該輸出 Vm。PMOS 電晶體 606 的源極終端連接至該供應電壓 AVDD，NMOS 電晶體 608 的源極終端連接至該供應電壓 AVSS，而 PMOS 電晶體 606 與 NMOS 電晶體 608 的該等汲極終端連接在一起在線 621 上以一局部振盪器信號的型式提供一輸出 VOUT。

電晶體 602、604、606 與 608 的電晶體尺寸(即通道寬度或通道長度)被選擇以控制由電路 600 產生的局部振盪器信號 VOUT 相對於該輸入信號 VIN 的上升與下降時間。

PMOS 電晶體 602 相對於 NMOS 電晶體 604 的尺寸可使得 PMOS 電晶體 602 提供一快速上拉至該 AVDD 電壓供應軌。同樣地，NMOS 電晶體 608 相對於 PMOS 電晶體 606 的尺寸可使得 NMOS 電晶體 608 提供一快速下拉至該 AVSS 電壓供應軌。

所以 PMOS 602 提供一快速上拉至 AVDD，上拉式 PMOS 電晶體 602 可比 NMOS 電晶體 604 具有一較大的通道寬度，或比 NMOS 電晶體 604 具有一較小的通道長度。所以 NMOS

電晶體 608 提供一快速下拉至 AVSS，下拉式 NMOS 電晶體 608 可比 PMOS 電晶體 606 具有一較大的通道寬度，或比 PMOS 電晶體 606 具有一較小的通道長度。

現在將參照第七圖說明前述之在電路 600 中 PMOS 電晶體 602 與 NMOS 電晶體 608 之尺寸的效應。

第七圖例示當在輸入線 601 上收到一輸入信號 VIN 時，在線 611 上該信號 Vm 與在線 621 上該輸出信號 VOUT 之上升與下降時間。本技術專業人士將可瞭解到在輸入線 601 上該輸入信號 VIN 可能不具有理想的轉換，但有可能具有大於零且在低與高狀態之間的一轉換時間 Tt。

當該輸入信號 VIN 由低轉換至高時，PMOS 電晶體 602 的閘極至源極電壓於 NMOS 電晶體 604 的閘極至源極 (gate to source) 電壓增加時即降低。NMOS 電晶體 604 開始開啟，且 PMOS 電晶體 602 開始關閉，將線 611 上該第一 CMOS 反向器的該輸出拉向 AVSS。但是開始時，由相對較弱的 NMOS 電晶體 604 在線 611 上將該輸出拉向 AVSS 受到尚未完全關閉的相對較強的 PMOS 電晶體 602 之抵抗。此即造成在線 611 上該信號 Vm 的緩慢下降時間。

當在線 611 上該信號 Vm 由高下降至低時，PMOS 電晶體 606 被開啟，而 NMOS 電晶體 608 為關閉。由相對較弱的 PMOS 電晶體 606 將線 621 上的該輸出拉向 AVDD 受到相對較強的 NMOS 電晶體 608 的抵抗。此即造成線 621 上該輸出信號 VOUT 的緩慢上升時間。

當該輸入信號 VIN 由高轉換至低時，PMOS 電晶體 602 的閘極源極電壓於 NMOS 電晶體 604 的閘極至源極電壓降低時即增加。NMOS 電晶體 604 開始關閉，且 PMOS 電晶體 602 開始開啟，將線 611 上該第一 CMOS 反向器的該輸出拉向 AVDD。但是開始時，由相對較弱的 NMOS 電晶體 604 在線 611 上將該輸出拉向 AVDD 受到尚未完全關閉的相對較強的

PMOS 電晶體 602 之抵抗。此即造成在線 611 上該信號  $V_m$  的快速上升時間。

當在線 611 上該信號  $V_m$  由低轉換至高時，PMOS 電晶體 606 被關閉，而 NMOS 電晶體 608 為開啟。由相對較強的 NMOS 電晶體 608 將線 621 上的該輸出拉向 AVSS 受到相對較弱的 PMOS 電晶體 606 的抵抗。此即造成線 621 上該信號  $V_{OUT}$  的快速下降時間。

在輸出線 621 上該局部振盪器顯示在第八圖，且標示為 VLOIM。電路 600 的一複製電路在當該複製電路收到與在輸入線 601 上收到的該輸入時脈信號為相反相位的一輸入時脈信號  $V_{IN}$  時即可產生該局部振盪器信號 VLOIP(亦顯示在第八圖中)。該等局部振盪器信號 VLOIP 與 VLOIM 可被供應至一被動式混頻器電路，例如第四圖所示之 IQ 被動式混頻器 400。

將可瞭解到一電路 600 與複製電路亦可產生該等局部振盪器信號 VLOQP 與 VLOQM，且 VLOQP 與 VLOQM 將具有相同的形狀如同第八圖所示之該等波形，但將落後 90 度。如第八圖所示，電晶體 602、608 之尺寸已經被選擇使得局部振盪器信號 VLOIP 與 VLOIM 不會交叉於該電源供應的中點處。因此，當該局部振盪器信號 VLOIP 被供應至電晶體 402，且該局部振盪器信號 VLOIM 被供應至 IQ 被動式混頻器 400 的電晶體 404 時，在任何時候，電晶體 402、404 中僅有一者被切換為 ON。此可防止該等基頻輸入信號 VBBQP 與 VBBQM 避免在該等輸出 VOP、VOM 處被短路在一起。因此，本發明可避免由於該等基頻輸入信號之短路所造成的 CMOS 被動式混頻器的線性度降低。

該電路對於用於參照第九與十圖所述之一種混頻器電路將特別有好處。

國際專利公告號 WO 2010/025556 揭示一種具有驅動器電路 930 的 IQ 被動式混頻器 400(如第四圖所示)，其將在現在參



照第九圖做說明。

該等 I 與 Q 路徑之該等差動式基頻輸入信號標示為 VBBQP、VBBQM、VBBIP 與 VBBIM。這些基頻輸入信號被輸入至驅動器電路 930。

驅動器電路 930 包含連接至偏壓 NMOS 電晶體 942、946、950 與 954 的源極隨耦器 NMOS 電晶體 940、944、948 與 952。源極隨耦器 NMOS 電晶體 940、944、948 與 952 的該等閘極終端接收該等基頻輸入信號 VBBQP、VBBQM、VBBIP 與 VBBIM。偏壓 NMOS 電晶體 942、946、950 與 954 之該等閘極終端接收一偏壓電壓 VBIAS。源極隨耦器 NMOS 電晶體 942、946、950 與 954 的該等輸出在提供至 IQ 被動式混頻器 400 之前被傳送通過電阻器 960、962、964、966。

對於執行一升頻轉換移位的一混頻器，所使用的一種典型規格稱之為 FRF-3BB(Delta)。此為該升頻轉換的 RF 信號與該第三階失真的比例，其中該第三階失真為  $F_{LO} - 3.F_{BB}$  ( $F_{LO}$  為局部振盪器頻率，而  $F_{BB}$  為該基頻輸入信號的頻率)。對於 2G 的應用，需要的典型 Delta 為 55 dB。對於 3G 的語音應用，需要的典型 Delta 為 45 dB。

因此，為了具有高 Delta 值，第九圖所示的源極隨耦器 NMOS 電晶體 940、944、948 與 952 需要具有大的互導(gm)。一源極隨耦器電晶體的該互導(gm)係直接正比於該源極隨耦器電晶體的汲極電流  $I_D$ ，因此為了達到高的 Delta 值，該源極隨耦器電晶體的電流消耗亦必須增加。

該互導 gm 由於在該汲極電流中造成的變化而隨著該基頻輸入信號改變。為了最小化這種變化的影響，串聯於源極隨耦器 NMOS 電晶體 940、944 到 948 與 952 的固有(1/gm)電阻而加入額外的電阻器 960、962、964 與 968 來改善 IQ 被動式混頻器 400 的線性度。

此種設計的折衷方案為電阻器 960、962、964、966 的電

阻值與 Delta 值。利用一高電阻值，該 Delta 值即增加，但是 SNR 會降低。同樣地，利用一低電阻器值，該 SNR 值即增加，但是 Delta 值會降低。

第十圖所示為可用於提供一基頻輸入信號至 IQ 被動式混頻器電路 400 的一電晶體之另一種驅動器電路 1000。

如第十圖所示，驅動器電路 1000 包含串聯連接於偏壓 NMOS 電晶體 1004 的一源極隨耦器 NMOS 電晶體 1002，使得電晶體 1002 的汲極終端連接至一供應電壓 AVDD，電晶體 1002 的源極終端連接至位於節點 A 處的電晶體 1004 之汲極終端，且電晶體 1004 的源極終端連接至一供應電壓 AVSS，該供應電壓 AVSS 可為 0V。電晶體 1002 的閘極終端接收一基頻輸入信號 VIN。電晶體 1004 的閘極終端接收一直流(DC)偏壓電壓輸入信號 VBIAS。

驅動器電路 1000 另包含串聯連接於一電晶體 1008 的一源極隨耦器 NMOS 電晶體 1006，使得電晶體 1006 的汲極終端連接至該供應電壓 AVDD，電晶體 1006 的源極終端連接至位於節點 B 處的電晶體 1008 之汲極終端，且電晶體 1008 的源極終端連接至該供應電壓 AVSS。電晶體 1006 的閘極終端接收該基頻輸入信號 VIN。該基頻輸入信號 VIN 可為該等差動基頻輸入信號 VBBQP、VBBQM、VBBIP 或 VBBIM 中之一者。

節點 A 連接至一運算放大器 1010 的該反相輸入。節點 B 連接至運算放大器 1010 的該非反相輸入。運算放大器 1010 的輸出連接至電晶體 1008 的閘極終端。節點 B 另在線 1011 上提供驅動電路 1000 的輸出。如第十圖所示，該基頻輸入信號 VIN 可於線 1011 上供應至一電晶體 1012，其為一 CMOS 被動式混頻器電路之一部份，例如如第九圖所示之一 IQ 被動式混頻器 400。

將可瞭解到其將需要四個驅動器電路 1000 來供應該等基頻輸入信號 VBBQP、VBBQM、VBBIP 或 VBBIM 之每一者

至 IQ 被動式混頻器 400。

請同時參照第九與第十圖，驅動器電路 1000 可取代在每一 I 與 Q 路徑上驅動器電路 930 的該源極隨耦器 NMOS 電晶體、偏壓 NMOS 電晶體與電阻器。例如，源極隨耦器 NMOS 電晶體 940、偏壓 NMOS 電晶體 942 與電阻器 960 可由驅動器電路 1000 所取代，其中源極隨耦器 NMOS 電晶體 1002 將於其閘極終端處接收該基頻輸入信號 VBBQP。

在第九圖所示的驅動器電路 930 中，由於直流(DC)偏壓電壓輸入信號 VBIAS，偏壓 NMOS 電晶體 942、946、950、954 為固定電流源，其由於它們接收一固定偏壓電壓而汲電一固定電流。

在驅動器電路 1000 的作業中，使用運算放大器 1010 藉由控制電晶體 1008 的該閘極終端複製節點電壓 A 至節點 B。然後使用節點 B 處的輸出電壓來直接驅動在該 CMOS 被動式混頻器電路中的電晶體 1012。源極隨耦器 NMOS 電晶體 1006、電晶體 1008 與運算放大器 1010 作用類似一 AB 類驅動器，用於驅動該被動式混頻器，其觀念上為電流流動通過電晶體 508 期間的時間長度(該輸入信號之比例)大約為 50%。源極隨耦器 NMOS 電晶體 1006 用於開源 AC 電流到電晶體 1012 中，且使用電晶體 1008 自電晶體 1012 汲電 AC 電流。

由於該固定電流源僅能夠汲電一固定電流而使其優於前述之具有一固定電流源的該源極隨耦器，因此需要它於高電流時偏壓來確保作業期間的線性度。

在驅動器電路 1000 中，偏壓 NMOS 電晶體 1004 控制電晶體 1002 的偏壓電流。其並不使用節點 A 處的電壓來驅動該 CMOS 被動式混頻器的一電晶體，而是看作該運算放大器的高阻抗。已經使用運算放大器 1010 自節點 A 處的電壓複製的節點 B 處的電壓係用於驅動該 CMOS 被動式混頻器的一電晶體。電晶體 1008 於其閘極終端處並未接收其電壓大小有變化

的一直流(DC)偏壓電壓輸入信號 VBIAS，而是在該運算放大器的輸出處。於運算放大器 1010 的輸出處的電壓大小根據該輸入信號及流動通過電晶體 1008 的 DC 電流量而改變。該 DC 電流愈高，自源極隨耦器電晶體 1006 得到的線性度愈佳。

請注意因為在此例中並不需要一電阻器(即參照第四圖所述之電阻器 460、462、464、468 之一者)，即不需要在線性度與 SNR 之間做折衷。另外，因為源極隨耦器電晶體 502 輸出(節點 A)並不需要直接驅動具有一負載的該 CMOS 被動式混頻器，該被動式混頻器電路可達到非常高的線性度。

在驅動器電路 1000 中，偏壓 NMOS 電晶體 1004 為汲電一固定電流的一固定電流源；但是於節點 A 處的該電壓並未用於驅動該 CMOS 被動式混頻器的一電晶體。而是使用位於節點 B 的該電壓來驅動該 CMOS 被動式混頻器的一電晶體，其已經使用該運算放大器 1010 由位於節點 A 的該電壓複製。電晶體 1008 並非一固定電流源，因此於該驅動器電路的作業期間會比 WO 2010/025556 中揭示的該先前技術驅動器電路汲出較少的電流。

根據本發明一具體實施例，使用四個局部振盪器信號產生電路 600 來分別供應該等局部振盪器信號 VLOIP、VLOIM、VLOQP 與 VLOQM 至經由四個驅動器電路 1000 接收基頻輸入信號的 IQ 被動式混頻器電路 400。

第十一圖所示為經由驅動器電路 1101 與 1102 接收該等基頻輸入信號 VBBQP 與 VBBQM，且接收局部振盪器信號 VLOIP 與 VLOIM(如第八圖所示)之 IQ 被動式混頻器電路 400 的上半部。驅動器電路 1101 與 1102 等同於第十圖所示之驅動器電路 1000。

由一局部振盪器信號產生電路 600 產生的該局部振盪器信號 VLOIP 被供應至電晶體 402 與 408 的該閘極終端。由另一局部振盪器信號產生電路 600 產生的該局部振盪器信號

VLOIM 被供應至電晶體 404 與 406 的該閘極終端。此配置可保證電晶體 402、408 不會與電晶體 404、406 在相同時間被切換為 ON。

因此，該等基頻信號 VBBQP 與 VBBQM 將可防止在輸出線 1104 上與輸出線 1106 上有短路。例如，當電晶體 402 被開啟時，已經通過驅動器電路 1101 的該基頻輸入信號 VBBQP 被供應於節點 B1 處，且未轉換到線 1104 上一較高頻率的信號 VRFP(請注意節點 B1 為 VBBQP 的一複本，因為驅動器電路 1101 中電晶體 1002 與 1006 為源極隨耦器)。在此種配置中，電晶體 406 被關閉，藉此防止已經通過驅動器電路 1102 至節點 B2 的該基頻輸入信號 VBBQM 與該信號 VRFP 造成短路。當電晶體 408 被開啟時，已經傳送通過驅動器電路 1102 的該基頻輸入信號 VBBQM 被供應於節點 B2 處，且未被轉換至線 1106 上一較高頻率的信號 VRFM(請注意節點 B2 為 VBBQM 的一複本，因為驅動器電路 1102 中電晶體 1002 與 1006 為源極隨耦器)。在此種配置中，電晶體 404 被關閉，藉此防止已經通過驅動器電路 1101 至節點 B1 的該基頻輸入信號 VBBQP 與該信號 VRFM 造成短路。

同樣地，當電晶體 404、406 被開啟且 402、408 被關閉時，節點 B2 處該基頻輸入信號 VBBQM 可防止與該信號 VRFM 造成短路，且節點 B1 處該基頻輸入信號 VBBQP 可防止與該信號 VRFP 造成短路。

因此，基頻驅動器電路 1101 與 1102 具有較低的失真，且亦比如果 IQ 被動式混頻器 400 收到如第五圖所示的該等局部振盪器信號具有較低的電流消耗。因此，IQ 被動式混頻器 400 可達到較高增益與較高線性度。將可瞭解到 IQ 被動式混頻器電路 400 的下半部(未示於第十一圖)將經由同等於驅動器電路 1000 的驅動器電路接收該等基頻輸入信號 VBBIP 與 VBBIM，且將接收將會具有相同形狀(如第八圖所示之該等

波形)的局部振盪器信號 VLOQP 與 VLOQM，但將落後 90 度。因此，VBBIP 與 VBBIM 將可防止在輸出線 1104 上與輸出線 1106 上造成短路。

雖然驅動器電路 1000 已經使用 NMOS 電晶體做說明，將可瞭解到源極隨耦器電晶體 1002、1006 與偏壓電晶體 1004、1008 可為 PMOS 元件。

當本發明已經參照較佳具體實施例進行特定的顯示及說明之後，本技術專業人士將可瞭解到可在其中進行型式及細節上的多種變化，而其皆不背離由該等附屬申請專利範圍所定義的本發明之範圍。

#### 【圖式簡單說明】

為了更佳瞭解本發明且顯示本發明可如何發生效用，現在將進行參照做為示例之該等以下圖式，其中：

第一圖為先前技術的一無線核心之方塊圖；

第二圖為第一圖所示之一無線核心的發射器核心之方塊圖；

第三圖為先前技術的一被動式 CMOS 混頻器電路的電路圖；

第四圖為根據先前技術的一 IQ 混頻器電路的電路圖；

第五圖例示應用至第四圖之電路的典型局部振盪器信號；

第六圖為根據本發明一具體實施例用於產生一局部振盪器信號的一種電路之電路圖；

第七圖例示一局部振盪器信號如何使用第六圖之電路來產生；

第八圖例示可使用第六圖所示之電路來產生的局部振盪器信號；

第九圖為根據先前技術的一 IQ 混頻器電路與一驅動器電路的電路圖；

第十圖為可配合第六圖之電路使用的一驅動器電路之電路圖；及

第十一圖為一先前技術的 IQ 被動式混頻器電路之一區段的電路圖，其顯示出第十圖所示之驅動器電路如何配合第六圖之電路來使用。

**【主要元件符號說明】**

10	無線核心	602	上拉式 p 型金氧半導體電晶體
12	基頻處理器	604	下拉式 n 型金氧半導體電晶體
14	射頻收發器晶片	606	上拉式 p 型金氧半導體電晶體
16	接收器核心	608	下拉式 n 型金氧半導體電晶體
18	天線	611	線
20	發射器核心	621	輸出線
22	增益電路	930	驅動器電路
202	混頻器	940, 944, 948, 952	源極隨耦器 n 型金氧半導體電晶體
204	局部振盪器	942, 946, 950, 954	偏壓 n 型金氧半導體電晶體
206	濾波器	960, 962, 964, 966	電阻器
208	功率放大器	1000	驅動器電路
300	被動式互補金氧半導體混頻器電路	1002	源極隨耦器 n 型金氧半導體電晶體
302, 304, 306, 308	n 型金氧半場效電晶體	1004	偏壓 n 型金氧半導體
400	IQ 被動式混頻器		
402, 404, 406, 408, 410, 412, 414, 416	n 型金氧半導體電晶體		
600	局部振盪器信號產生電路		
601	輸入線		

電晶體	1012 電晶體
1006 電晶體	1101, 1102 驅動器電路
1008 電晶體	1104 輸出線
1010 運算放大器	1106 輸出線
1011 線	



## 七、申請專利範圍：

1. 一種對於一混頻器電路產生互補式週期信號的裝置，該裝置包含：

第一與第二產生電路，其每一者用於產生一週期信號，其於每一上升邊緣的轉換時間不同於在每一下降邊緣的轉換時間，每一電路具有一輸出用於供應其週期信號至一混頻器，使得來自該等電路之一者的一週期信號之每一上升邊緣於低於該混頻器之開啟電壓的一交叉點處交叉於來自該等電路之另一者的一週期信號之每一下降邊緣。
2. 如申請專利範圍第 1 項之裝置，其中每一上升邊緣的轉換時間要慢於每一下降邊緣的轉換時間。
3. 如申請專利範圍第 1 項之裝置，其中該等第一與第二產生電路之每一者包含串聯連接的一第一 CMOS 反向器與一第二 CMOS 反向器。
4. 如申請專利範圍第 3 項之裝置，其中該等第一與第二產生電路的該等第一 CMOS 反向器之每一者設置成接收一正方形波，該等正方形波具有相等振幅與相反相位。
5. 如申請專利範圍第 3 項之裝置，其中該第一 CMOS 反向器包含串聯連接而不同尺寸的一 PMOS 與 NMOS 電晶體；及該第二 CMOS 反向器包含串聯連接而不同尺寸的一 PMOS 與 NMOS 電晶體。
6. 如申請專利範圍第 5 項之裝置，其中該第一 CMOS 反向器之 PMOS 電晶體比該第一 CMOS 反向器的 NMOS 電晶體要具有一較大的通道寬度，而該第二 CMOS 反向器的 NMOS 電晶體比該第二 CMOS 反向器的 PMOS 電晶體要具有一較大的通道寬度。
7. 如申請專利範圍第 5 項之裝置，其中該第一 CMOS 反向器之 PMOS 電晶體比該第一 CMOS 反向器的 NMOS 電晶體要具有一較小的通道長度，而該第二 CMOS 反向器的 NMOS 電晶體比該第二 CMOS 反向器的 PMOS 電晶體要具

有一較小的通道長度。

8. 如申請專利範圍第 1 項之裝置，其中該等第一與第二產生電路被連接於上方與下方電壓供應軌之間，該交叉點係在該等電壓之中點之下。
9. 一種對於一混頻器產生互補式週期信號的方法，該方法包括：

在該等第一與第二產生電路之每一者產生第一與第二週期信號，其在每一上升邊緣的轉換時間不同於在每一下降邊緣的轉換時間；

於用於連接至該混頻器的一第一輸出端處供應該第一週期信號；及

於用於連接至該混頻器的一第二輸出端處供應該第二週期信號，使得於該第一輸出端處每一上升邊緣被計時來於該混頻器的一開啟電壓之下一交叉點處交叉於該第二輸出端處每一下降邊緣。

10. 一種包含一第一與第二電晶體的 CMOS 被動式混頻器，該 CMOS 被動式混頻器另包含：

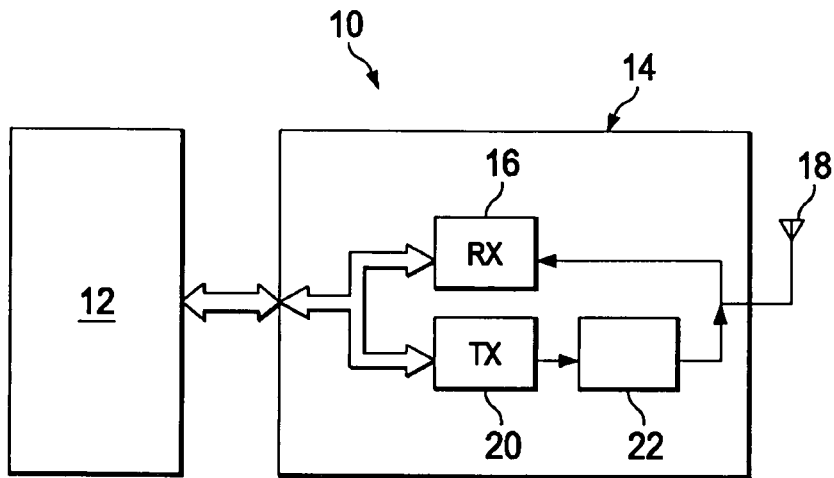
第一與第二產生電路，其每一者用於一週期信號，其於每一上升邊緣的轉換時間不同於在每一下降邊緣的轉換時間，每一電路具有一輸出用於供應其週期信號至一混頻器，使得來自該等電路之一者的一週期信號之每一上升邊緣於低於該混頻器之開啟電壓的一交叉點處交叉於來自該等電路之另一者的一週期信號之每一下降邊緣；

其中來自該第一產生電路的該週期信號控制該第一電晶體，而來自該第二產生電路的該週期信號控制該第二電晶體，使得該等第一與第二電晶體中在任何時間僅有一者被開啟。

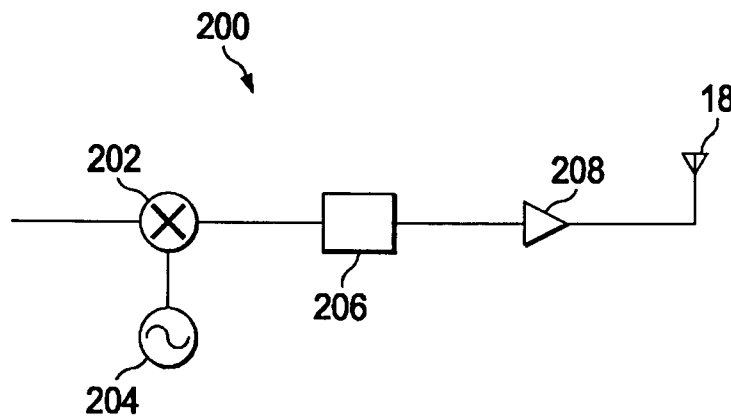
11. 如申請專利範圍第 10 項之 CMOS 被動式混頻器，其中在該 CMOS 被動式混頻器中該等第一與第二電晶體為原生電晶體。

12. 如申請專利範圍第 10 項之 CMOS 被動式混頻器，其中來自該等第一與第二產生電路的該等週期信號之每一者係在該混頻器的一混頻頻率下。
13. 如申請專利範圍第 10 項之 CMOS 被動式混頻器，其中該等第一與第二電晶體配置成自一驅動器電路接收一輸出信號，該驅動器電路包含：
  - 一第一電路分支，其具有第一與第二電路組件被配置成個別地接收一輸入信號與一偏壓信號；
  - 一第二電路分支，其具有第一與第二電路組件，該第一組件配置成接收該輸入信號；及
  - 一運算放大器，其具有連接至該第一電路分支的該等第一與第二電路組件之一接點節點之一第一輸入，及連接至該第二電路分支的該等第一與第二電路組件之一第二輸入，該運算放大器配置成提供一運算放大器輸出信號至該第二電路分支的該第二組件，所以該第二電路分支的該接點節點處的電壓等於該第一電路分支的該接點節點處的電壓，該電壓根據該輸入信號且提供該驅動信號。
14. 如申請專利範圍第 10 項之 CMOS 被動式混頻器，其中該等第一與第二電晶體配置成自一驅動器電路接收一輸出信號，該驅動器電路具有第一與第二電路組件配置成分別接收一輸入信號與一偏壓輸入信號，且經由一電阻器供應該輸出信號至該等第一與第二電晶體。
15. 如申請專利範圍第 13 或 14 項之 CMOS 被動式混頻器，其中該輸入信號為一基頻輸入信號。

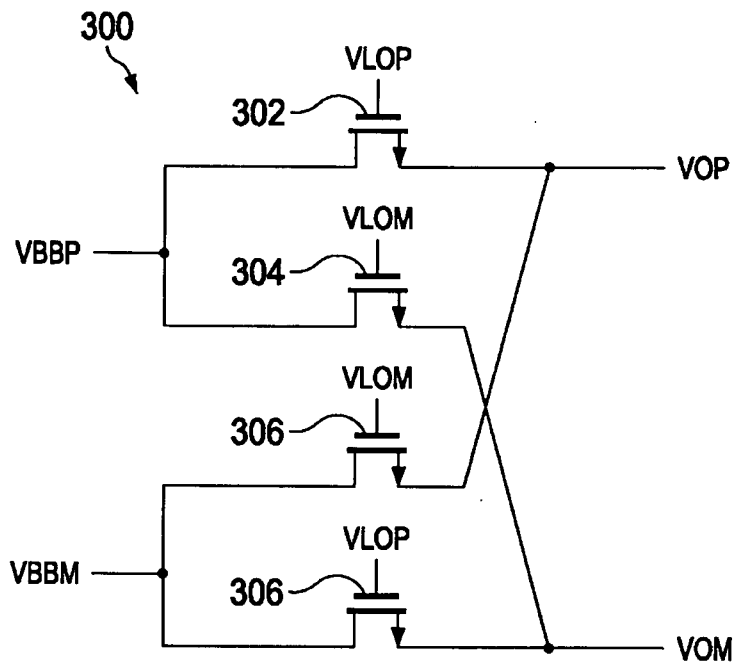
八、圖式：



第一圖  
(先前技術)

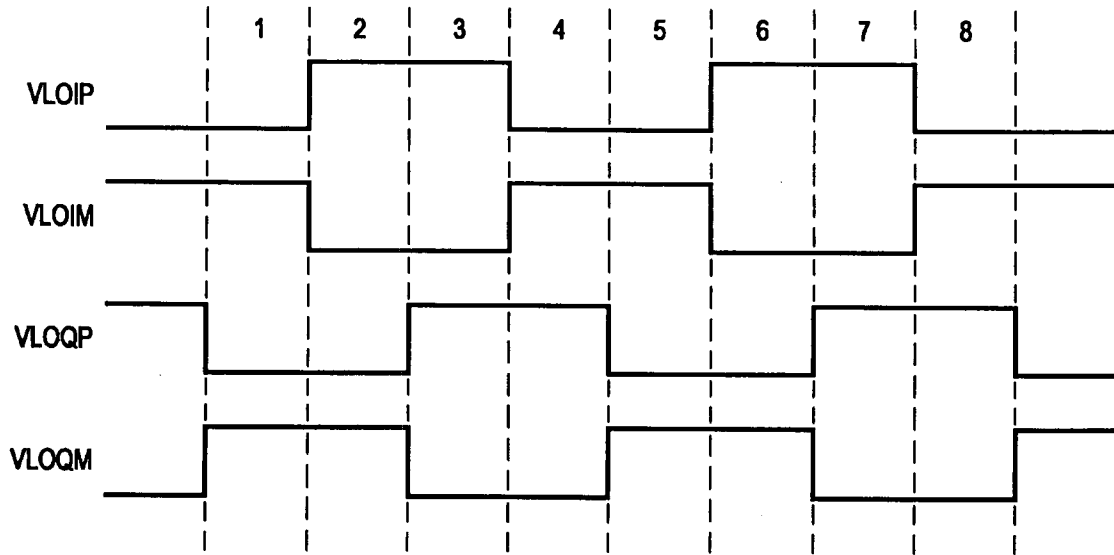


第二圖  
(先前技術)

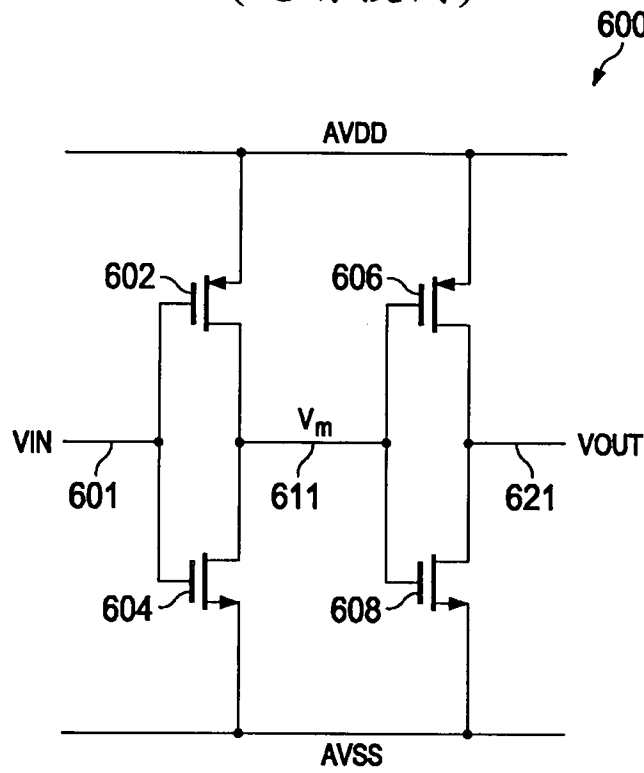


第三圖  
(先前技術)



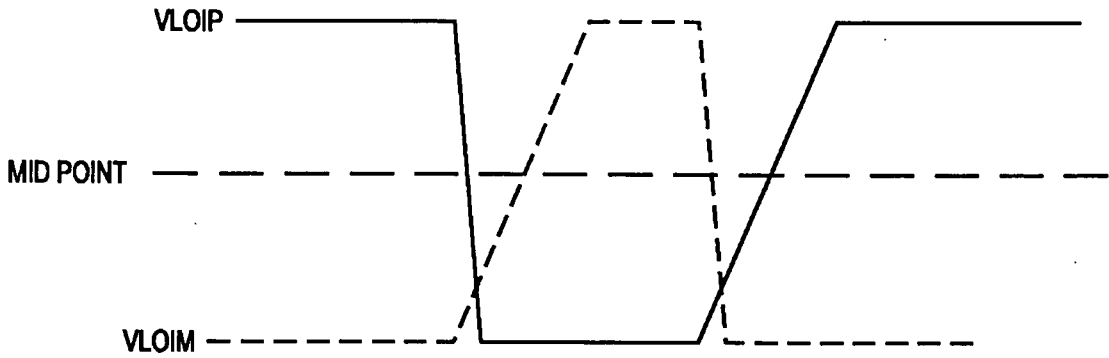
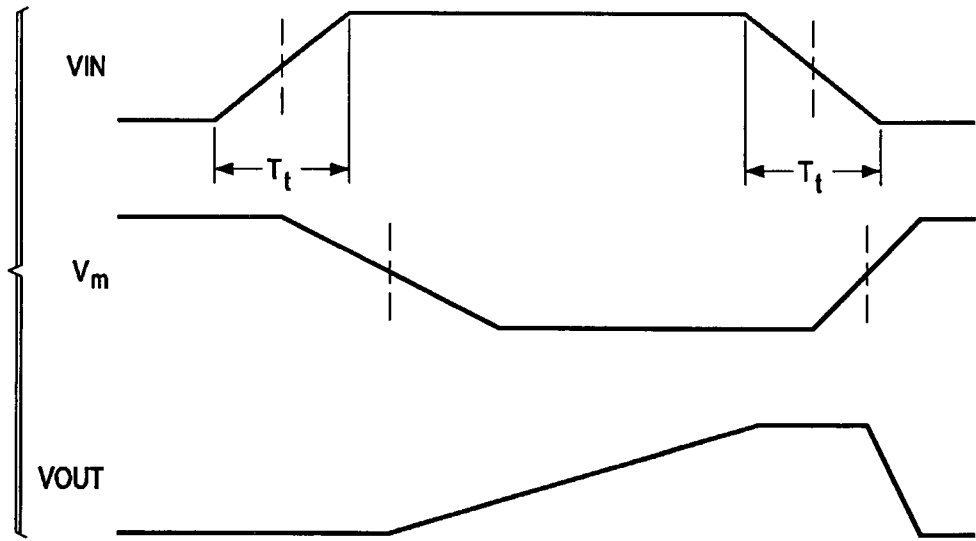


第五圖  
(先前技術)

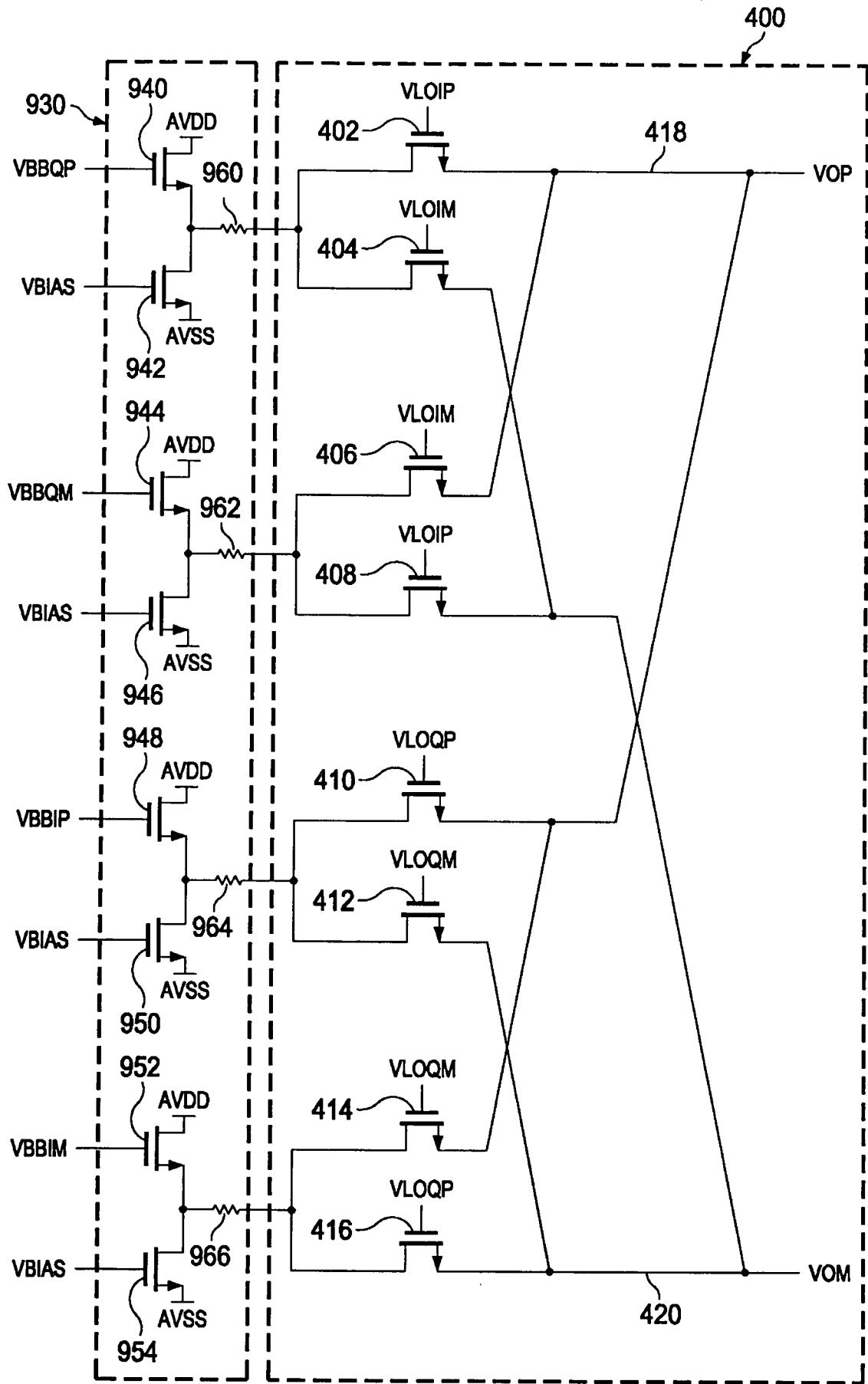


第六圖

第七圖

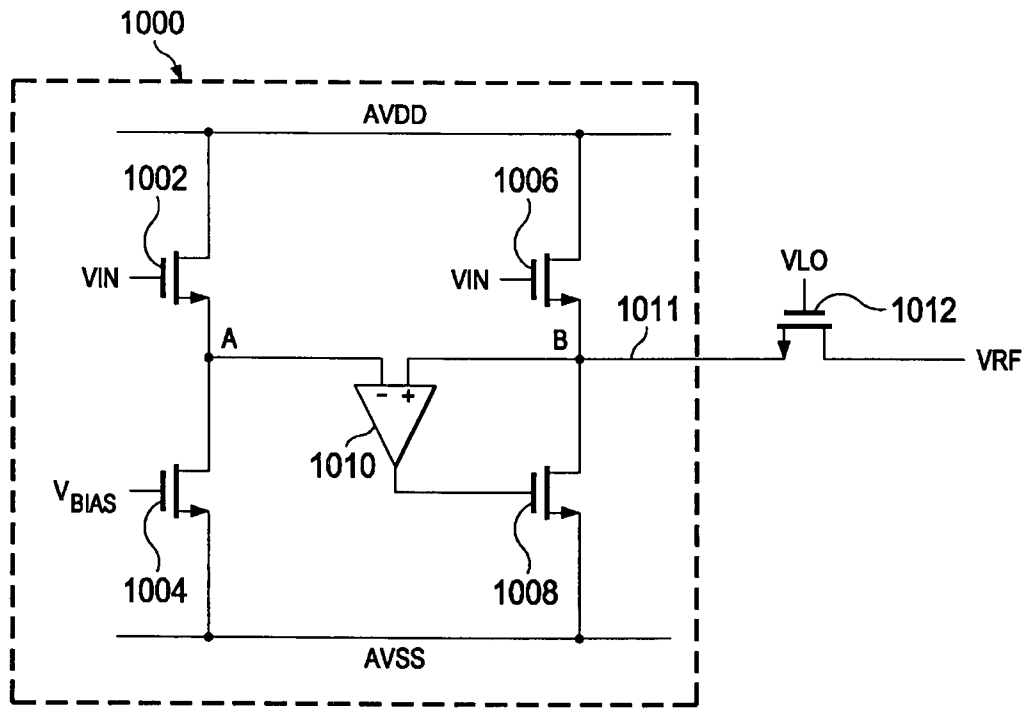


第八圖

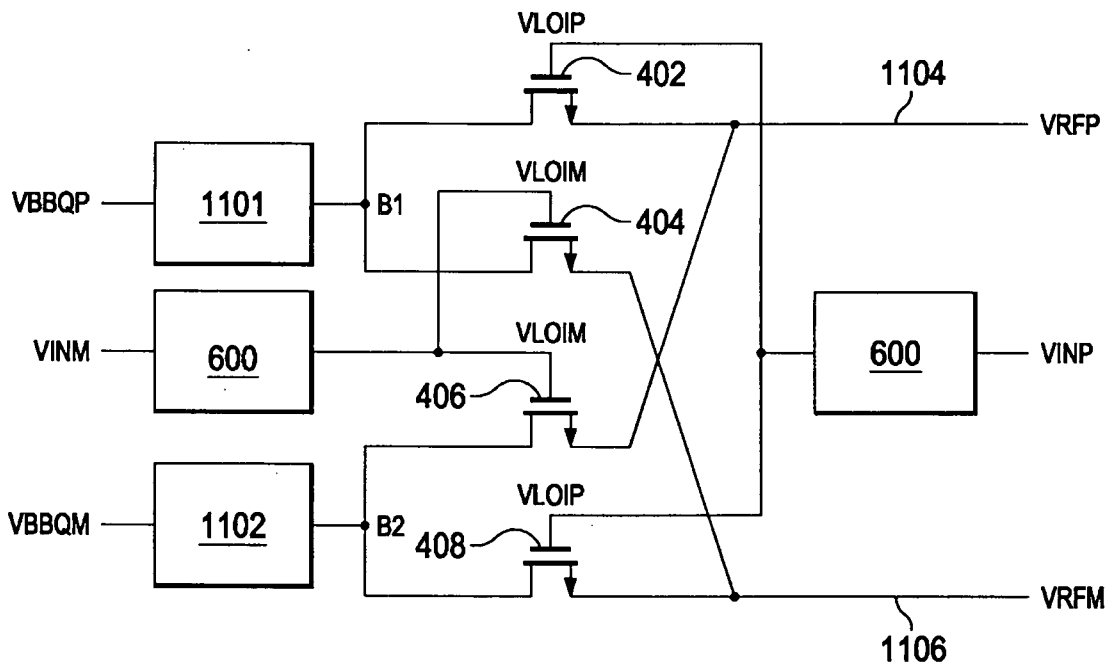


第九圖  
(先前技術)





第十圖



第十一圖