



(12) 发明专利

(10) 授权公告号 CN 109802678 B

(45) 授权公告日 2020. 11. 20

(21) 申请号 201711146589.6

审查员 邹滢

(22) 申请日 2017.11.17

(65) 同一申请的已公布的文献号

申请公布号 CN 109802678 A

(43) 申请公布日 2019.05.24

(73) 专利权人 比亚迪股份有限公司

地址 518118 广东省深圳市坪山新区比亚迪路3009号

(72) 发明人 陈胜胜 李奇峰 杨云

(74) 专利代理机构 北京英创嘉友知识产权代理

事务所(普通合伙) 11447

代理人 南毅宁

(51) Int. Cl.

H03M 1/46 (2006.01)

H03M 1/10 (2006.01)

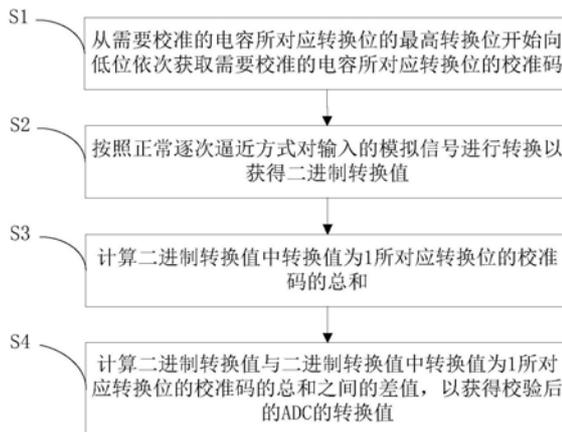
权利要求书3页 说明书10页 附图3页

(54) 发明名称

逐次逼近模数转换器及其数字校准方法和装置

(57) 摘要

本发明公开了一种逐次逼近模数转换器及其数字校准方法和装置,所述方法包括以下步骤:从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位的校准码,按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值,计算二进制转换值中转换值为1所对应转换位的校准码的总和;计算二进制转换值与需要校准的电容所对应的准换位中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。该方法可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间二倍关系不精确的问题,从而可有效提高ADC的精度。



1. 一种用于逐次逼近模数转换器的数字校准方法,其特征在于,所述逐次逼近模数转换器包括数模转换模块DAC和比较器,所述DAC包括低段位部分和高段位部分,所述低段位部分和所述高段位部分均包括容值呈二倍关系递增的L个电容,且所述低段位部分的L个电容中每个电容的一端分别与补偿电容的一端、耦合电容的一端相连,所述高段位部分的L个电容中每个电容的一端与所述耦合电容的另一端相连后作为所述DAC的输出端与所述比较器的第一输入端相连,所述低段位部分的L个电容中每个电容的另一端、所述高段位部分的L个电容中每个电容的另一端及所述补偿电容的另一端分别与模拟信号输入端、电压参考端或地相连,所述比较器的第二输入端与共模电压提供端相连,所述方法包括以下步骤:

从需要校准的电容所对应转换位的最高转换位开始向低位依次获取所述需要校准的电容所对应转换位的校准码,获取方法包括:对所述需要校准的电容所对应转换位的误差电压进行模数转换模块ADC转换以获得所述需要校准的电容所对应转换位的误差码,根据所述每个转换位的误差码获取所述需要校准的电容所对应转换位中每个转换位的校准码;

按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值;

计算所述二进制转换值中转换值为1所对应转换位的校准码的总和;以及

计算所述二进制转换值与所述二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。

2. 如权利要求1所述的用于逐次逼近模数转换器的数字校准方法,其特征在于,所述需要校准的电容所对应转换位中最高转换位的校准码等于所述最高转换位的误差码的二分之一,在所述需要校准的电容所对应转换位中,比所述最高转换位低的转换位的校准码等于该低转换位的误差码与比该低转换位高的所有转换位的校准码之差的二分之一。

3. 如权利要求2所述的用于逐次逼近模数转换器的数字校准方法,其特征在于,按照如下方法获取所述需要校准的电容所对应转换位的误差电压:

先将所述DAC的输出端与所述共模电压提供端相连,并将比需要校准的电容所对应转换位低的转换位对应的电容的另一端与所述电压参考端相连,以及将所述需要校准的电容的另一端、比所述需要校准的电容所对应转换位高的转换位对应的电容的另一端接所述地;

再将所述DAC的输出端与所述共模电压提供端断开,并将所述需要校准的电容的另一端与所述电压参考端相连,以及将除所述需要校准的电容之外的所有电容的另一端接所述地,以在所述DAC的输出端获得所述需要校准的电容所对应转换位的误差电压。

4. 如权利要求3所述的用于逐次逼近模数转换器的数字校准方法,其特征在于,所述对所述需要校准的电容所对应转换位的误差电压进行ADC转换以获得所述需要校准的电容所对应转换位的误差码,包括:

根据不需要校准的电容所对应转换位中的低几位对所述需要校准的电容所对应转换位的误差电压进行测量以获得所述需要校准的电容所对应转换位的误差码。

5. 如权利要求2-4中任一项所述的用于逐次逼近模数转换器的数字校准方法,其特征在于,在获取所述需要校准的电容所对应转换位的校准码时,需要满足以下条件:

所述需要校准的电容的容值小于所有比所述需要校准的电容所对应转换位低的转换位的电容的容值之和。

6. 一种非临时性计算机可读存储介质,其上存储有计算机程序,其特征在于,该程序被

处理器执行时实现如权利要求1-5中任一所述的用于逐次逼近模数转换器的数字校准方法。

7. 一种用于逐次逼近模数转换器的数字校准装置,其特征在于,所述逐次逼近模数转换器包括数模转换模块DAC和比较器,所述DAC包括低段位部分和高段位部分,所述低段位部分和所述高段位部分均包括容值呈二倍关系递增的L个电容,且所述低段位部分的L个电容中每个电容的一端分别与补偿电容的一端、耦合电容的一端相连,所述高段位部分的L个电容中每个电容的一端与所述耦合电容的另一端相连后作为所述DAC的输出端与所述比较器的第一输入端相连,所述低段位部分的L个电容中每个电容的另一端、所述高段位部分的L个电容中每个电容的另一端及所述补偿电容的另一端分别与模拟信号输入端、电压参考端或地相连,所述比较器的第二输入端与共模电压提供端相连,所述装置包括:

获取模块,用于从需要校准的电容所对应转换位的最高转换位开始向低位依次获取所述需要校准的电容所对应转换位的校准码;所述获取模块包括第一获取子模块和第二获取子模块,所述第一获取子模块用于对所述需要校准的电容所对应转换位的误差电压进行模数转换模块ADC转换以获得所述需要校准的电容所对应转换位的误差码,所述第二获取子模块用于根据所述每个转换位的误差码获取所述需要校准的电容所对应转换位中每个转换位的校准码;

转换模块,用于按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值;

计算模块,所述计算模块分别与所述转换模块和所述获取模块相连,所述计算模块用于计算所述二进制转换值中转换位中转换值为1所对应转换位的校准码的总和,并计算所述二进制转换值与所述二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。

8. 如权利要求7所述的用于逐次逼近模数转换器的数字校准装置,其特征在于,所述需要校准的电容所对应转换位中最高转换位的校准码等于所述最高转换位的误差码的二分之一,在所述需要校准的电容所对应转换位中,比所述最高转换位低的转换位的校准码等于该低转换位的误差码与比该低转换位高的所有转换位的校准码之差的二分之一。

9. 如权利要求8所述的用于逐次逼近模数转换器的数字校准装置,其特征在于,所述第一获取子模块按照如下方法获取所述需要校准的电容所对应转换位的误差电压:

先将所述DAC的输出端与所述共模电压提供端相连,并将比需要校准的电容所对应转换位低的转换位对应的电容的另一端与所述电压参考端相连,以及将所述需要校准的电容的另一端、比所述需要校准的电容所对应转换位高的转换位对应的电容的另一端接所述地;

再将所述DAC的输出端与所述共模电压提供端断开,并将所述需要校准的电容的另一端与所述电压参考端相连,以及将除所述需要校准的电容之外的所有电容的另一端接所述地,以使所述第一获取子模块在所述DAC的输出端获得所述需要校准的电容所对应转换位的误差电压。

10. 如权利要求9所述的用于逐次逼近模数转换器的数字校准装置,其特征在于,所述第一获取子模块在对所述需要校准的电容所对应转换位的误差电压进行ADC转换以获得所述需要校准的电容所对应转换位的误差码时,其中,所述第一获取子模块根据不需要校准

的电容所对应转换位中的低几位对所述需要校准的电容所对应转换位的误差电压进行测量以获得所述需要校准的电容所对应转换位的误差码。

11. 如权利要求8-10中任一项所述的用于逐次逼近模数转换器的数字校准装置,其特征在于,在所述第一获取子模块获取所述需要校准的电容所对应转换位的校准码时,需要满足以下条件:

所述需要校准的电容的容值小于所有比所述需要校准的电容所对应转换位低的转换位的电容的容值之和。

12. 一种逐次逼近模数转换器,其特征在于,包括如权利要求7-11中任一项所述的用于逐次逼近模数转换器的数字校准装置。

逐次逼近模数转换器及其数字校准方法和装置

技术领域

[0001] 本发明涉及模数转换技术领域,特别涉及一种用于逐次逼近模数转换器的数字校准方法、一种非临时性计算机可读存储介质、一种用于逐次逼近模数转换器的数字校准装置以及一种具有该装置的逐次逼近模数转换器。

背景技术

[0002] 作为连接模拟信号和数字信号之间的桥梁,模数转换器在集成电路和信息产业中发展迅速,电荷再分配型逐次逼近(SAR)模数转换器(ADC)以其具有中等转换精度、中等转换速度、低功耗和低成本的综合优势,得到广泛的应用。通常,SARADC主要由数模转换器(DAC)、比较器、数字控制部分和其他模拟电路组成,其核心是DAC、比较器和数字控制部分。

[0003] 作为电荷再分配型SAR ADC的关键单元之一,二进制加权电容阵列构成的数模转换器(DAC)的精度直接决定着整个模数转换器(ADC)的精度。在现有工艺情况下,各种器件以及走线的寄生电阻、寄生电容和工艺制造过程中的误差,使得DAC相邻的电容之间的二倍关系不够精确,极大的降低了ADC的精度。例如,在现有的工艺制造下,电容的最小失配率大约为0.1%,这意味着整个ADC的精度最高只能达到10位左右,为了提高ADC的精度,必须对这种由于工艺偏差带来的失配进行校准。

发明内容

[0004] 本发明旨在至少在一定程度上解决相关技术中的技术问题之一。为此,本发明的第一个目的在于提出一种用于逐次逼近模数转换器的数字校准方法,可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间二倍关系不精确的问题,从而可有效提高ADC的精度。

[0005] 本发明的第二个目的在于提出一种非临时性计算机可读存储介质。

[0006] 本发明的第三个目的在于提出一种用于逐次逼近模数转换器的数字校准装置。

[0007] 本发明的第四个目的在于提出一种逐次逼近模数转换器。

[0008] 为实现上述目的,本发明第一方面实施例提出了一种用于逐次逼近模数转换器的数字校准方法,所述逐次逼近模数转换器包括数模转换模块DAC和比较器,所述DAC包括低段位部分和高段位部分,所述低段位部分和所述高段位部分均包括容值呈二倍关系递增的L个电容,且所述低段位部分的L个电容中每个电容的一端分别与补偿电容的一端、耦合电容的一端相连,所述高段位部分的L个电容中每个电容的一端与所述耦合电容的另一端相连后作为所述ADC的输出端与所述比较器的第一输入端相连,所述低段位部分的L个电容中每个电容的另一端、所述高段位部分的L个电容中每个电容的另一端及所述补偿电容的另一端分别与模拟信号输入端、电压参考端或地相连,所述比较器的第二输入端与共模电压提供端相连,所述方法包括以下步骤:从需要校准的电容所对应转换位的最高转换位开始向低位依次获取所述需要校准的电容所对应转换位的校准码;按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值;计算所述二进制转换值中转换值为1所对应

转换位的校准码的总和;以及计算所述二进制转换值与所述二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。

[0009] 根据本发明实施例的用于逐次逼近模数转换器的数字校准方法,先从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位的校准码,然后按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值,最后计算二进制转换值中转换值为1所对应转换位的校准码的总和,并计算二进制转换值与二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。该方法可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间二倍关系不精确的问题,从而可有效提高ADC的精度。

[0010] 根据本发明的一个实施例,所述从需要校准的电容所对应转换位的最高转换位开始向低位依次获取所述需要校准的电容所对应转换位的校准码,包括:从所述需要校准的电容所对应转换位的最高转换位开始向低位依次获取所述需要校准的电容所对应转换位中每个转换位的误差码;根据所述每个转换位的误差码获取所述需要校准的电容所对应转换位中每个转换位的校准码,其中,所述需要校准的电容所对应转换位中最高转换位的校准码等于所述最高转换位的误差码的二分之一,在所述需要校准的电容所对应转换位中,比所述最高转换位低的转换位的校准码等于该低转换位的误差码与比该低转换位高的所有转换位的校准码之差的二分之一。

[0011] 根据本发明的一个实施例,所述获取所述需要校准的电容所对应转换位中每个转换位的误差码,包括:先将所述DAC的输出端与所述共模电压提供端相连,并将比需要校准的电容所对应转换位低的转换位对应的电容的另一端与所述参考电压端相连,以及将所述需要校准的电容的另一端、比所述需要校准的电容所对应转换位高的转换位对应的电容的另一端接所述地;再将所述DAC的输出端与所述共模电压提供端断开,并将所述需要校准的电容的另一端与所述电压参考端相连,以及将除所述需要校准的电容之外的所有电容的另一端接所述地,以在所述DAC的输出端获得所述需要校准的转换位的误差电压;对所述需要校准的电容所对应转换位的误差电压进行测量以获得所述需要校准的电容所对应转换位的误差码。

[0012] 根据本发明的一个实施例,所述对所述需要校准的转换位的误差电压进行测量以获得所述需要校准的电容所对应转换位的误差码,包括:根据不需要校准的电容所对应转换位中的低几位对所述需要校准的电容所对应转换位的误差电压进行测量以获得所述需要校准的电容所对应转换位的误差码。

[0013] 根据本发明的一个实施例,在获取所述需要校准的电容所对应转换位的校准码时,需要满足以下条件:所述需要校准的电容的容值小于所有比所述需要校准的电容所对应转换位低的转换位的电容的容值之和。

[0014] 为实现上述目的,本发明第二方面实施例提出了一种非临时性计算机可读存储介质,其上存储有计算机程序,该程序被处理器执行时实现上述的用于逐次逼近模数转换器的数字校准方法。

[0015] 本发明实施例的非临时性计算机可读存储介质,通过执行上述的用于逐次逼近模数转换器的数字校准方法,可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间二倍关系不精确的问题,从而可有效提高ADC的精

度。

[0016] 为实现上述目的,本发明第三方面实施例提出了一种用于逐次逼近模数转换器的数字校准装置,所述逐次逼近模数转换器包括数模转换模块DAC和比较器,所述DAC包括低段位部分和高段位部分,所述低段位部分和所述高段位部分均包括容值呈二倍关系递增的L个电容,且所述低段位部分的L个电容中每个电容的一端分别与补偿电容的一端、耦合电容的一端相连,所述高段位部分的L个电容中每个电容的一端与所述耦合电容的另一端相连后作为所述ADC的输出端与所述比较器的第一输入端相连,所述低段位部分的L个电容中每个电容的另一端、所述高段位部分的L个电容中每个电容的另一端及所述补偿电容的另一端分别与模拟信号输入端、电压参考端或地相连,所述比较器的第二输入端与共模电压提供端相连,所述装置包括:获取模块,用于从需要校准的电容所对应转换位的最高转换位开始向低位依次获取所述需要校准的电容所对应转换位的校准码;转换模块,用于按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值;计算模块,所述计算模块分别与所述转换模块和所述获取模块相连,所述计算模块用于计算所述二进制转换值中转换值为1所对应转换位的校准码的总和,并计算所述二进制转换值与所述二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。

[0017] 根据本发明实施例的用于逐次逼近模数转换器的数字校准装置,通过获取模块从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位的校准码,并通过转换模块按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值,然后通过计算模块计算二进制转换值中转换值为1所对应转换位的校准码的总和,并计算二进制转换值与二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。该装置可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间二倍关系不精确的问题,从而可有效提高ADC的精度。

[0018] 根据本发明的一个实施例,所述获取模块包括:第一获取子模块,用于从所述需要校准的电容所对应转换位的最高转换位开始向低位依次获取所述需要校准的电容所对应转换位中每个转换位的误差码;第二获取子模块,用于根据所述每个转换位的误差码获取所述需要校准的电容所对应转换位中每个转换位的校准码,其中,所述需要校准的电容所对应转换位中最高转换位的校准码等于所述最高转换位的误差码的二分之一,在所述需要校准的电容所对应转换位中,比所述最高转换位低的转换位的校准码等于该低转换位的误差码与比该低转换位高的所有转换位的校准码之差的二分之一。

[0019] 根据本发明的一个实施例,所述第一获取子模块在获取所述需要校准的电容所对应转换位中每个转换位的误差码时,包括:先将所述DAC的输出端与所述共模电压提供端相连,并将比需要校准的电容所对应转换位低的转换位对应的电容的另一端与所述参考电压端相连,以及将所述需要校准的电容的另一端、比所述需要校准的转换位高的电容所对应转换位对应的电容的另一端接所述地;再将所述DAC的输出端与所述共模电压提供端断开,并将所述需要校准的电容的另一端与所述电压参考端相连,以及将除所述需要校准的电容之外的所有电容的另一端接所述地,以使所述第一获取子模块在所述DAC的输出端获得所述需要校准的电容所对应转换位的误差电压;对所述需要校准的电容所对应转换位的误差电压进行测量以获得所述需要校准的电容所对应转换位的误差码。

[0020] 根据本发明的一个实施例,所述第一获取子模块在对所述需要校准的电容所对应转换位的误差电压进行测量以获得所述需要校准的电容所对应转换位的误差码时,其中,所述第一获取子模块根据不需要校准的电容所对应转换位中的低几位对所述需要校准的电容所对应转换位的误差电压进行测量以获得所述需要校准的电容所对应转换位的误差码。根据本发明的一个实施例,在所述第一获取子模块获取所述需要校准的电容所对应转换位的校准码时,需要满足以下条件:所述需要校准的电容的容值小于所有比所述需要校准的电容所对应转换位低的转换位的电容的容值之和。

[0021] 为实现上述目的,本发明第四方面实施例提出了一种逐次逼近模数转换器,其包括上述的用于逐次逼近模数转换器的数字校准装置。

[0022] 本发明实施例的逐次逼近模数转换器,通过上述的数字校准装置,可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间二倍关系不精确的问题,从而可有效提高ADC的精度。

附图说明

[0023] 图1是根据本发明一个实施例的M位两段式电容逐次逼近模数转换器的电路图;

[0024] 图2是根据本发明一个实施例的用于逐次逼近模数转换器的数字校准方法的流程图;

[0025] 图3是根据本发明一个实施例的电容预充电阶段的逐次逼近模数转换器的电路图;

[0026] 图4是根据本发明一个实施例的电容再分配阶段的逐次逼近模数转换器的电路图;

[0027] 图5是根据本发明一个实施例的用于逐次逼近模数转换器的数字校准装置的方框示意图;以及

[0028] 图6是根据本发明另一个实施例的用于逐次逼近模数转换器的数字校准装置的方框示意图。

具体实施方式

[0029] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,旨在用于解释本发明,而不能理解为对本发明的限制。

[0030] 下面参照附图来描述根据本发明实施例提出的用于逐次逼近模数转换器的数字校准方法、非临时性计算机可读存储介质、用于逐次逼近模数转换器的数字校准装置以及具有该装置的逐次逼近模数转换器。

[0031] 在本发明的实施例中,如图1所示,逐次逼近模数转换器包括数模转换模块DAC和比较器,DAC包括低段位部分和高段位部分,低段位部分和高段位部分均包括容值呈二倍关系递增的L个电容,且低段位部分的L个电容中每个电容的一端分别与补偿电容的一端、耦合电容的一端相连,高段位部分的L个电容中每个电容的一端与耦合电容的另一端相连后作为ADC的输出端与比较器的第一输入端相连,低段位部分的L个电容中每个电容的另一端、高段位部分的L个电容中每个电容的另一端及补偿电容的另一端分别与模拟信号输入

端、电压参考端或地相连,比较器的第二输入端与共模电压提供端相连。

[0032] 具体而言,图1是一个M位两段式电容阵列结构的SAR ADC,SAR ADC包括数模转换器DAC、比较器和SAR逻辑单元(本发明提出的数字校准方法可通过SAR逻辑单元执行)。其中,DAC包括低段位部分和高段位部分,低段位部分包括容值呈二倍关系递增的L个电容 C_1-C_L (电容 C_1-C_L 的容值大小可以从 $1C$ 到 $2^{L-1}C$, C 为单位电容大小)和与电容 C_1-C_L 相对应的L个开关 S_1-S_L ,通过L个开关 S_1-S_L 来控制电容 C_1-C_L 与模拟信号输入端 V_{in} 、电压参考端 V_{ref} 或地 Gnd 相连;高段位部分包括容值呈二倍关系递增的L个电容 $C_{L+1}-C_M$ (电容 $C_{L+1}-C_M$ 的容值大小可以从 $1C$ 到 $2^{L-1}C$)和与电容 $C_{L+1}-C_M$ 相对应的L个开关 $S_{L+1}-S_M$,通过L个开关 $S_{L+1}-S_M$ 来控制电容 $C_{L+1}-C_M$ 与模拟信号输入端 V_{in} 、电压参考端 V_{ref} 或地 Gnd 相连。

[0033] 另外,在低段位部分还设置有补偿电容 C_{1A} (C_{1A} 大小可以为 $1C$),并由开关 S_0 对其进行控制,补偿电容 C_{1A} 只参与采样,不参与转换。在低段位部分和高段位部分之间还设置有耦合电容 C_c ,并且耦合电容 C_c 的另一端作为DAC的输出端与比较器的第一输入端(如负端)相连,比较器的第二输入端(如正端)与共模电压提供端相连,比较器的输出端与SAR逻辑单元相连,SAR逻辑单元用于对开关 S_0-S_M 进行控制。

[0034] 图2是根据本发明一个实施例的用于逐次逼近模数转换器的数字校准方法的流程图。如图2所示,本发明实施例的用于逐次逼近模数转换器的数字校准方法可包括以下步骤:

[0035] S1,从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位的校准码。

[0036] 根据本发明的一个实施例,从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位的校准码,包括:从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位中每个转换位的误差码;根据每个转换位的误差码获取需要校准的电容所对应转换位中每个转换位的校准码,其中,需要校准的电容所对应转换位中最高转换位的校准码等于最高转换位的误差码的二分之一,在需要校准的电容所对应转换位中,比最高转换位低的转换位的校准码等于该低转换位的误差码与比该低转换位高的所有转换位的校准码之差的二分之一。

[0037] 其中,根据本发明的一个实施例,获取需要校准的电容所对应转换位中每个转换位的误差码,包括:先将DAC的输出端与共模电压提供端相连,并将比需要校准的电容所对应转换位低的转换位对应的电容的另一端与参考电压端相连,以及将需要校准的电容的另一端、比需要校准的转换位高的电容所对应转换位对应的电容的另一端接地;再将DAC的输出端与共模电压提供端断开,并将需要校准的电容的另一端与电压参考端相连,以及将除需要校准的电容之外的所有电容的另一端接地,以在DAC的输出端获得需要校准的电容所对应转换位的误差电压;对需要校准的电容所对应转换位的误差电压进行测量以获得需要校准的电容所对应转换位的误差码。

[0038] 具体而言,假设需要校准的电容为 C_{L+1} 至 C_M ,对应的转换位为 $L+1$ 至 M ,那么从高位 M 开始逐次获取校准码。以所需校准的电容所对应转换位 M (对应的电容为 C_M)为例。

[0039] 首先是预充电阶段,如图3所示,将DAC的输出端(所有电容的上极板)接共模电压 V_{cm} ,并将所需校准的电容 C_M 接 Gnd ,以及将低于所需校准的电容 $C_{M-1}-C_{1A}$ 接 V_{ref} ,即电容 $C_{1A}-C_{M-1}$ 的下极板接 V_{ref} 。然后,将高段位与低段位之间的耦合电容 C_c 以及低段位中的所有电容

的等效电容记为 C_{LSB} ,高位中的所有电容记为 C_0-C_N ,此时所有电容上存储的电荷量 Q_1 为:

$$[0040] \quad Q_1 = (V_{cm} - V_{ref}) \times C_{LSB} + (V_{cm} - V_{ref}) \sum_{i=0}^{N-1} C_i + V_{cm} \times C_N \quad (1)$$

[0041] 然后是电容再分配阶段,如图4所示,将DAC的输出端(所有电容的上极板)与共模电压 V_{cm} 断开,所需校准的电容 C_M 的下极板接 V_{ref} , $C_{1A}-C_{M-1}$ 的下极板由 V_{ref} 改为接 Gnd ,在DAC的输出端会产生一个误差电压 V_x 。此时所有电容上存储的电荷总量 Q_2 为:

$$[0042] \quad Q_2 = (V_x - V_{ref}) \times C_N + V_x \times (C_{LSB} + \sum_{i=0}^{N-1} C_i) \quad (2)$$

[0043] 由于从预充电阶段至电容再分配阶段的过程中,电容的上极板没有任何泄放回路,因此电荷守恒,即 $Q_1 = Q_2$,然后由上述公式(1)、(2)可得到误差电压 V_x 为:

$$[0044] \quad V_x = V_{cm} - \frac{V_{ref} \times (C_{LSB} + \sum_{i=0}^{N-1} C_i - C_N)}{C_{LSB} + \sum_{i=0}^N C_i} \quad (3)$$

[0045] 其中,误差电压 V_x 中包含了电容失配引入的误差。

[0046] 最后,对获取的误差电压 V_x 进行测量(也可称ADC转换),即可得到需要校准的电容所对应转换位 M 的误差码。

[0047] 其中,根据本发明的一个实施例,对需要校准的电容所对应转换位的误差电压进行测量以获得需要校准的电容所对应转换位的误差码,包括:根据不需要校准的电容所对应转换位中的低几位对需要校准的电容所对应转换位的误差电压进行测量以获得需要校准的电容所对应转换位的误差码。

[0048] 具体而言,仍以所需校准的电容所对应转换位 M 为例。在获取误差电压 V_x 后,可以通过使用ADC的低几位来测量误差电压 V_x ,以获取需要校准的电容所对应转换位 M 的误差码。例如,所选的ADC的低几位可以是比 M 位低的转换位 $M-1$ 、 $M-2$ 、 \dots 、 2 、 1 (对应电容分别为 C_{M-1} 、 C_{M-2} 、 \dots 、 C_2 、 C_1)。

[0049] 具体地,对于ADC来说,由于电容失配造成的误差电压小于 $0.5LSB$ (这里的 LSB 为分辨率的单位),而对于ADC的低几位来说,以现有的工艺条件,可以保证ADC的低几位有足够的精度,所以不需要对ADC的低几位进行校准,例如,对于一个12位的ADC来说,要求最高位的电容失配小于 $1/4096$,而要求最低位的电容失配小于 $1/2$ 即可。因此,可根据ADC的低几位(如低四位)来测量误差电压 V_x ,通过上述公式(3)得到误差电压 V_x ,然后对误差电压进行ADC转换,即可得到需要校准的转换位 M 的误差码 E_M 。在得到误差码 E_M 后,可得到需要校准的转换位 M 的校准码 $A_M = 1/2 * E_M$ 。

[0050] 在获取所需校准的电容所对应高位转换位 M 的校准码之后,再获取比 M 位低一位即 $M-1$ 位的误差码,以获取转换位 $M-1$ 的校准码。在预充电阶段,将DAC的输出端(所有电容的上极板)接共模电压 V_{cm} ,并将所需校准的电容 C_{M-1} 以及高于所需校准的电容 C_{M-1} 所对应的转换位对应的电容接 Gnd ,即 $C_{M-1}-C_M$ 的下极板接 Gnd ,以及将低于所需校准的电容所对应转换位对应的电容 $C_{M-2}-C_{1A}$ 接 V_{ref} ,即电容 $C_{1A}-C_{M-2}$ 的下极板接 V_{ref} ,可得到所有电容上存储的电荷量 Q_1 。接着是电容再分配阶段,将DAC的输出端(所有电容的上极板)与共模电压 V_{cm} 断开,所需校准的电容 C_{M-1} 的下极板接 V_{ref} ,其余电容全部接 Gnd ,即 C_M 的下极板保持接 Gnd , $C_{1A}-C_{M-2}$ 的下极板由 V_{ref} 改为接 Gnd ,在DAC的输出端会产生一个误差电压 V_x ,同时获取所有电容上存储的电荷总量 Q_2 ,由于电荷守恒,根据 $Q_1 = Q_2$ 可得到误差电压 V_x 。同样可得到转换位 $M-1$

的误差码 E_{M-1} ，在得到误差码 E_{M-1} 之后，可得到所需校准的转换位 $M-1$ 的校准码 $A_{M-1}=1/2*(E_{M-1}-A_M)$ 。依次类推，可得到所需校准的电容所对应转换位 $M-2$ 的校准码 $A_{M-2}=1/2*(E_{M-2}-A_{M-1}-A_M)$ ， \dots ，所需校准的电容所对应转换位 i 的校准码 $A_i=1/2*(E_i-\sum_{j=i+1}^M A_j)$ ， $(i=1,2,3,\dots,M-1)$ 。由于所需校准的电容所对应转换位的校准码的获取原理相同，因此不再详细描述。

[0051] S2,按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值。

[0052] 例如，采用二进制搜索算法对输入的拟信号进行转换以获得二进制转换值。其中，DAC通过SAR逻辑单元可以得到 $1/2V_{ref}$ 、 $1/4V_{ref}$ 、 $1/8V_{ref}$...等电压，再将模拟信号输入端 V_{in} 的电压与该DAC产生的电压做比较，模拟信号输入端 V_{in} 的电压较大时，比较器输出为高电平，即SAR逻辑单元记录该位的码值为“1”，反之，比较器输出为低电平，即SAR逻辑单元记录该位码值为“0”。依此类推，进行 N 次比较，即可得到 N 位的转换结果。

[0053] 具体地，在进行转换时，首先模拟信号输入端 V_{in} 的电压被采样保持，然后，SAR逻辑单元将逐次逼近寄存器(SAR)最高位(MSB)置1，其他位全部清零，DAC在 V_{ref} 和SAR逻辑单元的控制下输出 $1/2V_{ref}$ ，如果 $V_{in}>1/2V_{ref}$ ，则比较器输出1，SAR最高位为1；否则，比较器输出0，SAR最高位为0，此时，逐次逼近ADC的最高位就确定了。

[0054] 然后再确定次高位，如果前一个转换周期确定的MSB=1，则DAC输出 $3/4V_{ref}$ ，将 V_{in} 与 $3/4V_{ref}$ 比较进行大小，如果 $V_{in}>3/4V_{ref}$ ，则比较器输出1，SAR次高位为1；否则，比较器输出0，SAR次高位为0，从而确定SAR次高位；如果前一个转换周期确定的MSB=0，则DAC输出 $1/4V_{ref}$ ， V_{in} 与 $1/4V_{ref}$ 比较大小，如果 $V_{in}>1/4V_{ref}$ ，则比较器输出1，SAR次高位为1；否则，比较器输出0，SAR次高位为0，从而确定SAR次高位。依此类推，直到SAR的最低位LSB确定为止，这样就完成了逐次逼近ADC的最终输出，最终获得一个二进制转换值。

[0055] S3,计算二进制转换值中转换值为1所对应转换位的校准码的总和。

[0056] S4,计算二进制转换值与二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值，以获得校验后的ADC的转换值。

[0057] 具体地，在根据上述步骤获取到所需要校准的电容所对应转换位的校准码之后，计算二进制转换值中转换值为1所对应转换位的校准码的总和。例如，在12位ADC中，在一次转换后得到转换值 D 为12位二进制码，假设 $D=101000000000$ ，那么累加第12位和第10位的校准码，即 $A=A_{12}+A_{10}$ ，其中， A_{12} 和 A_{10} 可通过上述描述的获取校准码的方法进行获取。然后，计算二进制转换值与二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值，以获得校验后的数字信号(ADC的转换值)，即将ADC的转换值 D 减去校准码 A ，可得到校准后的转换值 $D_{cal}=D-A$ (即校验后的ADC的转换值)。

[0058] 根据本发明的一个实施例，在获取需要校准的电容所对应转换位的校准码时，需要满足以下条件：需要校准的电容的容值小于所有比需要校准的电容所对应转换位低的转换位的电容的容值之和。

[0059] 具体而言，当所需校准的电容的容值小于比该校准位位低的所有电容的容值的和时，即 $C_N < \sum_{i=1, A}^{N-1} C_i$ (其中， C_N 为需要校准的转换位对应的电容)，模拟信号输入电压按照逐次逼近方式进行转换后，存在两个数字码与之对应，即单一的模拟输入信号会对应多个数字码，而这些数字码中的某些值在正常情况下是不会出现的，称为丢码，由于原模拟输入信

号的信息没有丢失,因此丢码情况下产生的误差可以通过数字校准消除;当 $C_N > \sum_{i=1}^{N-1} C_i$ 时,存在多个模拟信号输入电压按照逐次逼近方式进行转换后,对应单一的数字码,即出现了非单调性,在这种情况下,原模拟输入信号的信息丢失,数字校准不能还原这些信息,此时ADC的转换出现错误。

[0060] 假设,需要校准的电容分别为 C_{L+1} 、 C_{L+2} 、 \dots 、 C_{M-1} 、 C_M ,为了保证数字校准的准确性,可通过增大耦合电容 C_c 的容值来满足 $C_N < \sum_{i=1}^{N-1} C_i$,或者可以通过直接增大较低位的电容的容值来满足 $C_N < \sum_{i=1}^{N-1} C_i$ 。

[0061] 综上所述,根据本发明实施例的用于逐次逼近模数转换器的数字校准方法,先从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位的校准码,然后按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值,最后计算二进制转换值中转换值为1所对应转换位的校准码的总和,并计算二进制转换值与二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。该方法可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间二倍关系不精确的问题,从而可有效提高ADC的精度。

[0062] 图5是根据本发明一个实施例的用于逐次逼近模数转换器的数字校准装置的方框示意图。

[0063] 在本发明的实施例中,如图1所示,逐次逼近模数转换器包括数模转换模块DAC和比较器,DAC包括低段位部分和高段位部分,低段位部分和高段位部分均包括容值呈二倍关系递增的L个电容,且低段位部分的L个电容中每个电容的一端分别与补偿电容的一端、耦合电容的一端相连,高段位部分的L个电容中每个电容的一端与耦合电容的另一端相连后作为ADC的输出端与比较器的第一输入端相连,低段位部分的L个电容中每个电容的另一端、高段位部分的L个电容中每个电容的另一端及补偿电容的另一端分别与模拟信号输入端、电压参考端或地相连,比较器的第二输入端与共模电压提供端相连。

[0064] 如图5所示,本发明实施例的用于逐次逼近模数转换器的数字校准装置可包括:转换模块10、获取模块20和计算模块30。

[0065] 其中,获取模块20用于从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位的校准码。转换模块10用于按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值。计算模块30分别与转换模块10和获取模块20相连,计算模块30用于计算二进制转换值中转换值为1所对应转换位的校准码的总和,并计算二进制转换值与二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。

[0066] 根据本发明的一个实施例,如图6所示,获取模块20包括:第一获取子模块21和第二获取子模块22。其中,第一获取子模块21用于从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位中每个转换位的误差码;第二获取子模块22用于根据每个转换位的误差码获取需要校准的电容所对应转换位中每个转换位的校准码,其中,需要校准的电容所对应转换位中最高转换位的校准码等于最高转换位的

误差码的二分之一,在需要校准的电容所对应转换位中,比最高转换位低的转换位的校准码等于该低转换位的误差码与比该低转换位高的所有转换位的校准码之差的二分之一。

[0067] 根据本发明的一个实施例,第一获取子模块21在获取需要校准的电容所对应转换位中每个转换位的误差码时,包括:先将DAC的输出端与共模电压提供端相连,并将比需要校准的电容所对应转换位低的转换位对应的电容的另一端与参考电压端相连,以及将需要校准的电容的另一端、比需要校准的转换位高的电容所对应转换位对应的电容的另一端接地;再将DAC的输出端与共模电压提供端断开,并将需要校准的电容的另一端与电压参考端相连,以及将除需要校准的电容之外的所有电容的另一端接地,以使第一获取子模块21在DAC的输出端获得需要校准的电容所对应转换位的误差电压;对需要校准的电容所对应转换位的误差电压进行测量以获得需要校准的电容所对应转换位的误差码。

[0068] 根据本发明的一个实施例,第一获取子模块21在对需要校准的电容所对应转换位的误差电压进行测量以获得需要校准的电容所对应转换位的误差码时,其中,第一获取子模块21根据不需要校准的电容所对应转换位中的低几位对需要校准的电容所对应转换位的误差电压进行测量以获得需要校准的电容所对应转换位的误差码。

[0069] 根据本发明的一个实施例,在第一获取子模块21获取需要校准的电容所对应转换位的校准码时,需要满足以下条件:需要校准的电容的容值小于所有比需要校准的电容所对应转换位低的转换位的电容的容值之和。

[0070] 需要说明的是,本发明实施例的用于逐次逼近模数转换器的数字校准装置中未披露的细节,请参照本发明实施例的用于逐次逼近模数转换器的数字校准方法中所披露的细节,具体这里不再赘述。

[0071] 根据本发明实施例的用于逐次逼近模数转换器的数字校准装置,通过获取模块从需要校准的电容所对应转换位的最高转换位开始向低位依次获取需要校准的电容所对应转换位的校准码,并通过转换模块按照正常逐次逼近方式对输入的模拟信号进行转换以获得二进制转换值,然后通过计算模块计算二进制转换值中转换值为1所对应转换位的校准码的总和,并计算二进制转换值与二进制转换值中转换值为1所对应转换位的校准码的总和之间的差值,以获得校验后的ADC的转换值。该装置可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间二倍关系不精确的问题,从而可有效提高ADC的精度。

[0072] 另外,本发明的实施例还提出了一种非临时性计算机可读存储介质,其上存储有计算机程序,该程序被处理器执行时实现上述的用于逐次逼近模数转换器的数字校准方法。

[0073] 本发明实施例的非临时性计算机可读存储介质,通过执行上述的用于逐次逼近模数转换器的数字校准方法,可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间二倍关系不精确的问题,从而可有效提高ADC的精度。

[0074] 此外,本发明的实施例还提出了一种逐次逼近模数转换器,其包括上述的用于逐次逼近模数转换器的数字校准装置。

[0075] 本发明实施例的逐次逼近模数转换器,通过上述的数字校准装置,可以有效校准由于寄生电容和工艺制造误差带来的电容之间的失配误差,避免因失配误差造成电容之间

二倍关系不精确的问题,从而可有效提高ADC的精度。

[0076] 应当理解,本发明的各部分可以用硬件、软件、固件或它们的组合来实现。在上述实施方式中,多个步骤或方法可以用存储在存储器中且由合适的指令执行系统执行的软件或固件来实现。例如,如果用硬件来实现,和在另一实施方式中一样,可用本领域公知的下列技术中的任一项或他们的组合来实现:具有用于对数据信号实现逻辑功能的逻辑门电路的离散逻辑电路,具有合适的组合逻辑门电路的专用集成电路,可编程门阵列(PGA),现场可编程门阵列(FPGA)等。

[0077] 另外,在本发明的描述中,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”、“顺时针”、“逆时针”、“轴向”、“径向”、“周向”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0078] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本发明的描述中,“多个”的含义是至少两个,例如两个,三个等,除非另有明确具体的限定。

[0079] 在本发明中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系,除非另有明确的限定。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0080] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征“上”或“下”可以是第一和第二特征直接接触,或第一和第二特征通过中间媒介间接接触。而且,第一特征在第二特征“之上”、“上方”和“上面”可是第一特征在第二特征正上方或斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”可以是第一特征在第二特征正下方或斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0081] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外,在不相互矛盾的情况下,本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

[0082] 尽管上面已经示出和描述了本发明的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本发明的限制,本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

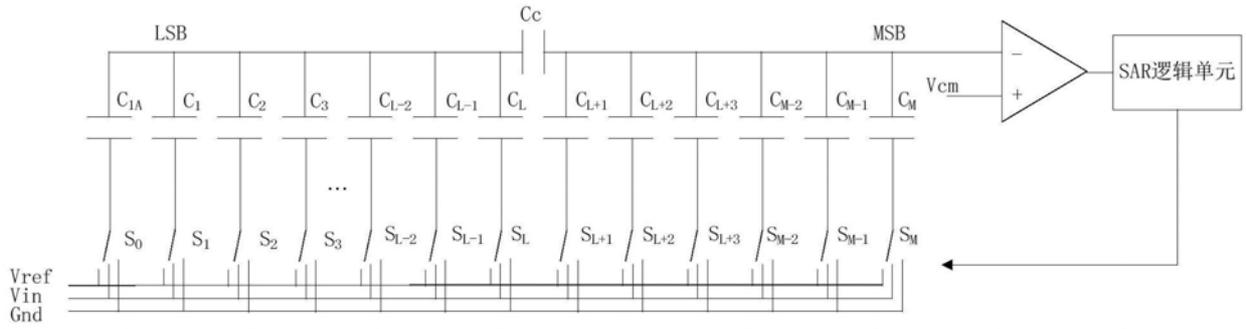


图1

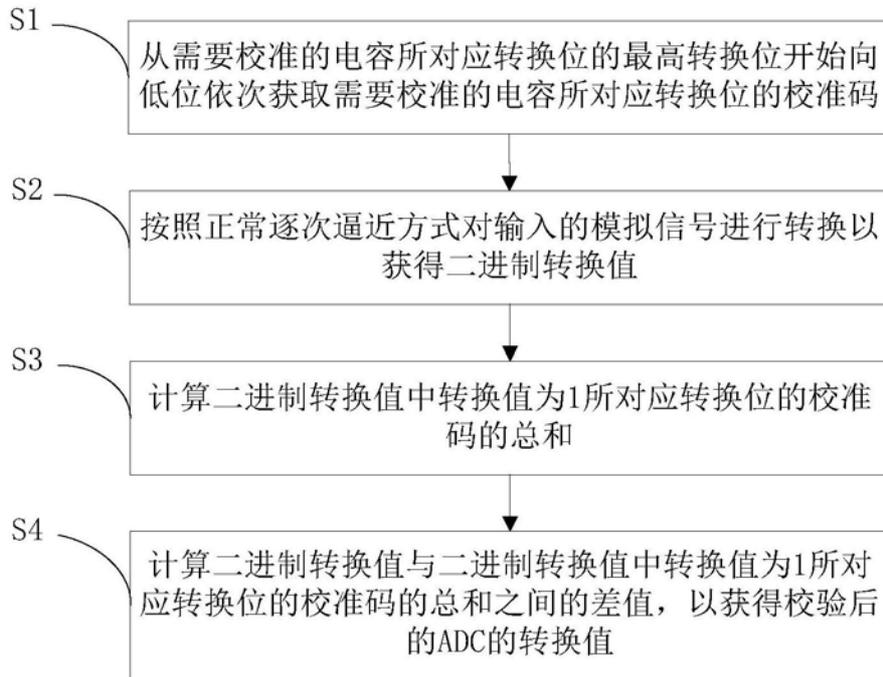


图2

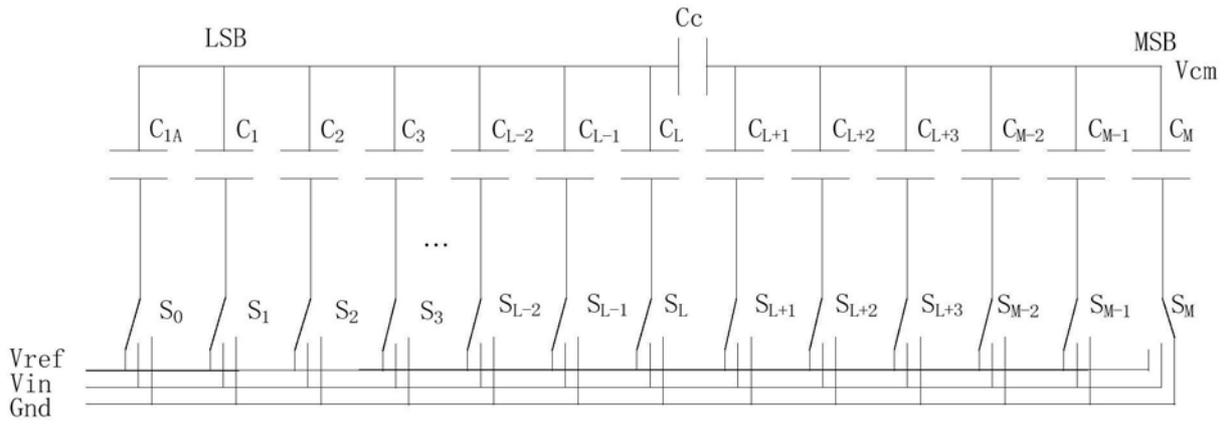


图3

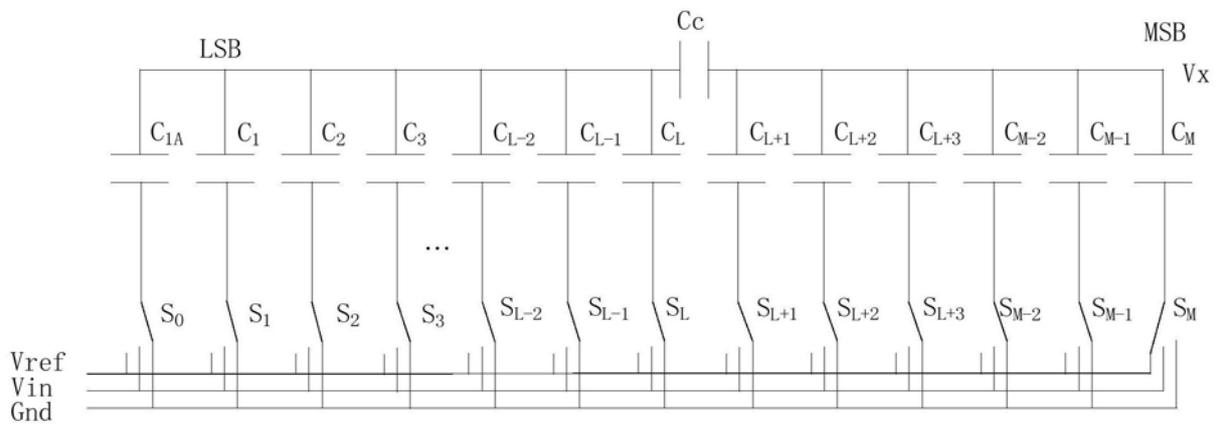


图4

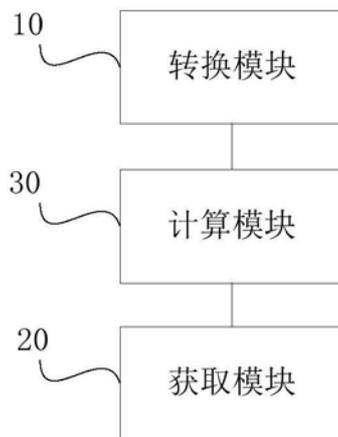


图5

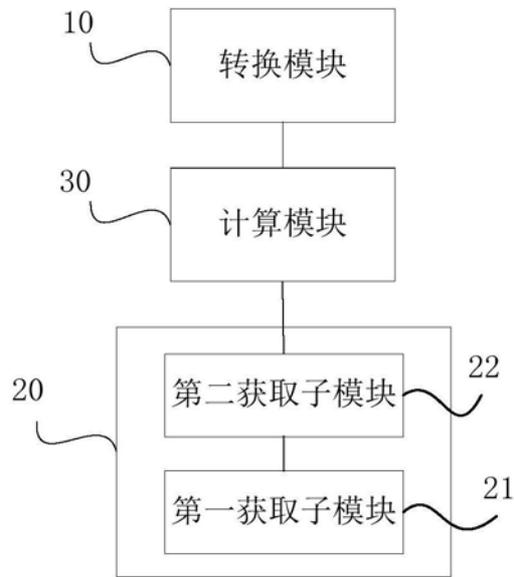


图6