

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G09G 3/28	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년11월04일 10-0525734 2005년10월26일
---	-------------------------------------	--

(21) 출원번호	10-2003-0033778	(65) 공개번호	10-2004-0102408
(22) 출원일자	2003년05월27일	(43) 공개일자	2004년12월08일

(73) 특허권자	엘지전자 주식회사 서울특별시 영등포구 여의도동 20번지
(72) 발명자	윤상진 경상북도칠곡군석적면남울리710우방신천지타운103동1802호
(74) 대리인	김영호

심사관 : 강윤석

(54) 플라즈마 디스플레이 패널의 구동방법

요약

본 발명은 콘트라스트비를 높임과 아울러 미스라이팅을 예방하도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

이 플라즈마 디스플레이 패널의 구동방법은 제1 및 제2 전극 중 적어도 어느 하나에 제1 전압을 공급한 후에 상기 제1 전압으로부터 상기 제1 전압보다 100~130[V] 높은 전압까지 전압이 상승하는 차지업 상승 램프파형을 공급하여 셀들을 초기화한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 전극배치를 개략적으로 나타내는 평면도이다.
 도 2는 도 1에 도시된 방전셀의 구조를 상세히 나타내는 사시도이다.
 도 3은 종래의 플라즈마 디스플레이 패널의 구동방법에 있어서 8 개의 서브필드들이 포함된 종래의 한 프레임을 나타내는 도면이다.
 도 4는 종래의 플라즈마 디스플레이 패널의 구동 파형을 나타내는 파형도이다.

도 5은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 6은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동장치를 나타내는 블록도이다.

도 7은 도 6에 도시된 스캔 구동부를 상세히 나타내는 회로도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

71 : 타이밍 컨트롤러 72 : 데이터 구동부

73 : 스캔 구동부 74 : 서스테인 구동부

75 : 구동전압 발생부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널의 구동방법에 관한 것으로, 특히 콘트라스트비(contrast ratio)를 높임과 아울러 미스라이팅(mis-writing)을 예방하도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 He+ Xe 또는 Ne+ Xe 가스의 방전시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막 화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극 교류 면방전형 PDP는 방전시 표면에 축적된 벽전하를 이용하여 방전에 필요한 전압을 낮추게 되며, 방전에 의해 발생하는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

도 1 및 도 2를 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기관(10) 상에 형성되어진 스캔전극(Y1 내지 Yn) 및 서스테인전극(Z)과, 하부기관(18) 상에 형성되어진 어드레스전극(X1 내지 Xm)을 구비한다.

이 PDP의 방전셀들(1)은 스캔전극들(Y1 내지 Yn), 서스테인전극들(Z) 및 어드레스전극들(X1 내지 Xm)의 교차부에 형성된다.

스캔전극(Y1 내지 Yn)과 서스테인전극(Z) 각각은 투명전극(12)과, 투명전극(12)보다 작은 선폭을 가지며 투명전극의 일측 가장자리에 형성되는 금속버스전극(11)을 포함한다. 투명전극(12)은 통상 인듐틴옥사이드(Indium-Tin-Oxide : ITO)로 상부기관(10) 상에 형성된다. 금속버스전극(11)은 통상 금속으로 투명전극(12) 상에 형성되어 저항이 높은 투명전극(12)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(Y1 내지 Yn)과 서스테인전극(Z)이 형성된 상부기관(10)에는 상부 유전체층(13)과 보호막(14)이 적층된다. 상부 유전체층(13) 상에는 플라즈마 방전시 발생된 벽전하가 쌓이게 된다. 보호막(14)은 플라즈마 방전시 발생된 스퍼터링으로부터 전극들(Y1 내지 Yn, Z)과 상부 유전체층(13)을 보호하고 2차 전자의 방출 효율을 높이게 된다. 이 보호막(14)으로는 통상 산화마그네슘(MgO)이 이용된다.

어드레스전극(X1 내지 Xm)은 스캔전극(Y1 내지 Yn) 및 서스테인전극(Z)과 교차되는 방향으로 하부기관(18) 상에 형성된다. 하부기관(18) 상에는 하부 유전체층(17)과 격벽(15)이 형성된다. 하부 유전체층(17)과 격벽(15)의 표면에는 형광체층(16)이 형성된다. 격벽(15)은 어드레스전극(X1 내지 Xm)과 나란하게 형성되어 방전셀을 물리적으로 구분하며, 방전에 의해 생성된 자외선과 가시광이 인접한 방전셀에 누설되는 것을 차단한다. 형광체층(16)은 플라즈마 방전시 발생된 자외선에 의해 여기·발광되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생한다.

상/하부기관(10,18)과 격벽(15) 사이에 마련된 방전셀의 방전공간에는 방전을 위한 He+ Xe, Ne+ Xe, He+ Xe+ Ne 등의 불활성 혼합가스가 주입된다.

이러한 3전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 도 3과 같이 8개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 각 서브필드(SF1 내지 SF8)는 방전셀들을 초기화하기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 각 서브필드(SF1 내지 SF8)의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에, 서스테인 기간 및 그 방전횟수는 각 서브필드에서 2^n (단, $n=0,1,2,3,4,5,6,7$)의 비율로 증가된다.

도 4는 PDP에서 사용되고 있는 구동파형을 나타낸다.

도 4를 참조하면, 리셋기간의 초기에는 서스테인전압(V_s)의 서스테인펄스(sus)가 스캔전극들(Y)에 먼저 공급된 후 서스테인전극들(Z)에 공급된다. 그 다음에 다시 서스테인전극들(Y)에 초기화 서스테인펄스(isus)가 공급된다. 이들 서스테인펄스그룹(SUG)은 도 4에 도시된 셋업 상승 램프파형(R_{suy})을 대신하여 각 전극들(X, Y, Z) 상에 초기 벽전하를 형성하는 역할을 한다. 서스테인펄스들(sus, isus)이 스캔전극들(Y)과 서스테인전극들(Z)에 공급되는 동안 어드레스전극들(X)에는 0[V]가 공급된다. 이렇게 서스테인펄스들(sus, isus)이 스캔전극들(Y)과 서스테인전극들(Z)에 공급될 때 스캔전극들(Y)과 서스테인전극들(Z) 사이에 면방전이 발생하면서 스캔전극들(Y)과 서스테인전극들(Z) 사이에 벽전하가 쌓이게 된다. 초기화 서스테인펄스(isus)에 연이어 셋다운 하강 램프파형(R_{sdy})이 스캔전극들(Y)에 공급된다. 셋다운 하강 램프파형(R_{sdy})이 스캔전극들(Y)에 공급되는 동안 서스테인전극들(Z)에는 서스테인전압(V_s)이 공급된다. 이렇게 셋다운 하강 램프파형(R_{sdy})이 공급될 때, 스캔전극들(Y)과 서스테인전극들(Z) 사이와 스캔전극들(Y)과 어드레스전극들(X) 사이에 약방전으로 셋다운방전이 일어난다. 이러한 셋다운방전에 의해 셋업방전시에 형성된 벽전하들 중에서 어드레스방전에 불필요한 과도한 벽전하들이 소거된다.

어드레스기간에는 부극성 스캔전압(V_{scan})의 스캔펄스(scan)가 스캔전극들(Y)에 순차적으로 공급됨과 동시에 스캔펄스(scan)에 동기되는 정극성 데이터전압(V_d)의 데이터펄스(data)가 어드레스전극들(X)에 공급된다. 스캔펄스(scan)와 데이터펄스(data)의 전압차와 리셋기간에 생성된 벽전압이 더해지면서 데이터펄스(data)가 공급되는 셀 내에는 어드레스방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 서스테인전압(V_s)이 공급될 때 방전이 일어날 수 있는 정도의 벽전하가 형성된다. 이 어드레스기간 동안 서스테인전극(Z)에는 서스테인전압(V_s)이 공급된다.

서스테인기간에는 스캔전극들(Y)과 서스테인전극들(Z)에 교번적으로 서스테인펄스(sus)가 공급된다. 첫번째 서스테인펄스(sus)는 서스테인방전이 안정되게 개시되도록 그 이후에 발생하는 서스테인펄스에 비하여 펄스폭이 넓다. 어드레스방전에 의해 선택된 온셀들은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus)가 공급될 때 마다 스캔전극들(Y)과 서스테인전극들(Z) 사이에 서스테인방전 즉, 표시방전이 발생된다. 서스테인방전이 완료된 후에는 소거 램프파형(ers)이 서스테인전극(Z)에 공급되어 전화면의 셀들 내에 잔류하는 벽전하를 소거시키게 된다.

그런데 도 4와 같이 서스테인펄스만으로 셋업방전을 일으키게 되면 스캔전극들(Y)과 어드레스전극들(X) 상에 쌓여지는 초기 벽전하가 낮아질 수 밖에 없으므로 어드레스기간에 데이터가 인가되는 셀에서 어드레스방전이 일어나지 않고 미스라이팅이 발생하는 경우가 흔히 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 콘트라스트비를 높임과 아울러 미스라이팅을 예방하도록 한 PDP의 구동방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 PDP의 구동방법은 제1 및 제2 전극을 각각 포함한 다수의 전극쌍이 형성된 상판과 상기 다수의 전극쌍과 교차하는 다수의 제3 전극이 형성된 하판을 구비하며 상기 전극들의 교차부에 셀들이 형성되는 PDP를 구동하기 위한 방법에 있어서, 리셋기간 동안 상기 제1 및 제2 전극 중 적어도 어느 하나에 제1 전압을 공급한 후에 상기 제1 전압으로부터 상기 제1 전압보다 100~130[V] 높은 전압까지 전압이 상승하는 차지업 상승 램프파형을 공급하여 상기 셀들을 초기화하는 제1 단계와; 상기 제1 전극에 기저전압(GND)부터 상기 차지업전압보다 낮은 안정화 전압까지 전압이 상승하는 안정화 상승 램프파형을 공급하고 상기 제2 전극에 상기 기저전압을 공급하는 제2 단계와; 어

드레스 기간 동안 상기 제1 및 제2 전극 중 어느 하나에 스캔전압을 공급하고 상기 제3 전극에 데이터전압을 공급하여 상기 셀들을 어드레스하는 제3 단계와; 상기 제1 및 제2 전극들에 교대로 서스테인전압을 공급하여 표시를 행하는 제4 단계를 포함한다.

상기 차지업 상승 램프파형이 공급되기 전에 상기 제1 및 제2 전극 중 적어도 어느 하나의 전압은 대략 수[μ s] 동안 상기 제1 전압으로 유지된다.

상기 구동방법은 상기 차지업 상승 램프파형에 이어서 상기 제1 전압부터 부극성의 셋다운전압까지 전압이 하강하는 셋다운 하강 램프파형을 상기 제1 및 제2 전극 중 적어도 어느 하나에 공급하는 제5 단계를 더 포함한다.

상기 구동방법은 상기 셋다운 하강 램프파형에 앞서 상기 제1 전압을 상기 제1 및 제2 전극 중 적어도 어느 하나에 공급하는 제6 단계를 더 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

삭제

삭제

삭제

삭제

삭제

삭제

이하, 본 발명의 실시예를 첨부한 도 5 내지 도 7을 참조하여 상세히 설명하기로 한다.

도 5를 참조하면, 본 발명의 실시예에 따른 PDP의 구동방법은 한 프레임기간을 다수의 서브필드로 PDP를 시분할 구동하며 적어도 하나의 서브필드에서 차지업 상승 램프파형(Rchuy)으로 벽전하량을 보충하게 된다.

리셋기간의 초기에는 서스테인전압(V_s)의 서스테인펄스(sus)가 스캔전극들(Y)에 먼저 공급된 후 서스테인전극들(Z)에 공급된다. 그 다음에 다시 서스테인전극들(Y)에 초기화 서스테인전압(V_s)이 소정의 t_1 기간 동안 예컨대, 대략 3~4[μ s] 동안 공급된다. 서스테인펄스들(sus)과 서스테인전압(V_s)이 스캔전극들(Y)과 서스테인전극들(Z)에 공급되는 동안 어드레스전극들(X)에는 0[V]가 공급된다. 이렇게 서스테인펄스들(sus)과 서스테인전압(V_s)이 스캔전극들(Y)과 서스테인전극들(Z)에 공급될 때 스캔전극들(Y)과 서스테인전극들(Z) 사이에 면방전이 발생하면서 스캔전극들(Y) 상에 부극성 벽전하가 쌓이게 되고 서스테인전극들(Z)과 어드레스전극들(X) 상에 정극성 벽전하가 쌓이게 된다. t_1 기간 동안 서스테인전압(V_s)이 공급되고 그 서스테인전압(V_s)으로부터 대략 100~130[V]까지 전압이 상승하는 차지업 상승 램프파형(Rchuy)이 스캔전극들(Y)에 공급된다. 차지업 상승 램프파형(Rchuy)의 기울기는 기존의 셋업 램프파형(Rsuy)과 동일하게 설정된다. 또한, 차지업 상승 램프파형(Rchuy)의 기울기는 기존의 셋업 램프파형(Rsuy)과 다르게 설정될 수도 있다. 이 차지업 상승 램프파형(Rchuy)에 의해 스캔전극들(Y)과 서스테인전극들(Z) 사이 그리고 스캔전극들(Y)과 어드레스전극들(Z) 사이에 약하게 쓰기 방전이 일어난다. 그 결과 스캔전극들(Y) 상에는 더 많은 부극성 벽전하가 쌓이고 어드레스전극들(Y) 상에는 정극성 벽전하가 쌓여 벽전하량이 보충된다. 이러한 차지업 그룹(SUG)은 다수의 서스테인펄스(sus)와 차지업 상승 램프파형(Rchuy)을 포함하여 방전이 크게 일어나지 않게 하여 초기화 쓰기 동작을 안정화시키고 콘트라스트비의 저하를 막을

뿐만 아니라 벽전하를 충분히 보충하여 미스 라이팅을 예방하는 역할을 한다. 이어서, 스캔전극들(Y)에 t2 기간 동안 서스테인전압(Vs)이 공급된 후에 전압이 대략 서스테인전압(Vs)부터 셋다운전압(Vsetdn)까지 하강하는 셋다운 하강 램프파형(Rsdy)이 스캔전극들(Y)에 공급되는 동안 서스테인전극들(Y)에는 서스테인전압(Vs)이 공급된다. 셋다운 하강 램프파형(Rsdy)이 공급될 때, 스캔전극들(Y)과 서스테인전극들(Z) 사이와 스캔전극들(Y)과 어드레스전극들(X) 사이에 약방전으로 셋다운방전이 일어난다. 이러한 셋다운방전에 의해 셋업방전시에 형성된 벽전하들 중에서 어드레스방전에 불필요한 과도한 벽전하들이 소거된다.

어드레스기간의 초기에는 서스테인전압(Vs)보다 낮은 정극성의 스캔바이어스전압이 스캔전극들(Y)에 공급된 후에 기저전압(GND)이나 0[V]로부터 안정화전압(Vsf)까지 전압이 상승하는 안정화 상승 램프파형(Rsfy)이 스캔전극들(Y)에 공급된다. 스캔전극들(Y)에 스캔바이어스전압과 안정화 상승 램프파형(Rsfy)이 공급되는 동안 서스테인전극들(Z)과 어드레스전극들(X)에는 기저전압(GND)이나 0[V]가 공급된다. 안정화 상승 램프파형(Rsfy)은 스캔펄스(scan)와 데이터펄스(data)가 발생되기 전에 스캔전극들(Y)과 어드레스전극들(X)에 방전을 일으켜 스캔전극들(Y)에 부극성 벽전하를 쌓고 어드레스전극들(X)에 정극성 벽전하가 더 쌓여지게 함으로써 어드레스방전이 안정되게 일어나게 하며, 어드레스 전압과 어드레스 방전 지연을 낮추고 어드레스 구동마진을 높이는 역할을 한다. 이어서, 부극성 스캔전압(Vscan)의 스캔펄스(scan)가 스캔전극들(Y)에 순차적으로 공급됨과 동시에 스캔펄스(scan)에 동기되는 정극성 데이터전압(Vd)의 데이터펄스(data)가 어드레스전극들(X)에 공급된다. 스캔펄스(scan)와 데이터펄스(data)의 전압차와 셀 내의 벽전압이 더해지면서 데이터펄스(data)가 공급되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 서스테인전압(Vs)이 공급될 때 방전이 일어날 수 있는 정도의 벽전하가 형성된다. 이 어드레스기간 동안 서스테인전극(Z)에는 서스테인전압(Vs)이 공급된다.

서스테인기간에는 스캔전극들(Y)과 서스테인전극들(Z)에 교번적으로 서스테인펄스(sus)가 공급된다. 첫번째 서스테인펄스(sus)는 서스테인방전이 안정되게 개시되도록 그 이후에 발생하는 정상 서스테인펄스에 비하여 펄스폭이 넓다. 그리고 마지막 서스테인펄스의 펄스폭은 그 이후의 소거 방전이 안정되게 일어날 수 있도록 상기 정상 서스테인펄스에 비하여 넓게 설정된다. 어드레스방전에 의해 선택된 온셀들은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus)가 공급될 때 마다 스캔전극들(Y)과 서스테인전극들(Z) 사이에 서스테인방전 즉, 표시방전이 발생된다. 서스테인방전이 완료된 후에는 소거 상승 램프파형(ers)이 서스테인전극들(Z)에 공급되어 전하변의 셀들 내에 잔류하는 벽전하를 소거시키게 된다.

도 6은 본 발명의 실시예에 따른 PDP의 구동장치를 나타낸다.

도 6을 참조하면, 본 발명의 실시예에 따른 PDP의 구동장치는 PDP의 어드레스전극들(X1 내지 Xm)에 데이터를 공급하기 위한 데이터 구동부(72)와, 스캔전극들(Y1 내지 Yn)을 구동하기 위한 스캔 구동부(73)와, 공통전극인 서스테인전극들(Z)을 구동하기 위한 서스테인 구동부(74)와, 각 구동부(72, 73, 74)를 제어하기 위한 타이밍 콘트롤러(71)와, 각 구동부(72, 73, 74)에 필요한 구동전압을 공급하기 위한 구동전압 발생부(75)를 구비한다.

데이터 구동부(72)에는 도시하지 않은 역감마보정회로, 오차확산회로 등에 의해 역감마보정 및 오차확산 된 후, 서브필드 맵핑회로에 의해 각 서브필드에 맵핑된 데이터가 공급된다. 이 데이터 구동부(72)는 타이밍 콘트롤러(71)로부터의 타이밍 제어신호(CTR_X)에 응답하여 데이터를 샘플링하고 래치한 다음, 그 데이터를 어드레스전극들(X1 내지 Xm)에 공급하게 된다.

스캔 구동부(73)는 타이밍 콘트롤러(71)의 제어 하에 리셋기간 동안 도 4에 도시된 서스테인펄스들(sus)과 차지업 상승 램프파형(Rchuy) 등을 스캔전극들(Y1 내지 Yn)에 공급한다. 그리고 스캔 구동부(73)는 어드레스기간 동안 스캔펄스를 스캔전극들(Y1 내지 Yn)에 순차적으로 공급하고 서스테인기간 동안 서스테인펄스(sus)와 소거 상승 램프파형(ers)을 스캔전극들(Y1 내지 Yn)에 공급한다. 이 스캔 구동부(73)에서 차지업 상승 램프파형(Rchuy)은 도 7에서 알 수 있는 바 기존의 셋업 상승 램프파형(Rsuy)을 발생하기 위한 램프발생회로에서 전압원만을 다르게 하여 발생될 수 있다. 따라서, 차지업 상승 램프파형(Rchuy)을 발생하기 위한 회로는 기존의 스캔 구동부(73)에 더 추가되는 것이 아니라 기존 회로에서 전압원이 셋업전압원에서 차지업 전압원으로 대체되는 것으로 간단히 구현될 수 있다.

서스테인 구동부(74)는 타이밍 콘트롤러(71)의 제어 하에 스캔 구동부(73)와 교대로 동작하여 서스테인펄스(sus)를 서스테인전극들(Z)에 공급하게 된다.

타이밍 콘트롤러(71)는 수직/수평 동기신호와 클럭신호를 입력받고 각 구동부에 필요한 타이밍 제어신호(CTR_X, CTR_Y, CTR_Z)를 발생하고 그 타이밍 제어신호(CTR_X, CTR_Y, CTR_Z)를 해당 구동부(72, 73, 74)에 공급함으로써 각 구동부(72, 73, 74)를 제어한다. 데이터 제어신호(CTR_X)에는 데이터를 샘플링하기 위한 샘플링클럭, 래치제어신호, 에너지 회수회로

와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 스캔 제어신호(CTRY)에는 스캔구동부(73) 내의 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 그리고 서스테인 제어신호(CTRZ)에는 서스테인구동부(74) 내의 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다.

구동전압 발생부(75)는 셋업전압(Vsetup), 셋다운전압(Vsetdn), 스캔 바이어스전압(Vscan-com), 스캔전압(Vscan), 서스테인전압(Vs), 데이터전압(Vd) 등을 발생한다. 이러한 구동전압들은 방전가스의 조성이나 방전셀 구조에 따라 변할 수 있다.

도 7은 스캔 구동부(73)를 상세히 나타낸다.

도 7을 참조하면, 스캔 구동부(73)는 에너지 회수회로(81)와 구동 스위치회로(82) 사이의 제1 노드에 접속된 제1 내지 제3 스위치소자(Q1 내지 Q3), 제6 스위치소자(Q6)를 구비한다.

에너지 회수회로(81)는 PDP에서 방전에 기여하지 않은 무효전력의 에너지를 회수하고 그 회수된 에너지를 이용하여 스캔전극들(Y)을 충전하게 된다. 이 에너지 회수회로(81)는 공지의 어떠한 에너지 회수회로도 구현될 수 있다.

구동 스위치 회로(82)는 스캔 바이어스전압원(Vscan-com)과 제1 노드(n1) 사이에 푸쉬풀 형태로 접속되는 제4 및 제5 스위치소자들(Q4, Q5)을 포함한다. 제4 및 제5 스위치소자들(Q5, Q6) 각각은 타이밍 콘트롤러(71)의 제어 하에 스캔 바이어스전압(Vscan-com)이나 제1 노드(n1) 상의 전압을 스캔전극들(Y)에 공급한다.

제1 스위치소자(Q1)는 서스테인전압원(Vs)과 제1 노드(n1) 사이에 접속되어 타이밍 콘트롤러(71)의 제어 하에 서스테인전압(Vs)을 제1 노드(n1)에 공급한다.

제2 스위치소자(Q2)는 기저전압원(GND)과 제1 노드(n1) 사이에 접속되어 타이밍 콘트롤러(71)의 제어 하에 기저전압(GND)이나 0[V]를 제1 노드(n1)에 공급한다.

제3 스위치소자(Q3)는 차지업전압원(Vs+ 100~130V)과 제1 노드(n1) 사이에 접속되어 타이밍 콘트롤러(71)의 제어 하에 미리 설정된 RC 시정수에 따라 결정된 기울기로 차지업 상승 램프파형(Rchuy)을 제1 노드(n1)에 공급한다. 또한, 제3 스위치소자(Q3)는 타이밍 콘트롤러(71)의 제어 하에 안정화 상승 램프파형(Rsfy)과 소거 상승 램프파형(ers)을 제1 노드(n1)에 공급한다. 제3 스위치소자(Q3)의 제어단자에는 차지업 상승 램프파형(Rchuy)과 안정화 상승 램프파형(Rsfy)의 기울기를 조정하기 위한 가변저항(VR)과 도시하지 않은 캐패시터가 접속된다.

제6 스위치소자(Q6)는 스캔전압원(Vscan)과 제1 노드(n1) 사이에 접속되어 타이밍 콘트롤러(71)의 제어 하에 스캔전압(Vscan)을 제1 노드(n1)에 공급한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 PDP의 구동방법은 서스테인전극들에 서스테인전압을 일정시간 동안 공급한 후에 기존의 셋업전압보다 낮은 차지업전압의 상승 램프파형을 공급하여 초기화 쓰기 방전을 일으키게 된다. 그 결과, 본 발명에 따른 PDP의 구동방법은 초기화 쓰기 방전시 가시광의 방출을 줄여 콘트라스트비를 높일 수 있고 어드레스가 개시되기 전에 각 전극들의 벽전하를 충분히 보충하여 미스라이팅을 예방할 수 있다. 본 발명에 따른 PDP의 구동방법은 고해상도 42" PDP에 적용한 실험에 의하면 기존의 구동방식에서 나타나는 콘트라스트비(600 : 1)에 비하여 대략 1000 : 1 수준으로 향상되는 결과를 얻었다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

제1 및 제2 전극을 각각 포함한 다수의 전극쌍이 형성된 상판과 상기 다수의 전극쌍과 교차하는 다수의 제3 전극이 형성된 하판을 구비하며 상기 전극들의 교차부에 셀들이 형성되는 플라즈마 디스플레이 패널을 구동하기 위한 방법에 있어서,

리셋기간 동안 상기 제1 및 제2 전극 중 적어도 어느 하나에 제1 전압을 공급한 후에 상기 제1 전압으로부터 상기 제1 전압보다 100~130[V] 높은 전압까지 전압이 상승하는 차지업 상승 램프파형을 공급하여 상기 셀들을 초기화하는 제1 단계와;

상기 제1 전극에 기저전압(GND)부터 상기 차지업전압보다 낮은 안정화전압까지 전압이 상승하는 안정화 상승 램프파형을 공급하고 상기 제2 전극에 상기 기저전압을 공급하는 제2 단계와;

어드레스 기간 동안 상기 제1 및 제2 전극 중 어느 하나에 스캔전압을 공급하고 상기 제3 전극에 데이터전압을 공급하여 상기 셀들을 어드레스하는 제3 단계와;

상기 제1 및 제2 전극들에 교대로 서스테인전압을 공급하여 표시를 행하는 제4 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 2.

제 1 항에 있어서,

상기 차지업 상승 램프파형이 공급되기 전에 상기 제1 및 제2 전극 중 적어도 어느 하나의 전압은 대략 수[μ s} 동안 상기 제1 전압으로 유지되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 3.

삭제

청구항 4.

제 1 항에 있어서,

상기 차지업 상승 램프파형에 이어서 상기 제1 전압부터 부극성의 셋다운전압까지 전압이 하강하는 셋다운 하강 램프파형을 상기 제1 및 제2 전극 중 적어도 어느 하나에 공급하는 제5 단계를 더 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 5.

제 1 항에 있어서,

상기 셋다운 하강 램프파형에 앞서 상기 제1 전압을 상기 제1 및 제2 전극 중 적어도 어느 하나에 공급하는 제6 단계를 더 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

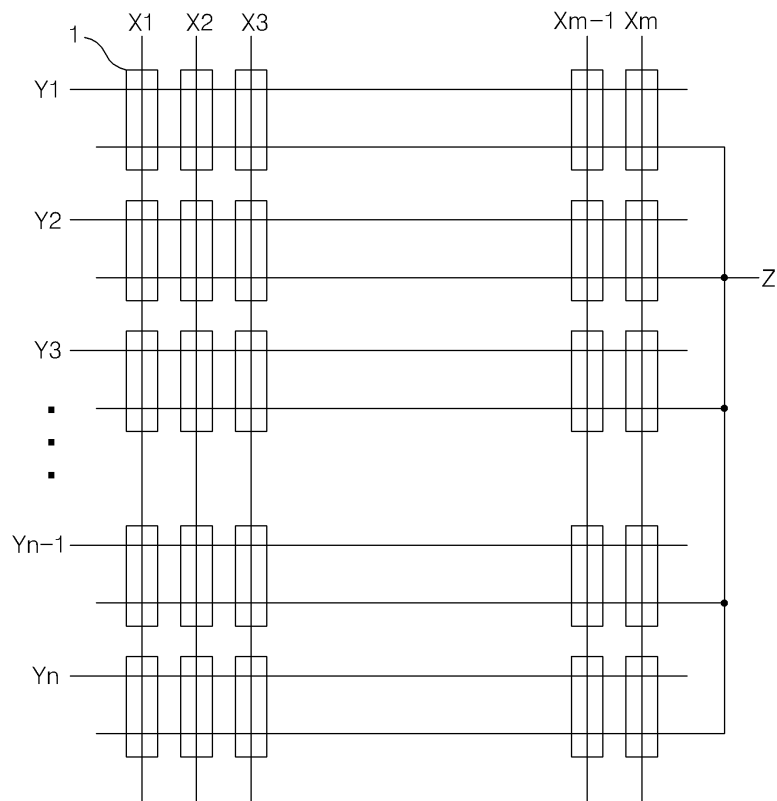
삭제

청구항 10.

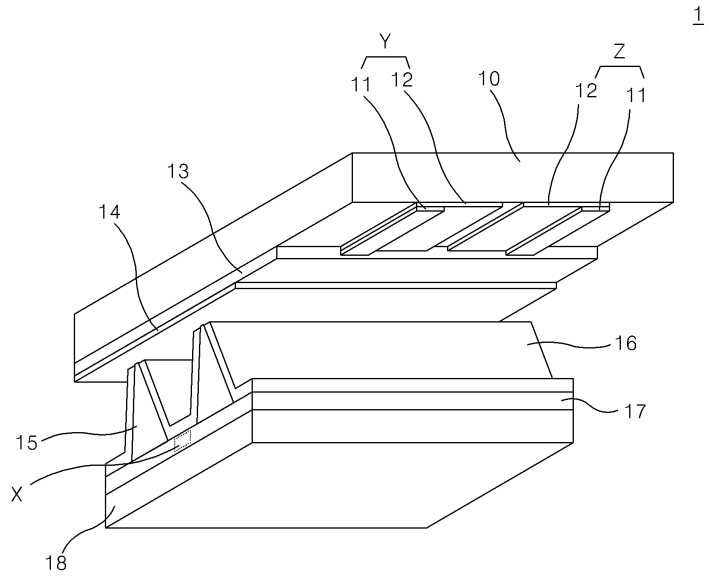
삭제

도면

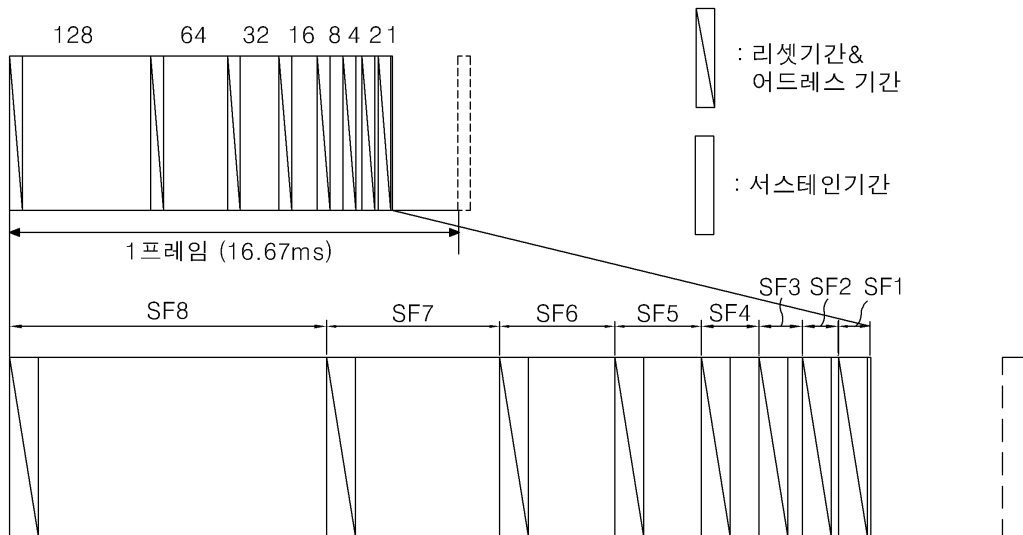
도면1



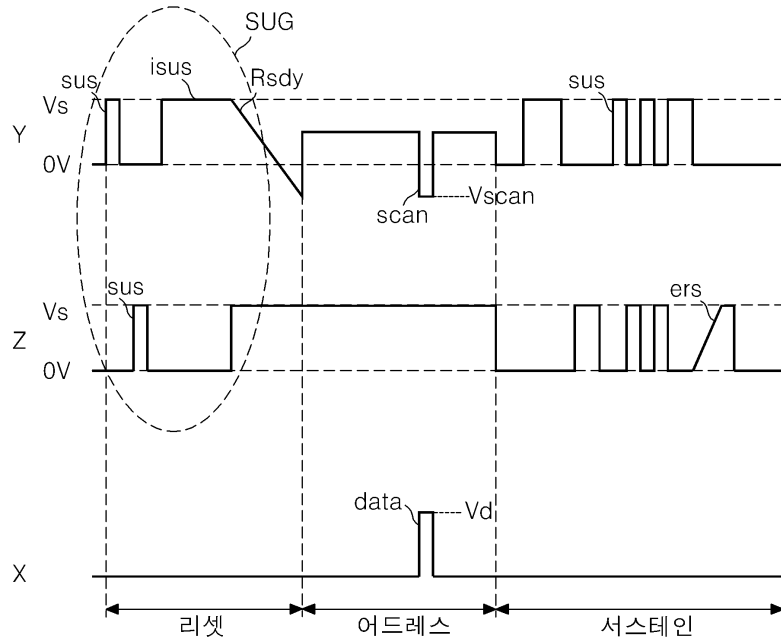
도면2



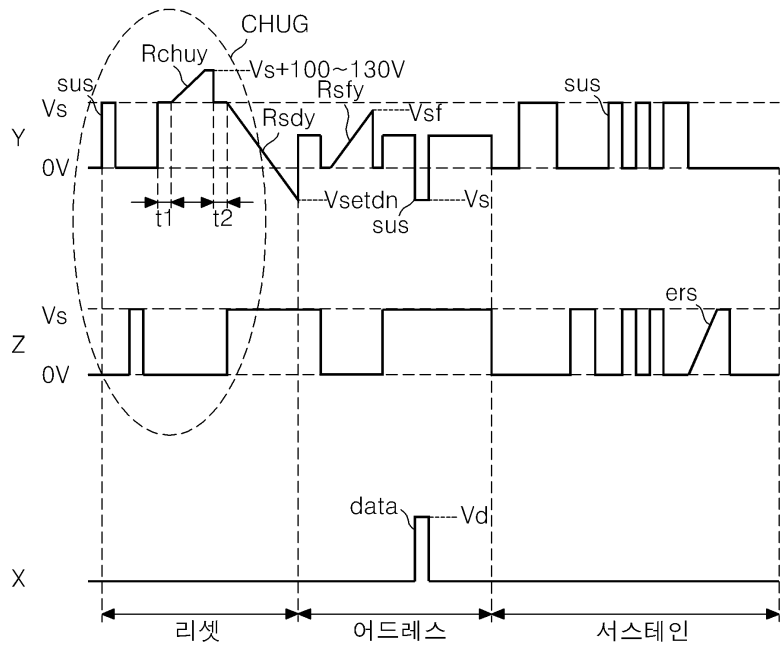
도면3



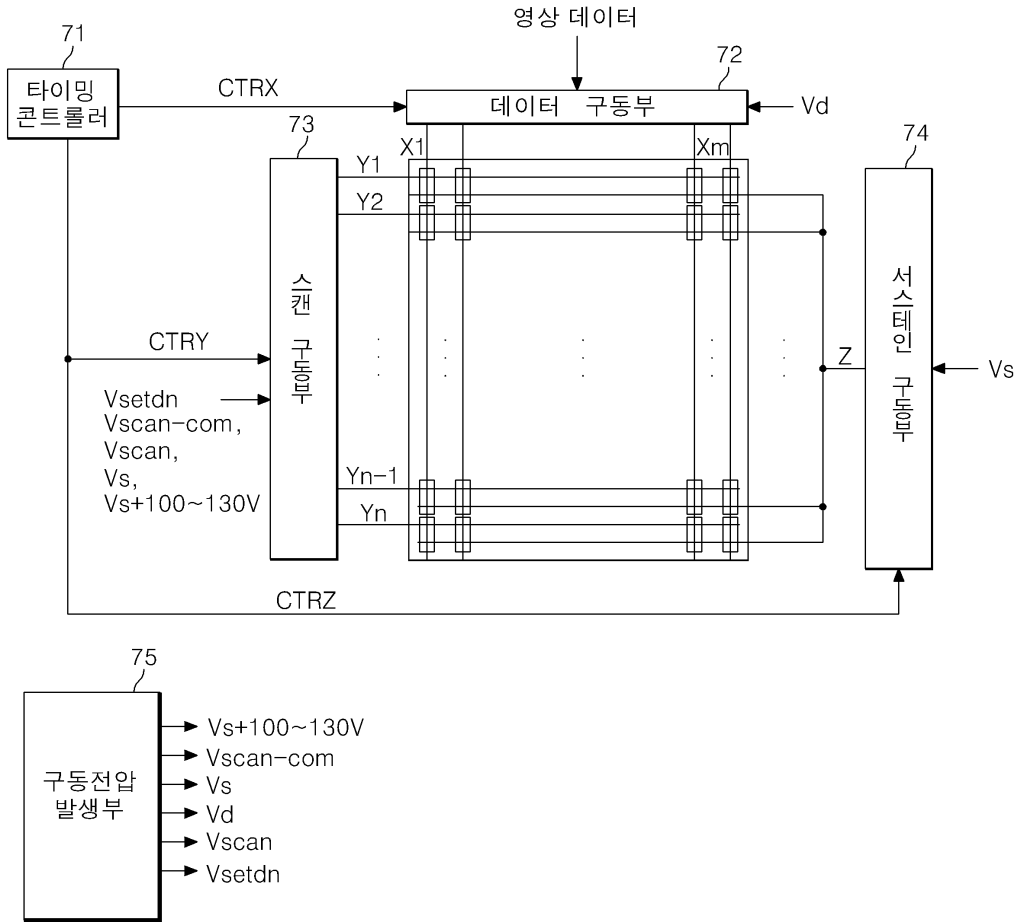
도면4



도면5



도면6



도면7

