

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-533695
(P2008-533695A)

(43) 公表日 平成20年8月21日(2008.8.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 S	5 F 0 4 8
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 E	5 F 1 4 0
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 C	

審査請求 有 予備審査請求 未請求 (全 30 頁)

(21) 出願番号	特願2007-549723 (P2007-549723)	(71) 出願人	591003943 インテル・コーポレーション アメリカ合衆国 95052 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200
(86) (22) 出願日	平成18年1月4日(2006.1.4)	(74) 代理人	100104156 弁理士 龍華 明裕
(85) 翻訳文提出日	平成19年9月3日(2007.9.3)	(72) 発明者	ムールティ、アナンド アメリカ合衆国、97229 オレゴン州 、ポートランド、エヌ. ダブリュー. ル ーサン コート 10934
(86) 国際出願番号	PCT/US2006/000372	(72) 発明者	グラス、グレン アメリカ合衆国、97008 オレゴン州 、ビーバートン、エスタブリュー マッド ハター エルエヌ. 6220 最終頁に続く
(87) 国際公開番号	W02006/104529		
(87) 国際公開日	平成18年10月5日(2006.10.5)		
(31) 優先権主張番号	11/029,740		
(32) 優先日	平成17年1月4日(2005.1.4)		
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 CVDエッチングおよび堆積シーケンスにより形成されるCMOSトランジスタ接合領域

(57) 【要約】

この発明は、ソース・ドレインcMOSトランジスタの置換技術に関する。プロセスは、装置一式を利用して基板材料に窪みをエッチングして、その後、別のものに堆積することに関する。エッチングとその後の堆積とを、大気に曝すことなく、同じ反応器でなす方法が開示される。置換ソース・ドレインアプリケーション用のソース・ドレイン窪みのイン・サイチューエッチングは、現行のエクス・サイチューエッチングに対して幾らかの利点を提供する。トランジスタ駆動電流は、(1) a s エッチングされた表面が大気に曝されると、シリコンエピ層界面の汚染が削減されること、(2) エッチング窪みの形状に対する正確制御、により向上する。堆積は、選択的/非選択的方法を含む、様々な技術によりなされてもよい。ブランケット堆積の場合、性能重要領域のアモルファス堆積を避ける基準も提示される。

【選択図】 図 1

【特許請求の範囲】

【請求項 1】

一の第 1 接合領域を形成すべく一のゲート電極の隣の一の基板の一の第 1 箇所と、前記基板に一の第 2 接合領域を形成すべく前記ゲート電極の隣の前記基板の一の異なる第 2 箇所とを除去する工程と、

前記第 1 接合領域と前記第 2 接合領域とに一の結晶質材料の一のエピタキシャル厚みを形成する工程とを含み、

前記除去する工程と前記形成する工程は同一のチャンバ内で前記チャンバの一の封止を破ることなく起こる、方法。

【請求項 2】

前記除去する工程は、一の塩素ガス、一の塩酸ガス、一の水素ガス、および一の窒素ガスのうちの少なくともひとつでエッチングすることを含む、請求項 1 に記載の方法。

【請求項 3】

前記除去する工程は、前記ゲート電極の隣の前記基板の一の第 1 側壁を前記第 1 接合領域内の前記基板の一の第 1 ベース表面に対して 128 度～123 度の間の一の角度で形成すべく、および、前記ゲート電極の隣の前記基板の一の第 2 側壁を前記第 2 接合領域内の前記基板の一の第 2 ベース表面に対して 128 度～123 度の間の一の角度で形成すべく、一の純粋塩素ガスで、エッチングすることを含む、請求項 1 に記載の方法。

【請求項 4】

前記形成する工程は、前記第 1 側壁の表面および前記第 2 側壁の表面、および前記第 1 ベース表面および前記第 2 ベース表面に対して一のシリコン合金あるいはシリコン元素材料の一の厚みを化学結合すべく、一のシランガス、一のジシランガス、一のジクロロシランガス、一のゲルマンガス、および一のメチルシランガスのうちの少なくともひとつで選択的堆積を行うことを含む、請求項 3 に記載の方法。

【請求項 5】

前記除去する工程および前記形成する工程は、一の化学気相成長法 (CVD) チャンバ、一のバッチ高真空 (UHV) CVD チャンバ、一のコールド・ウォール UHV CVD チャンバ、一の低圧 (LP) CVD チャンバ、一の高速熱的 (RT) CVD チャンバ、一の減圧 (RP) CVD チャンバ、一の大気圧 (AP) CVD チャンバのうちのひとつの中で、前記チャンバが摂氏 500～800 度の間の一の温度を持つとき、および 1E-4 Torr～1000 Torr の間の一の圧力である一の期間内に起こる、請求項 1 に記載の方法。

【請求項 6】

一の基板の一のゲート電極の隣の一の第 1 基板表面の一の第 1 先端領域を形成すべく、前記基板の一の第 1 箇所を除去する工程と、

前記基板の前記ゲート電極の隣の一の第 2 基板表面の一の第 2 先端領域を形成すべく、一の基板の一の異なる第 2 箇所を除去する工程とを含み、

前記第 1 先端領域は、前記ゲート電極の一の底面に対して略 54.7 度の一の角度を持つ一の第 1 切子面を規定し、前記第 2 先端領域は、前記底面に対して略 54.7 度の一の角度を持つ一の第 2 切子面を規定する、方法。

【請求項 7】

前記第 1 切子面および第 2 切子面は、通例のミラー指数命名法 (Miller index nomenclature) の面 {1, 1, 1} を形成する、請求項 6 に記載の方法。

【請求項 8】

前記除去する工程は、前記ゲート電極と前記基板の一の頂面との間に形成される一のゲート誘電体の一の底面の下にあり接触している前記第 1 切子面を形成することと、前記ゲート誘電体の前記底面の下にあり接触している前記第 2 切子面を形成することとを含む、請求項 6 に記載の方法。

【請求項 9】

10

20

30

40

50

前記第 1 切子面は、前記ゲート電極と前記基板の一の頂面との間に形成される一のゲート誘電体の一の底面の下に形成される堆積材料から製造される一の第 1 先端を含み、前記第 2 切子面は、前記底面の下に形成される堆積材料から製造される一の第 2 先端を含む、請求項 6 に記載の方法。

【請求項 10】

前記基板は、シリコン、多結晶シリコン、単結晶シリコンのうちひとつの材料を含み、

前記形成する工程は、基板材料の格子間隔よりも大きい一の格子間隔を持つホウ素でドーパされたシリコンゲルマニウム、および、基板材料の前記格子間隔よりも小さい一の格子間隔を持つリンでドーパされたシリコンカーボン合金のうちひとつの厚みを形成することを含み、請求項 6 に記載の方法。

10

【請求項 11】

前記形成する工程は、前記第 1 切子面と前記第 2 切子面との間の、前記基板の一のチャンネルに一の圧縮性のひずみを生じさせるべく、ホウ素でドーパされたシリコンゲルマニウムの一の十分な厚みを形成すること、および、前記第 1 切子面と前記第 2 切子面との間の、前記基板の一のチャンネルに一の伸張性のひずみを生じさせるべく、リンでドーパされたシリコンカーボン合金の一の十分な厚みを形成することのうちひとつを含む、請求項 10 に記載の方法。

【請求項 12】

一のプリント回路基板に、電気的および物理的に連結された一の半導体マイクロプロセッサを含むシステムであって、前記マイクロプロセッサは一のトランジスタを含み、前記トランジスタは、

20

一の基板と、

前記基板上の一のデバイスとを含み、前記デバイスは、

一のゲート電極の隣の一の単結晶シリコン基板内の一の第 1 接合領域と、

前記ゲート電極の隣の前記基板中の一の異なる第 2 接合領域と、

前記第 1 接合領域と前記第 2 接合領域との間の前記シリコン基板の一の頂面の上の一のゲート誘電体層とを含み、

前記ゲート電極の隣の前記第 1 接合領域の一の第 1 切子面は、前記ゲート誘電体の一の底面に対して 52 度～57 度の間の一の角度を規定し、前記ゲート電極の隣の前記第 2 接合領域の一の第 2 切子面は、前記底面に対して 52 度～57 度の間の一の角度を規定する、システム。

30

【請求項 13】

前記第 1 接合領域および前記第 2 接合領域は、前記頂面の下に一の深さを規定し、

前記システムは、前記第 1 接合領域および前記第 2 接合領域内に配置される一の材料をさらに含み、前記材料は前記深さの 10～50 パーセントの間の一の距離で、前記頂面より優位である一の表面を持つ、請求項 12 に記載のシステム。

【請求項 14】

一の基板内の一の第 1 接合領域内に一の結晶質材料の一の第 1 エピタキシャル厚みと、前記基板内の一の異なる第 2 接合領域内に一の結晶質材料の一の第 2 エピタキシャル厚みと、一のゲート電極の隣の前記第 1 接合領域および第 2 接合領域と、前記ゲート電極の上ののアモルファス材料の一の等角的厚みとを同時に形成する工程と、

40

次に、前記アモルファス材料の一の厚みと、前記結晶質材料の一の厚みとを同時に除去する工程とを含む、方法。

【請求項 15】

一のアモルファス材料の前記等角的厚みを形成する一の速度は、結晶質材料の前記第 1 エピタキシャル厚みおよび第 2 エピタキシャル厚みを形成する一の速度よりも速く、結晶質材料の前記厚みを除去する一の速度は一のアモルファス材料の前記厚みを除去する一の速度より遅い、請求項 14 に記載の方法。

【請求項 16】

50

前記同時に除去する工程は、前記アモルファス材料の一の残りの水平方向の厚みが前記結晶質材料の一の残りの垂直方向の厚みより薄くなるまで、前記アモルファス材料の一の厚みを除去することを含む、請求項 14 に記載の方法。

【請求項 17】

前記同時に除去する工程は、前記アモルファス材料の一の残りの垂直方向の厚みが前記結晶質材料の一の残りの垂直方向の厚みより薄くなるまで、前記アモルファス材料の一の厚みを除去することを含む、請求項 14 に記載の方法。

【請求項 18】

前記アモルファス材料の前記残りの厚みを除去する工程をさらに含む、請求項 17 に記載の方法。

10

【請求項 19】

前記基板の一の表面は、前記基板の一の頂面を規定し、前記方法は、前記第 1 接合領域の一の表面と前記第 2 接合領域の一の表面が前記頂面よりも優位になるまで、前記同時に形成する工程と前記同時に除去する工程とを繰り返す工程をさらに含む、請求項 14 に記載の方法。

【請求項 20】

0.8 ナノメートル～1.4 ナノメートルの結晶質材料の一の厚みを形成すべく、前記同時に形成する工程と前記同時に除去する工程とを 5～10 回繰り返す工程をさらに含む、請求項 14 に記載の方法。

【請求項 21】

前記同時に形成する工程と前記同時に除去する工程とは、一の化学気相成長法 (CVD) チャンバ、一の超高真空 (UHV) CVD チャンバ、一の高速熱的 (RT) CVD チャンバ、一の低圧 (RP) CVD チャンバのうちの一つの中で、前記チャンバの封止を破ることなく起こる、請求項 14 に記載の方法。

20

【請求項 22】

前記同時に形成する工程と前記同時に除去する工程とは、同一の化学気相成長法チャンバ内で、摂氏 500～750 度の間の一の温度で、且つ 12～18 Torr の間の一の圧力で起こる、請求項 14 に記載の方法。

【請求項 23】

前記同時に除去する工程は一の塩酸ガスでエッチングをすることを含み、
前記同時に形成する工程は、トリシランの導入、モノメチルシランの導入による、前記結晶質およびアモルファス材料の非選択的化学気相成長法を含む、請求項 14 に記載の方法。

30

【請求項 24】

前記同時に形成する工程は、基板材料に一のひずみを生じさせる目的上十分な、基板材料の一の格子間隔とは異なる一の格子間隔を持つ一の結晶質材料の一のエピタキシャル厚みを堆積することを含む、請求項 14 に記載の方法。

【請求項 25】

前記同時に形成する工程は、基板材料に一の伸張性ひずみを生じさせる目的上十分な、一の結晶質でリンによりドーブされたシリコンカーボン合金材料の一のエピタキシャル厚みを堆積することを含む、請求項 14 に記載の方法。

40

【請求項 26】

一の結晶質材料の前記エピタキシャル厚みは、0.13 パーセント～2.0 パーセントの間の一の置換型炭素濃度と、1 立方センチメートルにつき 5×10^{13} アトム (atoms/cm^3)～ 5×10^{20} atoms/cm^3 の一のリン濃度とを持つ一のシリコン材料とを持つ、請求項 14 に記載の方法。

【請求項 27】

前記同時に除去する工程は、前記第 1 接合領域の近傍の前記基板の一の第 1 側壁表面と、前記第 2 接合領域の近傍の前記基板の一の第 2 側壁表面とから、一のアモルファス材料の前記等角的厚みを除去することを含み、

50

前記同時に形成する工程は、前記第1側壁表面の直近の一の第1先端領域と、前記第2側壁表面の直近の一の第2先端領域とを満たす目的上十分な、一の結晶質のリンを含むシリコンカーボン合金材料の一のエピタキシャル厚みを堆積することを含む、請求項14に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

回路デバイスおよび回路デバイスの製造および構造である。

【背景技術】

【0002】

基板上的回路デバイス（半導体（例えばシリコン）基板上的集積回路（IC）トランジスタ、抵抗器、コンデンサ、など）における性能の改善は、典型的にこれらデバイスの設計、製造、および操作中に考慮される主要な要因である。例えば、相補型金属酸化膜半導体（CMOS）などにおけるように、金属酸化膜半導体（MOS）トランジスタデバイスの設計、製造あるいは形成中には、N型MOSデバイス（ n -MOS）チャンネル中の電子の移動を増加させ、P型MOSデバイス（ p -MOS）チャンネルにおける正電荷を帯びた正孔の移動を増加させることがしばしば望ましい。デバイス性能評価における重要なパラメータは任意の設計電圧で供給される電流である。このパラメータは一般にトランジスタ駆動電流あるいは飽和電流（ I_{Dsat} ）と称される。駆動電流は、トランジスタのチャンネル移動度および外部抵抗を含む要因に影響される。

10

20

【0003】

チャンネル移動度は、トランジスタのチャンネル領域内のキャリア（正孔および電子）の移動度のことを言う。キャリア移動度の増加は、任意の設計電圧およびゲート長における駆動電流の増加と直接換言できる。キャリア移動度はチャンネル領域のシリコン格子にひずみ（strain）をかけることで増加させることができる。 p -MOSデバイスにおいては、キャリア移動度（つまり、正孔移動度）は、トランジスタのチャンネル領域において圧縮性のひずみを（compressive strain）生成することで強化される。 n -MOSデバイスにおいては、キャリア移動度（つまり、電子移動度）は、トランジスタのチャンネル領域において伸張性のひずみを（tensile strain）を生成することで強化される。

30

【0004】

駆動電流はさらに（1）オーム接点（金属から半導体へ、および半導体から金属へ）に関する抵抗、（2）ソース/ドレイン領域そのもの内の抵抗、（3）チャンネル領域とソース/ドレイン領域との間の領域（先端領域）の抵抗、および（4）最初の基板エピ層界面の位置における不純物（炭素、窒素、酸素）汚染による界面抵抗、を含むその他の要因によっても影響を被る。これら抵抗の合計も、一般に外部抵抗と称される。

【0005】

従前の先端（典型的にソース・ドレイン・エクステンションとも称される）領域製造は、ゲート・スペーサ誘電体層製造前に、ドーパント注入によりなされる。ドーパントの位置は基板の頂面付近に集中している。このドーパントの狭い帯は高い広がり抵抗に繋がり、電流の流れをチャンネルからサリサイド接触に制限する。目下の技術水準の置換ソース・ドレインアーキテクチャでは、窪みの形状は良くなっているが、広がり抵抗に関しては依然、完全に最適化できていない。

40

【発明を実施するための最良の形態】

【0006】

局所的にひずみをかけるトランジスタチャンネル領域はMOSトランジスタのチャンネル領域にひずみを与える材料を用いて、ソースおよびドレイン領域に選択的エピタキシャル堆積を行うことで達成することができる。このようなプロセスの流れは、エッチング反応器を利用する一プロセス処理において、トランジスタのソース ドレイン領域から基板材料をエッチングしてもよい。その後の処理において、除去された材料を堆積反応器内でSi

50

合金材料に置き換えてもよい。エッチング反応器および堆積反応器は物理的に異なり別個であってもよい。従い、Si合金堆積プロセス開始前に、基板はエッチング反応器から取り出され、大気圧環境に曝されねばならない。Si合金は純粋なSiあるいは $Si_{1-x}Ge_x$ あるいは $Si_{1-x}C_x$ であってもよく、非ドーブであってもよいし、あるいはp型あるいはn型のドーパントでドーブされていてもよい。堆積プロセスは選択的でも非選択的でもよい。ここで提供する実施形態によると、エッチング反応器および堆積反応器は物理的に同じであってもよい。

【0007】

例えば図1は、ウェル、ゲート誘電体、ゲート電極、および先端材料を持つ基板の部分の概略断面図である。図1は、ウェル124の上方の基板120の頂面125に形成されたゲート誘電体144を持つ基板120を含む装置100を示す。ゲート電極190はゲート誘電体144上に形成されていて、側面にスペーサ112および114が形成されている。エッチングマスク142はゲート電極190上に形成される。さらに電気絶縁材料130が周囲領域128からウェル124を電氣的に絶縁すると示されている。表面170および表面180がゲート電極190に隣接すると示されている。装置100、および上述されたその部材は、一以上のプロセスチャンバを伴う半導体トランジスタ製造プロセスなどでさらに加工されて、p-MOSあるいはn-MOSトランジスタのパーツとなってもよい(例えば、CMOSデバイスのパーツなど)。

10

【0008】

例えば、基板120は、シリコン、多結晶シリコン、単結晶シリコンを含んでも、それから形成されても、それで堆積されても、それから成長させられてもよい。あるいはシリコンウェハなどのシリコンベースあるいは基板を形成する他の様々な適切な技術を利用してもよい。例えば、実施形態によると、基板120は、100オングストローム~1000オングストロームの純粋シリコンの厚みを持つ単結晶シリコン基板基材を成長させることで形成されてもよい。あるいは、基板120は、CVDなどにより2マイクロメートルの厚みの厚みを形成すべく、様々な適切なシリコンあるいはシリコン合金材料の十分な化学気相成長法(CVD)により形成されることで1~3マイクロメートルの厚みの厚みを持つ材料層を形成してもよい。また、基板120は、緩和されたあるいは非緩和の、グレードされた、あるいは非グレードのシリコン合金材料であってもよいと考えられる。

20

【0009】

図1に示すように、基板120は、基板120形成中あるいは形成後にドーピング基板120により形成される電氣的に正の電荷を持つP型材料上の電氣的に負の電荷を持つN型ウェルなどの、ウェル124を含む。特に、ウェル124を形成するには、頂面125はp-MOSトランジスタ(CMOSデバイスのp-MOSデバイスなど)のN型ウェルを形成するリン、ヒ素、および/またはアンチモンでドーブされてもよい。ここで記載されるドーピングは、例えば、上述のドーパントのイオンあるいは原子を、材料(基板120あるいは基板120の中/上に形成される材料など)に注入するなどの、アングルド・ドーピング(angled doping)により遂行してもよい。例えば、ドーピングはイオン「銃」あるいはイオン「注入機」により、基板表面に超高速イオンを衝突させて、ドーブされた材料を形成するイオン注入を含んでもよい。加速したイオンは材料の表面を貫通、あるいは下の材料に拡散して、ドーブされた材料の深さを形成してもよい。例えば、マスクを非選択の一領域あるいは複数の領域上に配置して、ドーパントが前記非選択の一領域あるいは複数の領域へ侵入するのを妨げながら、一方でドーパントをウェル124へドーブさせることなどにより、頂面125を選択的にドーブしてもよい。

30

40

【0010】

この他にも、ウェル124を形成するには、頂面125をホウ素および/またはアルミニウムでドーブして、n-MOSトランジスタ(例えば、CMOSデバイスのn-MOSデバイス)のP型ウェルを形成してもよい。

【0011】

従い、ウェル124はトランジスタデバイスの「チャンネル」を形成するのに適した材料

50

であってもよい。例えば、トランジスタデバイスチャネルは頂面 1 2 5 の下方、および表面 1 7 0 および 1 8 0 の間にあるウェル 1 2 4 の材料の一箇所として規定されてよく、あるいは表面 1 7 0 および 1 8 0 の隣に形成される接合、それらの消費箇所、および / またはそれらを含む接合であってもよい。

【 0 0 1 2 】

図 1 は、ウェル 1 2 4 と周囲領域 1 2 8 との間の電気絶縁材料 1 3 0 を示す。材料 1 3 0 は様々な適切な電気絶縁材料、および周囲領域 1 2 8 からウェル 1 2 4 を電氣的に絶縁するのに十分な構造であってもよい。例えば、周囲領域 1 2 8 は隣のあるいは関連のトランジスタデバイスのウェル領域であってもよい。詳しくは、材料 1 3 0 は、p - M O S デバイスの N 型ウェル（例えば、ウェル 1 2 4 が N 型ウェルを持つ箇所）と基板 1 2 0 の他の領域との間に形成され、N 型ウェルをその他の領域から電氣的に絶縁する、浅いトレンチ絶縁（S T I）であってもよい。同様に、材料 1 3 0 は n - M O S デバイスの P 型ウェル（例えば、ウェル 1 2 4 が P 型ウェルである箇所）と基板 1 2 0 の他の領域との間に形成される S T I であってもよい。従い、材料 1 3 0 はウェル 1 2 4 を基板 1 2 0 の他の領域から絶縁して、頂面 1 2 5 上に形成されるトランジスタの機能を提供してもよい（例えば、ウェル 1 2 4 と対になっている関連デバイスの隣接ウェルからウェル 1 2 4 を絶縁して C M O S デバイスを形成する）。一例においては、ウェル 1 2 4 が N 型ウェルである箇所において、領域 1 2 8 の一つは、頂面 1 2 5 に形成される p - M O S デバイスと対になった n - M O S デバイスの関連 P 型ウェルであり、C M O S デバイスを形成してもよい。あるいは、ウェル 1 2 4 が P 型ウェルである箇所において、領域 1 2 8 の一つは、頂面 1 2 5 に形成される n - M O S デバイスと対になった p - M O S デバイスの関連 N 型ウェルであり、C M O S デバイスを形成してもよい。材料 1 3 0 は材料 1 3 0 上に位置する材料層にドーピングすることで形成されてよく、および / またはウェル 1 2 4 形成の前あるいは前に形成されてもよい。

10

20

30

40

50

【 0 0 1 3 】

図 1 に示すように、ゲート誘電体 1 4 4 は幅 W 2 を持つ。ゲート電極 1 9 0 はゲート誘電体 1 4 4 上に幅 W 1 で形成されると示されている。ゲート誘電体 1 4 4 の厚みは頂面 1 2 5 のトポグラフィに沿うように幅 W 2 沿いに全域に亘り大体一貫していてもよい。さらには、ゲート誘電体 1 4 4 は比較的高い誘電率（例えば、二酸化ケイ素（ $S i O_2$ ）の誘電率以上の誘電率）を持つ材料により、あるいは比較的低い誘電率を持つ材料により形成されてもよい。ゲート誘電体 1 4 4 の厚みは 1 ~ 5 ナノメートルの厚みであってもよい。ゲート誘電体 1 4 4 は C V D、原子層堆積（A L D）、プランケット堆積、選択的堆積、エピタキシャル堆積、超高真空（U H V）C V D、高速熱的（R T）C V D、低圧（R P）C V D、分子線エピタキシー（M B E）などの堆積法、および / または、その他の適切な成長、堆積、あるいは形成プロセスにより形成されてもよい。ゲート誘電体 1 4 4 は装置 1 0 0 に適切な P 型仕事関数を持っていてもよい（例えば装置 1 0 0 が p - M O S デバイスである場合）。あるいは、ゲート誘電体 1 4 4 は装置 1 0 0 に適切な N 型仕事関数を持っていてもよい（例えば装置 1 0 0 が n - M O S デバイスである場合）。詳しくは、ゲート誘電体 1 4 4 は、二酸化ケイ素（ $S i O_2$ ）、酸化ハフニウム（ $H f O$ ）、ケイ酸ハフニウム（ $H f S i O_4$ ）、酸化ジルコニウム（ $Z r O$ ）、炭素ドープ酸化物（ $C D O$ ）、立方晶窒化ホウ素（ $C B N$ ）、リンケイ酸ガラス（*phosphosilicate glass*）（ $P S G$ ）、窒化ケイ素（ $S i_3 N_4$ ）、フッ素系ケイ酸ガラス（ $F S G$ ）、炭化ケイ素（ $S i C$ ）などの誘電体により形成されてもよい。

【 0 0 1 4 】

ゲート電極 1 9 0 は、ゲート誘電体 1 4 4 の形成について上述したプロセスなどにより、形成することができる。さらには、ゲート電極 1 9 0 はシリコン、多結晶シリコン、結晶シリコン、および / または様々な他の適切なゲート電極材料などの、様々な半導体あるいは伝導体材料で形成されてもよい。さらに、ゲート電極 1 9 0 は形成中あるいは形成後にドーピングされてもよい。例えばゲート電極 1 9 0 は、ホウ素および / またはアルミニウムでドーピングされることで電氣的に正の電荷を持つ p 型ゲート電極を形成してもよい（例えば

、CMOSデバイスの一部であってもよいp-MOSデバイスについて)。逆に、ゲート電極190は、リン、ヒ素、および/またはアンチモンでドーピングされて、電氣的に負の電荷を持つn型ゲート電極を形成してもよいと思われる(例えば、CMOSデバイスの一部であってもよいn-MOSn-MOSデバイスについて)。

【0015】

ゲート電極190はp-MOSあるいはn-MOSデバイスにつき適切な厚みを持ってもよい(装置100がp-MOSあるいはn-MOSデバイスである場合など)。例えば、ゲート電極190は基板120上に形成されるトランジスタに、0.1~0.5ボルトの閾値「ON」電圧を持たせるような厚みを持っていてもよい。場合によっては、ゲート電極190は例えば、150~2000オングストローム(15~2000ナノメートル(nm))の厚みを持ってもよい。ゲート電極190は、p-MOSデバイスのゲート電極に対応する仕事関数を持っていてもよい(例えば、装置100がp-MOSデバイスの場合)。あるいは、ゲート電極190は、n-MOSデバイスのゲート電極に対応する仕事関数を持っていてもよい(例えば、装置100がn-MOSデバイスの場合)。

10

【0016】

図1はゲート電極190およびゲート誘電体144の表面に形成されたスペーサ112およびスペーサ114を示している。詳しくは、スペーサ112およびスペーサ114はゲート電極190の側壁表面、およびゲート誘電体144の頂面(基板120とは反対側の表面)に形成されてもよい。スペーサ112、114は、窒化ケイ素(Si_3N_4)、二酸化ケイ素(SiO_2)、および/または様々な他の適切な半導体デバイススペーサ材料で形成されてもよい。

20

【0017】

図1はさらに、ゲート電極190上に形成されるエッチングマスク142を示す。エッチングマスク142は窒化ケイ素(Si_3N_4)から形成される「ハード」マスクであってよく、上述のゲート誘電体144を形成する目的の他の材料であってもよい。例えば、エッチングマスク142はゲート電極190、ゲート誘電体144および/またはスペーサ112、114を形成するときに利用されてもよい。詳しくは、マスク142の形状に対応する箇所、あるいはマスク142の周辺領域は、マスク142をエッチングストップとして利用して、上からエッチングにより除去してもよい。

【0018】

例えば、スペーサ112、114はまず、ゲート誘電体144について上述した誘電体材料と類似した誘電体材料を基板120の表面、ゲート電極190の側壁表面、頂面エッチングマスク142に沿って等角的に堆積することで形成されてもよい。そして、形成されたあるいは堆積された誘電体材料はパターンニングおよびエッチングされて、スペーサ112、114を作成してもよい。

30

【0019】

実施形態によると、表面170および表面180などにおける、ウェル124および基板120の箇所が削除されることで、ゲート電極190の隣の基板120の接合領域が形成されてもよい。例えば、ゲート電極190の隣の接合は、基板120の表面170、180の数箇所を除去して基板120に接合領域あるいは窪みを形成して、その後接合材料を接合領域に形成あるいは堆積することで形成されてもよい。このような除去は、接合領域がゲート誘電体144の下に広がるように「ソースドレイン窪み」エッチングを含んでもよい。

40

【0020】

例えば、図2は、先端領域を持つ接合領域の形成後の図1の概略基板である。図2は、ゲート電極190の隣の基板120の表面170に形成される窪み、及びゲート誘電体144の底面の下ソースドレイン窪みのような、接合領域270を示す。同様に、図2は、ゲート電極190の隣の基板120の表面180に形成される窪み、及びゲート誘電体144の底面の下ソースドレイン窪みのような、接合領域280を示す。

【0021】

50

接合領域 270 は基板表面 222 (例えば、接合領域 270 のベース表面)、切子面 220、および先端領域 276 を規定する。先端領域 276 は切子面 220 とゲート誘電体 144 の底面との間にある。例えば、先端領域 276 は、切子面 220 とゲート誘電体 144 の底面との間に角度 A1 を持つ切子面 220 を規定すると言うことができる。同様に、接合領域 280 は基板表面 232、切子面 230、及び先端領域 286 を規定する。先端領域 286 は切子面 230 とゲート誘電体 144 との間にある。先端領域 286 は、切子面 230 とゲート誘電体 144 の底面との間に角度 A2 を持つ切子面 230 を規定すると言える。

【0022】

実施形態によると、好ましい角度 A1 および / または A2 は 52 度 ~ 57 度の角度であってもよい。例えば、角度 A1、A2 は双方とも、略 52 度、53 度、54 度、54.7 度、54.74 度、54.739137 度、54.8 度、55 度、56 度であってもよい。この角度範囲は、従来のミラー指数命名法 (Miller index nomenclature) を利用して示される、{111} 面族の配置に略対応する。代替的实施形態では、角度 A1、A2 が 0 度 ~ 90 度の範囲にあるようになっており、ここにリストした好ましい範囲が除外されている。

10

【0023】

実施形態によると、先端領域 276、286 はスペーサ 112、スペーサ 114、および / またはゲート電極 190 の下に延びてもよい。例えば、先端領域 276、286 は、0 より大きい幅などの、幅 W2 に等しい幅から、幅 W2 より小さい幅までの、ゲート誘電体 144 の底面下に頂面 125 沿いに延びてもよい。従い、切子面 220、230 は基板 120 の頂面 125 の隣のゲート誘電体 144 の底面に接触して、切子面 220、230 間の頂面 125 下のチャンネルを形成してもよく (例えば、装置 200 に形成されるトランジスタのチャンネル)、ここで切子面 220、230 は各々、ゼロと幅 W2 の半分の間の距離でゲート誘電体 144 の下に延びていてもよい。従い、スペーサ 112、スペーサ 114、および / またはゲート電極 190 の下のゲート誘電体 144 の底面に接するよう、ゲート誘電体 144 の底面に接触し、その下に延びる切子面 220、230 を形成するように基板 120 の数箇所を除去してもよい。

20

【0024】

接合領域 270 および / または 280 は、上面 125 の下に 800 オングストローム ~ 1300 オングストロームの深さを持ってもよいと考えられる。さらには、接合領域 270 および / または 280 は、トランジスタデバイス (例えば、CMOS デバイスの p-MOS あるいは n-MOS デバイス) の接合を形成すべく、これら領域に材料を堆積するのに適した幅あるいは寸法を持ってもよい。

30

【0025】

接合領域 270 および / または 280 は「ソース ドレイン領域」あるいは「拡散領域」と称することができる。また、適切な材料が接合領域 270、280 に形成、堆積、あるいは成長されるとき、生じる材料は「接合」「ソース」「ドレイン」「拡散領域」として称することができる。

【0026】

実施形態によると、接合領域 270、280 は基板 120 の、表面 170 および 180 におけるような望ましくない箇所を除去することで形成することができる。例えば、第 1 操作中、フォトレジストを利用して除去すべきハードマスクの領域 (例えば、図 1 の装置 100 の上方のハードマスク層) を規定する、二つの操作をパターンニングするプロセスが利用されてもよい。これらハードマスク領域はその後エッチングで取り除かれる。このエッチングの後で、フォトレジストが除去され、窪みエッチングを施して基板 120 の望ましくない箇所を除去することで接合領域 270、280 を形成する (残りのハードマスクで被覆されていない、望ましくない露出箇所をエッチングで除去する)。エッチングステップ、誘電体材料、フォトレジスト、あるいはマスキングおよびエッチング処理に適した他の材料 (例えば、負のフォトレジストマスク、正のフォトレジストマスク、二酸化ケイ

40

50

素 (SiO_2)、あるいは窒化ケイ素 (Si_3N_4) を利用するフォトリソグラフィパターンニングも、図 2 に示すように、接合領域 270、280 を形成すべくソースドレイン窪みエッチングを施す間に保護したい領域を規定するのに利用されてもよい。

【0027】

表面 170、180 などの基板 120 の望ましくない箇所を除去することで接合領域 270、280 を形成するのに適した非プラズマエッチングケミストリーには、塩素 (Cl_2)、塩酸 (HCl)、フッ素 (F_2)、臭素 (Br_2)、 HBr および / または、基板 120 の箇所を除去することのできる他のエッチングプロセスが含まれる。 SF_6 、 NF_3 などのケミストリーを含むプラズマエッチングは、代替実施形態として可能性がある。今日入手できる典型的なエピタキシャル堆積装置の種類は (例えば、チャンバあるいは反応器) は、上述の非プラズマエッチングを、少ない修正で、あるいは修正なしに行うことができる。上述のプラズマエッチングができるようになる変更、および同じ反応器内での CVD 堆積もできるが、ハードウェアに対して多大な複雑性が加わる (例えば、チャンバあるいは反応器)。

10

【0028】

接合領域 270、280 をエッチングするのに適したチャンバには、CVD チャンバ、ALD チャンバ、UHV CVD チャンバ、RTCVD チャンバ、RPCVD チャンバ、MBE チャンバ、「パッチ」UHV CVD チャンバ、コールド・ウォール (cold wall) UHV CVD チャンバ、大気圧 (AP) CVD チャンバ、低圧 (LP) CVD チャンバ、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。

20

【0029】

さらに、接合領域 270、280 を形成するエッチングは、「コールド・ウォール」あるいは「ホット・ウォール」内において、 $1\text{E}-4\text{Torr} \sim 1,000\text{Torr}$ の圧力 (例えば、 $1\text{E}-3$ 、 $1\text{E}-2$ 、 0.1 、 1.0 、 10 、 100 、 1000Torr のうちの一つの十進範囲 (decimal range) の圧力で) でなされてもよい。また、接合領域 270、280 を形成するエッチングは、例えば摂氏 $500 \sim 900$ 度の、典型的なエピタキシャルシリコン合金堆積温度で行われてもよい。「コールド・ウォール」反応器は、堆積あるいはエッチング中に室温である容器壁を持つ反応器として記すことができる。「コールド・ウォール」反応器の容器壁は、金属から製造されてもよい。または、「ホット・ウォール」反応器の容器壁が、堆積あるいはエッチング中に室温より高い温度である、石英あるいは他のセラミックから製造されてもよい。

30

【0030】

例えば、接合領域 270、280 は、塩素 (Cl_2)、塩酸 (HCl)、水素 (H_2)、および / または、窒素 (N_2) を含む混合物を含むことのできるエッチャントガスで、基板 120 の箇所を除去あるいはエッチングすることで形成されてもよい。詳しくは、上述のガスのうちの以上を含むエッチャントあるいはガスは、装置 100 が収納されるチャンバ内に、一分につき 5 標準立方センチメートル (SCCM) $\sim 10\text{SCCM}$ の速度で、摂氏 500 度 \sim 摂氏 800 度 (例えば、摂氏 500 、 525 、 540 、 550 、 560 、 575 、 600 、 625 、 650 、 675 、 700 、 750 、 800 度) の温度で、30 \sim 90 分間 (例えば、30、35、40、45、50、55、60、65、75、85、90 分間) 流入されて、基板 120 の表面 170、180 の箇所をエッチングしてもよい。実施形態によると、接合領域 270 および / または 280 は、 $3\text{E}-3\text{Torr} \sim 7\text{E}-3\text{Torr}$ の間 (例えば、 $3\text{E}-3$ 、 $3.5\text{E}-3$ 、 $4\text{E}-3$ 、 $4.5\text{E}-3$ 、 $5\text{E}-3$ 、 $5.5\text{E}-3$ 、 $6\text{E}-3$ 、 $6.5\text{E}-3$ 、 $7\text{E}-3$) の圧力で形成されてもよい。場合によっては、塩素ガスを利用して、上述のチャンバ内で接合領域 270、280 を、摂氏 650 度の温度で $3\text{E}-3\text{Torr} \sim 7\text{E}-3\text{Torr}$ の間の圧力で、および 300 ミリメートル (mm) UHV CVD コールド・ウォール単一ウェハ反応器でエッチングすることもある。

40

【0031】

50

例えば図3Aは、接合を形成すべく接合領域に材料の厚みを形成した後の図2の基板を示す。図3Aは、接合領域270に材料370が形成され、接合領域280に材料380が形成された装置300を示す。材料370および/または材料380は、接合、ソース、ドレイン、あるいは拡散領域として記載されてもよい。さらには、材料370は、基板120の頂面125よりも優位の接合頂面372を有すよう形成されてもよい。詳しくは、材料370は基板120の材料の格子間隔よりも大きな格子間隔を持つシリコンゲルマニウム材料の厚みを持ってもよい。同様に、材料380も、頂面125よりも優位の接合頂面382を持つよう形成されてもよい。例えば、材料370は、結晶質シリコンゲルマニウム合金、ゲルマニウム、あるいはシリコン材料(例えば Si_xGe_{1-x} などの $SiGe$)のエピタキシャル厚みを持つ厚みT4であってよい(ここで寸法および/または厚みT4は、基板120に圧縮性のひずみを起こすのに十分である)。材料は純粋でも、p型ドーパントにドーパされていてよい(BおよびAlなど)。または、材料370は結晶質シリコンカーボン合金材料(例えば Si_xC_{1-x})のエピタキシャル厚みを持つ厚みT4であってよい(ここで寸法および/または厚みT4は、基板120に伸張性のひずみを起こすのに十分である)。材料は純粋でも、n型ドーパントにドーパされていてよい(PおよびAs、Sbなど)。例えば、材料370は基板120の格子間隔よりも小さい格子間隔を持つシリコンカーボン合金(Si_xC_{1-x})の厚みであってもよい。同様に、材料380は、寸法および/または厚みT5が基板120にひずみを起こすのに十分である、結晶質シリコンゲルマニウム合金(Si_xGe_{1-x})のエピタキシャル厚みの厚みT5を持っていてもよい。

10

20

30

40

50

【0032】

例えば、図3Aに示すように、材料370は頂面125下の基板120の箇所に対して圧縮性のひずみ374を生じさせることができ、材料380は基板120の同じ箇所に対して圧縮性のひずみ384を生じさせることができる。故に、ひずみ374は圧縮性のひずみ392を生じさせることができ、ひずみ384は圧縮性のひずみ394を材料370と材料380との間の基板120のチャンネル内に生じさせることができる(例えば、接合領域270、280、および装置300のチャンネル内に形成されるp型接合材料の間の圧縮性のひずみ、ここで装置300はp-MOSデバイス)。圧縮性のひずみ392、394は、材料370と材料380との間のキャリア移動性(例えば、ウェル124のチャンネルの正孔の移動性)を増すのに足る、切子面220と230との間のひずみであってよいことが理解されよう。つまり、基板120内のチャンネルは、基板120の材料の格子間隔よりも大きい材料370および/または材料380の格子間隔が引き起こす圧縮性のひずみ下にあってもよい(例えば、ここで材料370および材料380はシリコンゲルマニウム合金材料である)。

【0033】

別の例においては、材料370および材料380は伸張性のひずみを装置300のチャンネルに生じさせてもよい(例えば、ひずみ374、384、392、394の方向を逆にする場合)。この場合、装置300のチャンネルの伸張性のひずみは、装置300がn-MOSデバイスである場合、材料370と材料380との間のキャリア移動性(ウェル124のチャンネル内の電子の移動性)を増すのに足る、切子面220と230との間のひずみであってよい。対応して、基板120内のチャンネルは、基板120の新たな材料の格子間隔より大きい、材料370および/または材料380の格子間隔が引き起こす伸張性のひずみ下にあってもよい(例えば、これら材料はシリコンカーボン合金である)。

【0034】

材料370および材料380は化学気相成長法あるいはゲート誘電体144を形成する上述の他のプロセスにより堆積されてもよい。例えば、材料370および材料380は、接合領域270、280形成目的のおよびゲート誘電体144形成目的の、上述のチャンバ内に形成されてもよい。材料370および380を形成、成長、あるいは堆積するのに適したチャンバは、シリコンベースの要素あるいは合金のフィルムの選択的堆積ができる装置を含む。例えば、材料370および材料380を形成するのに適したチャンバのなか

には、CVDチャンバ、ALDチャンバ、UHV CVDチャンバ、RTCVDチャンバ、RPCVDチャンバ、MBEチャンバ、「バッチ」UHV CVDチャンバ、コールド・ウォールUHV CVDチャンバ、大気圧(AP)CVDチャンバ、低圧(LP)CVDチャンバ、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。

【0035】

適した堆積技術には、シリコンウェハ上の水素化物あるいは塩素処理された水素化物の前駆ガスの熱分解が含まれる。堆積圧力は $1E-4$ Torr ~ 1000 Torr であってもよい(例えば、 $1E-3$ 、 $1E-2$ 、 0.1 、 1.0 、 10 、 100 、あるいは 1000 Torrのうちの一つの十進範囲内の圧力)。堆積はコールド・ウォールあるいはホット・ウォール反応器内で起こってもよい。詳しくは、材料370、380はシラン、ジシラン、ジクロロシラン、および/またはメチルシランガスの選択的堆積により接合領域270および280の表面にシリコン合金あるいはシリコン元素材料の厚みを化学結合してそこに接合を形成することで形成されてもよい。代替的实施形態においては、これはトリシランをシリコン前駆体として、および下記と同じ合金およびドーパント前駆ガスを使用することで行われてもよい。

10

【0036】

あるプロセスには、堆積が300mmエピタキシャルUHV CVDコールド・ウォール単一ウェハ反応器において行われるものがある。材料370、380を形成するのに適切な温度は、 $300E-3$ Torr ~ $7E-3$ Torr (例えば、 $3E-3$ 、 $3.5E-3$ 、 $4E-3$ 、 $4.5E-3$ 、 $5E-3$ 、 $5.5E-3$ 、 $6E-3$ 、 $6.5E-3$ 、 $7E-3$)の圧力において、室温、摂氏500~800度の温度が含まれる。幾らかの例においては、材料370および380は、一分につき7標準立方センチメートル(SCCM)~20SCCMのジシランを導入、および10SCCM~300SCCMのメチルシランを導入することで形成される。例えば、厚みT4および/またはT5は1000オングストローム~1500オングストロームの厚みであってもよい(1050、1100、1150、1200オングストロームの厚みなど)。

20

【0037】

材料370および380は形成中にドーパされても、および/または形成後にドーパされてもよい。幾らかの実施形態においては、材料370および/または380は、シリコン前駆体の流れがゲルマン、メチルシラン、アセチレン、ジボラン、塩化ホウ素、ホスフィン、アルシン、および/またはスチピンにより追従される堆積中に、合金化されてもドーパされてもよい。例えば、形成中あるいは形成後には、材料370および380は、ホウ素および/またはアルミニウムなどによりドーパされ電氣的に正の電荷を持つP型接合材料を形成してもよい。一実施形態においては、材料370および材料380はホウ素および/またはアルミニウムによりドーパされたエピタキシャル結晶質シリコンゲルマニウム合金材料として接合領域270および280に形成され、その後追加的なホウ素および/またはアルミニウムによりドーパされてもよい。

30

【0038】

あるいは、形成中および/または形成後に、材料370および380は、電氣的に負の電荷を持つN型接合材料を形成するリン、ヒ素、および/またはアンチモンなどでドーパされてもよい。一実施形態においては、材料370および380は、接合領域270および280に形成されるシリコンカーボン合金エピタキシャル結晶質材料であってよく、その後追加的なリン、ヒ素、および/またはアンチモンでドーパされてもよい。

40

【0039】

故に、材料370および380は、p-MOSについては $(Si_x(Ge)_{1-x} : (B, Al))$ 、およびn-MOSについては $Si_xC_{1-x} : (P, As, Sb)$ であってもよい。材料370および380形成に続いて、装置300はアニーリングなどの熱処理にかけられてもよい。

【0040】

50

さらに、幾らかの実施形態によれば、接合領域 270 および 280 の形成、および、材料 370 および材料 380 の形成、堆積、あるいは成長は、同じチャンバ、同じ反応器で、同じ圧力、同じ温度下で、同じ設定で、および/または一チャンバあるいは反応器でそのチャンバあるいは反応器の封止あるいは真空状態を壊すことなく起こってもよい。プロセスは、最初にエッチングガスを流す一式のプロセスおよび、その後になされる堆積ガスを流す一式のプロセスを含む。故に、材料 370 および 380 の形成は、接合領域 270 および 280 の形成とともにイン・サイチューでなされてもよい。接合領域 270 および 280 を、材料 370 および 380 の堆積に利用されるのと同じチャンバ内で形成することにより、接合領域 270 および 280、および材料 370 および 380 の表面の炭素、酸素、窒素を含む望ましくない不純物を除去することもできる。接合領域 270 および 280 の形成、および材料 370 および 380 の形成に適したチャンバには、上述の接合領域 270 および 280 の形成用チャンバが含まれる。

10

20

30

40

50

【0041】

例えば、接合領域 270 および 280 の形成、および材料 370 および 380 の形成を同一のチャンバでなすのに適したチャンバには、CVD チャンバ、ALD チャンバ、UHV CVD チャンバ、RTCVD チャンバ、RPCVD チャンバ、MBE チャンバ、「バッチ」UHV CVD チャンバ、コールド・ウォール UHV CVD チャンバ、大気圧 (AP) CVD チャンバ、低圧 (LP) CVD チャンバ、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。堆積方式は選択的でも非選択的でも構わない。さらに、接合領域 270 および 280 の形成および材料 370 および 380 の堆積は、同じ真空状態の同じチャンバ内でなすことができる (例えば、チャンバを開いたり、チャンバを開封したり、チャンバの内部をチャンバ外の空気に曝すことなしに)。例えば、接合領域 270 および 280、および材料 370 および 380 は、 $1\text{E} - 4\text{ Torr} \sim 1000\text{ Torr}$ の圧力 ($1\text{E} - 3$ 、 $1\text{E} - 2$ 、 0.1 、 1.0 、 10 、 100 、あるいは 1000 Torr の一つの十進範囲内 (decimal range) の圧力) を持つチャンバ内で、チャンバを開いたり、チャンバを開封したり、チャンバの内部をチャンバ外の空気に曝すことなしに、形成されてもよい。

【0042】

一例においては、ソースドレイン材料の堆積 (例えば、材料 370 および 380 の堆積) が直後に続く、イン・サイチューに窪んだソースドレインエッチング (例えば、接合領域 270 および 280 をなすこと) をなすプロセスは、UHV CVD チャンバ内でなされる (例えば、 300 mm エピタキシャル UHV CVD コールド・ウォール単一ウェハ反応器)。このプロセスは、エッチングガス一式および堆積ガス一式を利用することで切子面 220 および 230 を持つ接合領域を形成して、その後、シリコンあるいはシリコン合金材料を選択的に堆積することでこれら切子面に接合を形成する。さらに、エッチングおよび/または堆積プロセス中に水素 (H_2) および/または、窒素 (N_2) をキャリアガスとして利用してもよい。材料 370 および 380 の堆積は、領域 270 および 280 のエッチングの直後に、装置 200 の処理の次の操作において、チャンバの開封あるいは真空を破ることの前に、領域 270 および 280 の窪みの形成の 30 分間に、および/またはチャンバの「ポンプアウト」の後に、領域 270 および 280 の形成に利用されるエッチャントあるいはガスを除去すべく行われることが留意される。

【0043】

一例においては、 $10 \sim 300$ 分間 (例えば 30、40、50、60、70、80、90、100、120 分間)、 $5 \sim 10\text{ SCCM}$ の流量の純粋な塩素ガスを利用したエッチングプロセスを利用して、領域 270 および 280 を形成する。純粋な塩素ガスのポンプアウトに続き、領域 270 および 280 へ材料 370 および 380 を形成すべく、同じチャンバで、チャンバ内を外気に曝すことなく、堆積プロセスが起こる。

【0044】

堆積プロセスは、 $10 \sim 200$ 秒間 (例えば 10、15、20、25、30、35、40、45、50、60、70、80、90 秒間) $7 \sim 20\text{ SCCM}$ の流量のジシランおよ

び10～30SCCMの流量のメチルシランを含むことができ、ジシランおよびメチルシランはその後、5秒間ポンプアウトされ、このポンプアウト期間の後に純粋塩素ガスを5～15SCCMの流量で10～200秒間（例えば、10、15、20、25、30、35、40、45、50、60、70、80、90秒間）導入する工程が続く。塩素ガスはその後5秒間ポンプアウトされる。ジシラン、メチルシラン、およびその後の塩素エッチングは、50～100回繰り返されて（例えば、70回、75回、80回、85回、あるいはその他の50～100回の間の回数繰り返され）材料370および380が形成される。

【0045】

一例においては、窪んだソースドレインエッチングは、300ミリメートル（mm）ウェハUV-CVDコールド・ウォール単一ウェハ反応器内でソースドレイン材料の堆積とともにイン・サイチュー

になされる。先ず、反応器を摂氏650度に保ったまま、チャンバに純粋塩素を一分につき5標準立方センチメートル（SCCM）～10SCCMの速度で一時間にわたり流して基板120の箇所を除去あるいはエッチングすることで、接合領域270および280を形成する。接合領域270および280は1000オングストロームの深さまで形成される。

10

【0046】

次に、材料370および380が、反応器を摂氏650度に保ったまま、標準MOS集積により、エッチングの「直後」に、領域270および280に形成される（他のいかなる処理も塩素エッチャントのポンプアウトと、材料370および380の堆積との間になされない、ということ）。例えば、7～20SCCMの流量の純粋ジシランと、10～30SCCMの流量のH₂に10パーセントのメチルシランとを30秒間導入して、5秒間ポンプアウトすることで、材料370および380を形成あるいは堆積する。ポンプアウト期間の後に、5～15SCCMの流量の純粋塩素ガスを30秒間導入して、5秒間ポンプアウトする。

20

【0047】

ジシランおよびメチルシランの導入、ポンプアウト、塩素の導入、ポンプアウト、というシーケンスは、75回繰り返され、Si-C合金からなり、一原子パーセントのCおよび1100オングストロームの厚みの材料370および380が形成される。さらに、反応器の封止あるいは真空は75回の繰り返しの間損ななくてよいことが理解されよう。同様に、チャンバの圧力および摂氏650度の温度が75回の繰り返しの間維持されてもよい。

30

【0048】

こうして、材料370および380は、Cの原子パーセントが炭素の0.1～2パーセントであり（例えば1パーセント）、厚みが1100オングストロームのSi-C合金のエピタキシャル層として形成されてもよい。あるいは、材料370および380は、Geの原子パーセントが10～40パーセント（例えば20パーセント）であり、厚みが1100オングストロームのSiGe合金として形成されてもよい。

【0049】

上述のプロセスで、および/または同じチャンバで、チャンバの真空状態あるいは封止を壊すことなく、接合領域270および280、および材料370および380を形成することにより、極めて高品質のエピタキシャルフィルム接合領域材料370および380が接合領域270および280に、界面汚染あるいはひずみをもつチャネルなしに電子あるいは正孔の移動性を増すよう形成され、且つ、少なくとも次の四つの観点において駆動電流が増す。

40

1. 切子面220および230は、高い純度のせいで、接合位置においてエピタキシャル材料のよく定義された高品質界面となりうる。例えば、領域270および280の形成（切子面220および230を含む）および材料370および380の形成が上述のように単一のチャンバ内でなされることで、当初の基板のエピ層界面位置において（切子面22

50

0、230および材料370、380の間)不純物による汚染により(炭素、窒素、酸素の量が界面で減ることにより)界面抵抗が減ることがあり、これが、よりよい界面制御、より低い $R_{external}$ およびより高い駆動電流に繋がることがある。同様に、このような形成により、材料370および380で界面不純物汚染が減り、材料370および380で、より高いドーパント汚染を起こすことがあり(例えば、ホウ素、アルミニウム、リン、ヒ素、および/またはアンチモン)、またソース/ドレイン領域自身内の抵抗が減ることがあり、故に、よりよい界面制御、より低い $R_{external}$ およびより高い駆動電流に繋がることがある。

2. 略54度の角度の切子面220および230を持つソース/ドレイン窪みの形状は、最適な電流波及を提供する。例えば、上述のように形成された切子面220および230の角度、配置、および平面特徴は、切子面および先端を通じて電流をより均等に容易に(より大きな総体規模および量で)波及させるのに(例えば、電流が材料370および380およびチャンネル領域の間を流れること)最適な先端形状および配置を提供することがあり、チャンネル領域および材料370、380間の領域の抵抗を低くし、より低い $R_{external}$ およびより高い駆動電流に繋がる。

3. また略54度の角度の切子面220および230は、チャンネル下で短絡、および短絡チャンネル効果を引き起こしかねないドーパントのオーバーランに対して最大抵抗を提供する。窪みおよび先端領域376および486は、短絡チャンネル効果あるいは短絡の惧れなく、チャンネルのより近傍に配置することができる。

4. ミスフィット転位の形成によるひずみ緩和は、界面汚染が存在する場合に強化される。この発明は、緩和なしに堆積フィルムで、より高いひずみ利用ができる。例えば、領域270および280の形成(切子面220および230を含む)、および材料370および380の形成を上述のように単一のチャンパでなすことにより、材料370および380内でゲルマニウムあるいは炭素の濃度がより高くなり、チャンネル内のひずみ量がより多くなり、トランジスタとして利用される間により高いキャリア移動性および駆動電流を生じる。

【0050】

さらに、接合領域270および280、および材料370および380を上述のプロセスで形成する際、接合/基板界面における生来の酸化物ビルドアップが減らされ(例えば、材料370、380および基板のウェル124の間の界面)、これら界面における炭素、酸素、および/または窒素汚染が減らされ、湿式洗浄(例えば、洗浄に必要な処理待ち時間制限)が不要となり、処理中に必要となるツール種類の数が減らされ、ネスト化した領域のローディング(load ing)が減らされ、(1, 1, 1)切子面を持つ、平面化、平坦化され、および適切な配置の先端プロフィールが(先端376、386について)生成され、チャンネルにおける電子および/または正孔移動性が、接合領域内でp-MOSについては(Si_xGe_{1-x}):B, Al、およびn-MOSについては(Si_xC_{1-x}):P, As, Sbであることにより改善され、 $R_{external}$ が、許される範囲のドーパントの高い濃度により減らされる(例えば、p-MOSについては(Si_xGe_{1-x}):B, Al、およびn-MOSについては(Si_xC_{1-x}):P, As, Sbを形成するべく、エピタキシャル堆積中および/またはエピタキシャル堆積後に、リンあるいはホウ素を接合にドーブする)。

【0051】

また、上述の構想は、スペーサ下には広がるが、ゲート電極下には広がらない接合領域(ソースドレイン領域)を持つトランジスタを形成するべく適用することもできる。このような場合、先端の注入(例えば、ドーブされた基板材料)をゲート電極下の接合領域の隣に形成することができる。例えば図3Bは、接合を形成すべく先端注入を持つ接合領域に材料の厚みを形成した後の図2の基板を示す。図3Bはスペーサ112および114の下に広がるがゲート電極190の下には広がらない接合領域270および280(例えば、ソースドレイン領域)を示す。さらに示されているのは、先端注入354および364(例えばドーブされた基板材料)がゲート電極下の接合領域の隣に形成されてもよいこと

10

20

30

40

50

である。先端注入 354 および 364 は、例えば基板 120 の形成中あるいはその後、基板 120 をドーピングすることなどの、この業界では標準的なプロセスで形成されてもよい。詳しくは、ウェル 124 を形成するには、頂面 125 はホウ素および / またはアルミニウムでドーピングされることで p - MOS トランジスタの p 型先端注入を形成してもよい。基板 120 の表面をドーピングすることで先端注入の p 型材料を形成した後、p 型材料の箇所を除去あるいはエッチングして、図 2 に関して上述したような接合領域 270 および 280 を形成する。従い、図 3 B に示すように、切子面 320 および 330 は、ゲート誘電体の底面下に形成される堆積材料から製造される先端を持つと示されてもよい (例えば、先端注入)。

【0052】

図 3 A 同様に、図 3 B は、材料 370 が頂面 125 下の基板 120 の箇所に対して圧縮性のひずみ 374 を生じさせてもよく、材料 380 が基板 120 の同じ箇所に対して圧縮性のひずみ 384 を生じさせてもよいことを示している。故に、ひずみ 374 は圧縮性のひずみ 392 を生じさせてもよく、ひずみ 384 は基板 120 のチャンネル中、先端注入 354 および 364 間に、圧縮性のひずみ 394 を生じさせてもよい。圧縮性のひずみ 392 および 394 は、材料 370、材料 380、および先端注入 354、364 の間のキャリア移動性 (例えば、ウェル 124 のチャンネルの正孔移動性) を増すのに足る、切子面 220、230、および先端注入 354、364 の間のひずみであってもよいことが理解されよう。

【0053】

別の例においては、材料 370 および材料 380 は装置 300 のチャンネル中に伸張性のひずみを生じさせてもよい (例えば、ひずみ 374、384、392、394 の方向を逆にする場合)。この場合、装置 300 が n - MOS デバイスである場合、装置 300 のチャンネル内の伸張性のひずみは、材料 370 および材料 380 間のキャリア移動性 (例えば、ウェル 124 のチャンネル内の電子移動性) を増すのに足る切子面 220、230、先端注入 354、364 間のひずみであってもよい。

【0054】

例えば、図 4 は代表的な CMOS 構造を示す。図 4 は、図 3 A および 3 B について上述したような装置 300 の p - MOS 実施形態のような、n - MOS トランジスタデバイス 478 に典型的な方法で接続される p - MOS デバイスを持つ CMOS デバイス 400 を示す。基板 120 は、CMOS デバイス 400 を形成すべく N 型ウェル 124 に関する P 型ウェル 422 を含み、P 型ウェル 422 は、基板 120 の第 2 領域上に形成される n - MOS トランジスタデバイス 478 の一部であり、N 型ウェル 124 の隣の基板 120 の異なる第 2 内面 425 を定義している。詳しくは、例えば、ここで記載されるように材料 130 を電気絶縁することで、n - MOS デバイス 478 を p - MOS 装置 300 から電氣的に絶縁することで、n - MOS デバイス 478 が p - MOS 装置 300 の隣に形成されてもよい。さらに、n - MOS デバイス 478 はゲート電極 490 の下であるゲート誘電体 444 の下、および N 型接合 470 および 480 の間にあるチャンネルを含むこともできる。n - MOS デバイス 478 はさらにスペーサ 412 および 414 を持つとして示されている。n - MOS デバイス 478 は、図 3 A および B との関連で上述した装置 300 の n - MOS 実施形態であってもよい。故に、CMOS デバイス 400 はグラウンド GND、入力電圧 V_{in} 、出力電圧 V_{out} 、およびバイアス電圧 V_{DD} を持つ。

【0055】

幾らかの実施形態によると、図 1 - 4 の関連で上述した技術およびプロセスは、接合領域への結晶質材料のエピタキシャル厚みのブランケットあるいは非選択的堆積をなして、例えばトランジスタデバイスの形成中などに、ゲート電極上に接合およびアモルファス材料の等角的厚み (conformal thickness) を形成する。例えば、図 1 - 4 の関連で上述した技術およびプロセスは、図 5 - 12 の関連で以下に記載するプロセスおよびデバイスと組み合わせても組み合わせなくてもよい。

【0056】

10

20

30

40

50

図5はウェル、ゲート誘電体、ゲート電極、および先端領域を持つ接合領域を持つ基板の部分の概略断面図である。図5は、ウェル524の上方の基板505の上面525に形成されたゲート誘電体544を持つ基板505を含む装置500を示す。ゲート電極590はゲート誘電体544上に形成されていて、側面にスペーサ512および514が形成されている。エッチングマスク542はゲート電極590上に形成される。さらに電気絶縁材料510が、周囲領域528からウェル524を電気絶縁すると示されている。接合領域570および580がゲート電極590に隣接すると示されている。装置500、および上述されたその部材は、一以上のプロセスチャンバを伴う半導体トランジスタ製造プロセスなどでさらに加工されることでp-MOSあるいはn-MOSトランジスタのパーツとなってもよい(例えば、CMOSデバイスのパーツなど)。

10

【0057】

図5の特徴は、上述の図1の特徴と「対応」していてもいなくてもよい(「対応」とは、対応するあるいは類似する特徴、材料、ドーピング、幅、長さ、深さ、厚み、および機能がある、対応するあるいは類似するチャンバあるいは反応器に形成されている、および/または対応するあるいは類似するプロセスにより形成される、ということである)。例えば、図5においては、基板505は基板120に対応してよく、エッチングマスク542はエッチングマスク142に対応してよく、スペーサ512、514はスペーサ112、114に対応してよく、幅W51は幅W1に対応してよく、幅W52は幅W2に対応してよく、頂面525は頂面125に対応していてもよい(上述の図1参照)。

20

【0058】

さらに図5においては、ウェル524は、図1のウェル124に関して上述したようなn-MOSトランジスタのP型ウェルに対応していてもよい。詳しくは、ウェル524を形成すべく、頂面525はホウ素および/またはアルミニウムにドーピングされることでn-MOSトランジスタのP型ウェルを形成してもよい(CMOSデバイスのn-MOSデバイス)。故に、ウェル524は、n-MOSトランジスタデバイスの「チャネル」を形成するのに適した材料であってもよい。例えば、トランジスタデバイスチャネルは、頂面525の下、および接合領域570と580との間にあるウェル524の材料の箇所、あるいはそこに形成される接合として規定されてもよい。

30

【0059】

また図5においては、材料510は材料130に対応してよく、周囲領域528は周囲領域128に対応していてもよい(図1参照)。詳しくは、材料510は、n-MOSデバイスのP型ウェル(ウェル524がP型ウェルを持つところの)と基板505の他の領域の間に形成される浅い溝の分離(shallow trench isolation)(STI)であってよく、P型ウェルを他の領域から電気絶縁していてもよい(ここで、他の領域528の一つは、基板505のp-MOSデバイスのN型ウェルである)。

【0060】

次に、図5のゲート誘電体544は上述した図1のゲート誘電体144に対応していてもよい。例えば、ゲート誘電体144は装置500に対して適切なN型仕事関数を持っていてもよい(例えば装置500がn-MOSデバイスである場合)。

40

【0061】

さらに、図5においては、ゲート電極590は上述の図1のゲート電極190に対応していてもよい。故に、ゲート電極590はリン、ヒ素、および/またはアンチモンでドーピングされることで電氣的に負の電荷を持つN型電極材料を形成してもよい(例えば、n-MOSデバイスについて、これはCMOSデバイスの一部であってもよい)。ゲート電極590は、例えば装置500がn-MOSデバイスである場合など、p-MOSあるいはn-MOSデバイスに適した厚みを持っていてもよい。ゲート電極590はn-MOSデバイスのゲート電極に対応する仕事関数を持っていてもよい(例えば装置500がn-MOSデバイスである場合)。

50

【 0 0 6 2 】

図 5 は、ゲート電極 5 9 0 の隣の基板 5 0 5 の表面に形成される窪みおよびゲート誘電体 5 4 4 の底面下のソース ドレイン窪みのような、接合領域 5 7 0 を示す。同様に、図 5 は、ゲート電極 5 9 0 の隣の基板 5 0 5 の表面に形成される窪みおよびゲート誘電体 5 4 4 の底面下のソース ドレイン窪みのような、接合領域 5 8 0 を示す。

【 0 0 6 3 】

図 5 の、ウェル 5 2 4 および基板 5 0 5 の箇所は、ゲート電極 5 9 0 の隣の基板 5 0 5 の接合領域 5 7 0 および 5 8 0 のような窪みを形成すべく除去されてもよい。例えば、ゲート電極 5 9 0 の隣の接合は、接合材料を接合領域 5 7 0 および 5 8 0 に形成あるいは堆積することで形成されてもよい。このような除去は、接合領域 5 7 0 および 6 8 0 がゲート誘電体 5 4 4 下に広がるように、図 2 の接合領域 2 7 0 および 2 8 0 の形成に関して上述した「ソース ドレイン窪み」エッチングを含むことができる。

10

【 0 0 6 4 】

接合領域 5 7 0 は、基板表面 5 2 2 (例えば、接合領域 5 7 0 のベース表面)、切子面 5 2 0、および先端領域 5 7 6 を規定する。先端領域 5 7 6 は切子面 5 2 0 とゲート誘電体 5 4 4 の底面との間にある。同様に、接合領域 5 8 0 は、基板表面 5 3 2、切子面 5 3 0、および先端領域 5 8 6 を規定する。先端領域 5 8 6 は切子面 5 3 0 とゲート誘電体 5 4 4 の底面との間にある。

【 0 0 6 5 】

実施形態によると、先端領域 5 7 6、5 8 6 はスペーサ 5 1 2、スペーサ 5 1 4、および/またはゲート電極 5 9 0 の下に延びることもできる。例えば、先端領域 5 7 6 および 5 8 6 は、0 より大きい幅などの、幅 W 5 2 と等しい幅から、幅 W 5 2 より小さい幅までの、ゲート誘電体 5 4 4 の底面下に頂面 5 2 5 沿いに延びてもよい。故に、切子面 5 2 0、5 3 0 は、基板 5 0 5 の頂面 5 2 5 の隣のゲート誘電体 5 4 4 の底面に接触して、切子面 5 2 0、5 3 0 間の頂面 5 2 5 下のチャンネルを形成してよく(例えば、装置 5 0 0 に形成されるトランジスタのチャンネル)、ここで切子面 5 2 0、5 3 0 は各々、ゼロと幅 W 2 の半分の間の距離でゲート誘電体 5 4 4 の下に延びていてよい。従いスペーサ 5 1 2、スペーサ 5 1 4、および/またはゲート電極 5 9 0 の下のゲート誘電体 5 4 4 の底面に接するよう、ゲート誘電体 5 4 4 の底面に接触し、その下に延びる切子面 5 2 0、5 3 0 を形成するように基板 5 0 5 の箇所を除去してもよい。

20

30

【 0 0 6 6 】

接合領域 5 7 0 および/または 5 8 0 は、「ソース/ドレイン領域」あるいは「拡散領域」と称することができる。また、適切な材料が接合領域 5 7 0、5 8 0 に形成、堆積、あるいは成長されるとき、生じる材料は「接合」「ソース」「ドレイン」「拡散領域」と称することができる。

【 0 0 6 7 】

接合領域 5 7 0、5 8 0 をエッチングするのに適したチャンバは、ゲート誘電体 1 4 4 の形成に関して上述したものを含む。詳しくは、接合領域 5 7 0 および/または 5 8 0 をエッチングするのに適したチャンバには、CVDチャンバ、ALDチャンバ、UHV CVDチャンバ、RTCVDチャンバ、RPCVDチャンバ、MBEチャンバ、「バッチ」UHV CVDチャンバ、コールド・ウォールUHV CVDチャンバ、大気圧(AP)CVDチャンバ、低圧(LP)CVDチャンバ、エッチングチャンバ、高純度高流量水素(H₂)パージ反応器、塩素(Cl₂)エッチングチャンバ、トリシラン堆積反応器、ジシラン堆積反応器、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。

40

【 0 0 6 8 】

その結果、図 5 において、接合領域 5 7 0、5 8 0 は接合領域 2 7 0、2 8 0 に対応していてもいなくてもよく、表面 5 2 2、5 3 2 は表面 2 2 2、2 3 2 に対応していてもいなくてもよく、切子面 5 2 0、5 3 0 は切子面 2 2 0、2 3 0 に対応していてもいなくてもよく、先端領域 5 7 6、5 8 6 は先端領域 2 7 6、2 8 6 に対応していてもいなくても

50

よい（上述の図2参照）。詳しくは、図5においては、接合領域570、580は塩素エッチングあるいは接合領域270、280に関して上述した他のエッチングにより形成されてもされなくてもよい。同様に、図5の接合領域570、580への材料の堆積は、接合領域570、580が形成あるいはエッチングされたチャンバと同じチャンバで起こっても起こらなくてもよい。次に、図5の切子面520、530は、図2に関して述べた角度A1、角度A2に類似した角度を表面522、532に対して形成してもしなくてもよい。

【0069】

図6は、接合領域に結晶質材料の厚み、ゲート電極上にアモルファス材料の厚みを形成した後の図5の概略基板である。図6は、エッチングマスク542、スペーサ512、514、ゲート電極590、およびゲート誘電体544の上に形成されたアモルファス材料の等角的厚み（conformal thickness）610を持つ装置600を示す。ここで、エッチングマスク542、スペーサ512、514、ゲート電極590、およびゲート誘電体544は「ゲート構造」と称されてもよい（例えば、装置500のゲート構造）。等角的厚み610は、エッチングマスク542の上にT610の厚み、スペーサ512の横にT612の厚み、スペーサ514の横にT613の厚みを持つと示されている。

10

【0070】

図6はまた、接合領域570に結晶質材料のエピタキシャル厚み620を示しており、これは厚みT620を持つ。同様に、エピタキシャル厚み630が接合領域580に形成されており、厚みT630を持つ。実施形態によると、厚み610（例えば、アモルファス層）およびエピタキシャル厚み620、630は、同じ期間に、装置600の厚み610、620、630を形成するべく、ブランケット堆積、および/または非選択的堆積により、これら材料を装置500に堆積させることなどにより、「同時に」形成されてもよい。さらに、同時形成中に、等角的厚み610の形成速度は、エピタキシャル厚み620、630の形成速度よりも速くてもよい。

20

【0071】

例えば、等角的厚み610およびエピタキシャル厚み620、630は、結晶質およびアモルファス材料の、非選択的あるいは「ブランケット」化学気相成長法（CVD）により形成されてもよい。エピタキシャル厚み620、630は、基板505の格子間隔と異なる格子間隔を持つシリコン合金あるいはシリコン元素材料であってもよいと考えられる。幾らかの実施形態においては、厚み620、630は、基板505に伸張性のひずみを生じさせる、寸法、厚み、および格子間隔を持つ結晶質リンおよび/またはシリコンカーボン合金材料のエピタキシャル厚みであってもよい。厚み620、630は形成中あるいは形成後に、電氣的に負の電荷を持つN型材料を形成する目的などから、リン、ヒ素、および/またはアンチモンなどでドーブされてもよい。故に、厚み620および厚み630は、伸張性のひずみを装置600のチャンネル（頂面525下であり、接合領域578、580の間である、基板505の領域など）に生じさせてもよい。

30

【0072】

等角的厚み610は、厚み620、630の形成に使用されるのと同じシリコン合金あるいはシリコン元素材料であるアモルファス材料であってもよい。詳しくは、エピタキシャル厚みである代わりに、等角的厚み610は厚み620、630を形成するのと同じ材料の等角的厚みであってもよい。このような次第で、等角的厚み610は、厚み620、630の原子および結晶質材料の非常に規則的な配列と比較して、原子の並びが明確でないアモルファス層であることができる。さらに、等角的厚み610は、材料エッチングマスク542、スペーサ512、514、ゲート電極590、および/またはゲート誘電体544（装置500のゲート構造）のものと異なる格子間隔を持つことができる。故に、等角的厚み610は、ゲート電極590および/または装置500のゲート構造のその他の構成部品に対して伸張性のひずみを生じさせることができる。

40

【0073】

50

例えば、厚み 610、620、630 は、シリコンカーボン合金フィルムブランケットで形成されても、あるいはトランジスタ（装置 500 上に堆積される）の能動領域上に非選択的に堆積されてもよい（装置 600 が n-MOS トランジスタあるいはデバイスである、あるいはそうなる場合）。堆積は、トリシラン、メチルシラン、および水素（ H_2 キャリアガス）を使用する化学気相成長法（CVD）で、堆積温度は摂氏 550 度未満であってよい（例えば、摂氏 450、500、550 度）。このような設定において、エピタキシャル厚み 620、630 は、露出シリコンあるいは接合領域 570、580 の表面においてエピタキシャルになる。詳しくは、エピタキシャル層は表面 522、切子面 520、表面 532、および切子面 530 に形成される。または、このような設定において、アモルファス厚みは、エッチングマスク 542、スペーサ 512、514、ゲート電極 590、およびゲート誘電体 544 の誘電体、酸化物、あるいは窒化物上に形成される（例えば、装置 500 のゲート構造）。厚み 620、630 として形成されるエピタキシャル結晶質材料は、N 型の電氣的に負の電荷の材料を形成するべく、堆積中あるいは堆積後にイン・サイチューにリンあるいはヒ素でドーブされてもよい。

【0074】

実施形態によると、厚み 610、620、630 はトリシランを毎分 25 ミリグラム（ mg/min ）～200 mg/min 導入して、モノメチルシランを 15 標準立方センチメートル（SCCM）～45 SCCM 導入して、 PH_3 （例えば、水素（ H_2 ）キャリアガスに 1 パーセント PH_3 を導入することで）を 400 SCCM～800 SCCM 導入することで形成されてもよい。別の例においては、厚み 610、620、630 を形成することには、50～100 mg/min のトリシラン、30 SCCM のモノメチルシラン、および 600 SCCM の PH_3 を導入することが含まれてもよい。

【0075】

一実施形態においては、単一水 300 mm RT CVD 反応器において、20 SCCM のトリシラン、30 SCCM のモノメチルシラン、20 SLM の H_2 の、摂氏 550 度で 15 Torr 圧力で 12 分間のケミストリーにより、500 ナノメートルのシリコンカーボン合金フィルムが、エピタキシャル厚み 620 および 630 として 3E20 立方 cm の完全置換型炭素濃度で生成される。アモルファス材料の等角的厚み 610 が、接合領域 570、580 の表面に接触しない領域で形成される（例えば、表面 522、532 あるいは切子面 520、530 と接触しない領域）。故に、等角的厚み 610 はエッチングマスク 542、スペーサ 512、514、ゲート電極 590、および / またはゲート誘電体 544 上に形成することができる。表面 522、532、および切子面 520、530 の結晶質材料の形成の一つの理由は、これら表面では、既存の格子をエピタキシャル拡張させることによりシリコンが成長し続けることにある。しかし、エッチングマスク 542、スペーサ 512、514、ゲート電極 590、およびゲート誘電体 544 の表面上では成長を支えるシリコン格子が存在しないので、そこに形成される材料はアモルファスな性質を持つ。

【0076】

幾らかの実施形態においては、エピタキシャル厚み 620、630 は、0.13～2.0 パーセントの置換型炭素濃度を持つシリコン材料であってよい、またはそれを含んでよい。さらに、幾らかの実施形態においては、エピタキシャル厚み 620、630 は、1 立方センチメートルあたり 5E13 アトム（アトム/cm）～5E20 アトム/cm³ のリン濃度を持つシリコン材料であってよい、またはそれを含んでよい。例えば、エピタキシャル厚み 620、630 は、0.13 パーセント～2.0 パーセントの置換型炭素濃度を持ち、1 立方センチメートルあたり 5E13 アトム（アトム/cm）～5E20 アトム/cm³ のリン濃度を持つ、シリコン合金あるいはシリコン元素材料であってよい。

【0077】

しばしば、トランジスタの能動領域上のブランケットあるいは非選択的堆積（例えば、装置 500 上の堆積）が続くと、厚み 610、620、および 630 は、厚み 620、630 がこれら位置に延びる前に、厚み 610 が先端領域内および / またはゲート電極の底

10

20

30

40

50

面上に延びるように、形成されてもよい。詳しくは、もし図6に関して上述した堆積プロセスが続くと、厚みT612、T613が成長し続けて、厚み610のアモルファス材料が先端領域576、586内(図5参照)および/またはゲート誘電体544の底面B1あるいは底面B2上(図7参照)に延びることもあろう。厚み610のアモルファス材料を先端領域および/またはゲート電極の底面上に持つことで、トランジスタの性能が阻害される。さらには、厚み620、630が表面525より上の高さまで形成されてしまうと、厚み610のアモルファス材料を先端領域内および/またはゲート電極の底面上からエッチングにより取り除くことあるいは除去することにより、デバイスが適切に機能しないことになる。

【0078】

しかし、実施形態によると、エピタキシャル厚み610、620、630は、厚み610、620、630を延ばすべく材料を堆積する前にエッチングされてもよい。例えば、図7は結晶質材料の厚みとアモルファス材料の厚みとを除去した後の図5の基板を示す。図7は、等角的厚み610およびエピタキシャル厚み620、630の厚みが除去された後の装置600に対応する装置のような、装置700を示す。例えば、等角的厚み610のアモルファス材料およびエピタキシャル厚み620、630の結晶質材料は、図7に示すように等角的厚み710およびエピタキシャル厚み720、730を形成するエッチングプロセスのように、プロセス中で同時に除去されてもよい。等角的厚み710はエッチングマスク542上の厚みT710、スペース512の隣の厚みT712、スペース514の隣の厚みT713である。また、エピタキシャル厚み720は厚みT720を持ち、エピタキシャル厚み730は厚みT730を持つ。実施形態によると、エピタキシャル厚み720、730の除去あるいはエッチング速度は、等角的厚み710の除去あるいはエッチング速度よりも遅くてもよい。例えば、エッチングケミストリーは、厚み720、730の結晶質材料が、厚み710のアモルファス材料のエッチングよりも遅くエッチングされるように選択されてもよい。故に、厚み710、720、730の除去は、厚み710の残りの垂直厚みが厚み720、730の残りの厚みよりも小さくなるまで続けられてもよい。詳しくは、厚みT710は、厚みT720あるいは厚みT730よりも小さくてもよい。しかし、厚みT710は、厚みT720および/または厚みT730以上であってもよいと思われる。

【0079】

さらに、実施形態によると、厚み710の形成は、厚み710上への等角的材料の次の形成あるいは堆積がゲート誘電体544の底面B1あるいは底面B2の上あるいは下に延びないように、十分に厚み610の厚みを除去することを含んでよい。例えば、厚みT712および厚みT713は、厚み710への等角的厚みあるいはアモルファス材料の厚みの次の堆積が、底面B1およびB2の下あるいは上に伸びないように、十分薄くてもよい。

【0080】

厚みT720および/または厚みT730は、0.5ナノメートル(nm)~2nmの結晶質材料の厚みであってもよい(0.8、0.9、0.95、1.0、1.05、1.1、1.15、1.2、1.3、1.4nmなど)。詳しくは、厚み610、620、630を形成して、その厚みを除去して厚み710、720、730を形成することの正味の影響は、エピタキシャル厚み720、730について毎秒略1.05オングストローム(例えば、毎分10nm)の形成速度を規定することであってもよい。類似する正味の影響あるいは厚み710が横方向で起こることもあり、垂直方向よりも少し高いこともある(例えば厚みT710の方向)。

【0081】

さらには、実施形態においては、厚み610、620、630の厚みの除去は、厚みT712、T713が厚みT720あるいは厚みT730よりも小さいように、ある速度、期間、あるいはエッチャントで起こる場合もある。

【0082】

さらには、実施形態においては、厚み610、620、630の厚みの除去は、厚みT712、T713が厚みT720あるいは厚みT730よりも小さいように、ある速度、期間、あるいはエッチャントで起こる場合もある。

例えば、厚み 610、620、630 の厚みの除去は、塩酸、塩素、あるいは他の適切なエッチャントあるいはガスによるエッチングを含むことがある。詳しくは、このようなエッチングは、塩酸ガスで、100SCCM~200SCCMの流量(140、145、150、155、160SCCMの流量など)のエッチングを含むことがある。また、ドライレジストエッチング、塩素エッチング、 CF_4 、プラズマ、スパッタリング、および/または、厚み 610、620、630 の厚みを除去できる他のエッチングケミストリーあるいはガスを利用することができると考えられる。

【0083】

さらに、実施形態によると、厚み 710、720、730 を形成すべく、厚み 610、620、630 の形成、およびその厚みの除去を行うことは同じチャンバあるいは反応器で、そのチャンバあるいは反応器の封止、真空、圧力、雰囲気を変えずに、および/またはそのチャンバあるいは反応器の内部を外雰囲気あるいは外気に曝すことなく起こってもよい。故に、厚み 710、720、730 を形成すべく材料の厚みを除去することは、厚み 610、620、630 の形成とともにイン・サイチューに行ってもよい。詳しくは、厚みの形成および除去を同時になすことは、同じ圧力で、同じ温度で、同じ雰囲気(ambient)中で、同じ大気中(atmosphere)で、および/またはチャンバあるいは反応器の同じ封止あるいは真空中で起こってもよい。例えば、厚み 710、720、730 を形成すべく同じチャンバ内で厚み 610、620、630 の形成、その厚みの除去を行うことは、CVDチャンバ、ALDチャンバ、UHV CVDチャンバ、RTCVDチャンバ、RPCVDチャンバ、MBEチャンバ、「バッチ」UHV CVDチャンバ、コールド・ウォールUHV CVDチャンバ、大気圧(AP)CVDチャンバ、低圧(LP)CVDチャンバ、エッチングチャンバ、高純度高流量水素(H_2)パージ反応器、塩素(Cl_2)エッチングチャンバ、トリシラン堆積反応器、ジシラン堆積反応器、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。さらに、適切なチャンバは、シリコン、シリコン合金、および/またはシリコン元素材料のエピタキシャル厚みの堆積をなすチャンバ、アモルファス材料の等角的厚みの堆積用のチャンバ、結晶質材料の堆積用チャンバ、ブランケットあるいは非選択的堆積形成用チャンバ、選択的堆積形成用チャンバ、ドーパされた材料の堆積用チャンバ、シリコンゲルマニウム(SiGe)堆積用チャンバ、および/またはシリコンカーボン合金($Si_{1-x}C_x$)材料堆積用チャンバを含む。

【0084】

幾らかの実施形態においては、厚み 610、620、630 の形成、およびその厚みの除去は、同じCVDチャンバ内で、摂氏500~750度の温度で(例えば、摂氏500、550、600、650、700、750度の温度で)、および12~18 Torrの圧力で(例えば、12、13、14、15、16、17、18 Torrの圧力で)起こってもよい。また、厚み 610、620、630 の形成、およびその厚みの除去は、同じCVDチャンバ内で、 $1E-4$ ~ 1000 Torrの圧力で(例えば、 $1E-3$ 、 $1E-2$ 、 0.1 、 1.0 、 10 、 100 、 1000 Torrのうちの一つの十進範囲内の圧力で)起こってもよい。幾らかの場合においては、厚み 610、620、630 の形成、およびその厚みの除去は、同じCVDチャンバ内で、 $3E-3$ Torr~ $7E-3$ Torrの圧力で(例えば、 $3E-3$ 、 $3.5E-3$ 、 $4E-3$ 、 $4.5E-3$ 、 $5E-3$ 、 $5.5E-3$ 、 $6E-3$ 、 $6.5E-3$ 、 $7E-3$)の圧力で起こってもよい。さらに、形成および除去中、毎分10標準リッター(SLM)~30 SLMの水素(H_2)雰囲気の流れがあってもよい。

【0085】

幾らかの実施形態においては、図6、7に関して上述した、厚み 610、620、630 の厚みの形成、堆積、あるいは成長、その後の厚み 610、620、630 の厚みの除去、あるいはエッチングは、一つの繰り返しのことであっても、あるいは多数の繰り返しプロセスの堆積/除去シーケンスのことであってもよい。故に、図6、7のこの繰り返し、あるいは堆積/除去シーケンスは反復してもよい。

10

20

30

40

50

【0086】

例えば、図8は、接合領域に結晶材料の次の厚み、およびゲート電極上に非結晶材料の次の厚みを形成した後の図7の基板を示す。図8は、厚み810を形成すべく厚み710に追加的なアモルファス材料の等角的厚みを再形成あるいは再堆積して、厚み820を形成すべく厚み720に追加的な結晶質材料のエピタキシャル厚みを再形成あるいは再堆積して、エピタキシャル厚み830を形成すべく厚み730に追加的な結晶質材料のエピタキシャル厚みを再形成あるいは再堆積した後の装置700のような、装置800を示す。故に、等角的厚み810の厚みT810は、厚みT610あるいはT710よりも厚くてもよい。同様に、厚みT812は厚みT712あるいはT612より厚くてもよい。同様に、厚みT813は厚みT713あるいはT613より厚くてもよい。

10

【0087】

同様に、エピタキシャル厚み820の厚みT820は、厚みT720あるいはT620より厚くてもよい。同様に、エピタキシャル厚み830の厚みT830は厚みT730あるいはT630より厚くてもよい。

【0088】

等角的厚み810は、等角的厚み610に関して上述したような、材料を含み、プロセスから形成され、機能を持ち、ひずみを生じさせてもよい。同様に、エピタキシャル厚み820、830は、エピタキシャル厚み620、630に関して上述したような、材料に対応し、プロセスから形成され、ひずみを生じさせ、機能を持ってもよい。

【0089】

装置800の形成に続いて、厚み810、820、830の厚みをエッチングなどにより除去してもよい。例えば、図9は、結晶質材料およびアモルファス材料の厚みを除去した後の図8の基板を示す。図9は、アモルファス材料の等角的厚み910、結晶質材料のエピタキシャル厚み920、および結晶質材料のエピタキシャル厚み930を形成すべく厚み810、820、830の厚みを除去した後の装置800などの、装置900を示す。故に、厚み910、920、930の材料、プロセス、機能、およびひずみは、厚み710、720、730に関して上述したものと対応していてもよい。また、厚み910、920、930の、厚み810、820、830と比べたときの関係は、厚み710、720、730の、厚み610、620、630と比べたときの関係に対応していてもよいと考えられる。詳しくは、装置700から装置800を形成して、その後に装置800から装置900を形成するプロセスは、装置500から装置600を形成して、その後に装置600から装置700を形成する前述のプロセスに対応していてもよい。

20

30

【0090】

さらに、実施形態によれば、装置600、700、800、900の形成プロセスは同じチャンパで、チャンパの封止あるいは真空を壊さずに、および/または装置600から装置700を形成することに関して上述したその他の設定あるいは条件下などで起こってもよい。故に、堆積/除去繰り返しのプロセスで、装置600、700の形成は、第1繰り返しとして規定され、装置800、900の形成は第2繰り返しとして規定されてもよい。これら繰り返しは、トランジスタデバイスの接合領域にエピタキシャル結晶質材料の望ましいあるいは選択された厚みが形成されるまで続けられてもよい。また、このような繰り返しは、トランジスタデバイスのゲート構造上に等角的アモルファス材料の望ましいあるいは選択された厚みが形成されるまで続けられてもよい。幾らかの場合においては、このような繰り返しは、5~10回繰り返されてもよい(例えば、5回、6回、7回、8回、9回、10回などの繰り返し)。

40

【0091】

また、このような繰り返しは堆積/除去プロセスと共に終了してもよい(例えば、装置600あるいは装置700の形成に対応するプロセス)。同様に、繰り返しの堆積/除去部分は、5秒~5分の期間起こってよく、ここで、各堆積および/または除去プロセスは、10秒、20秒、25秒、30秒、35秒、40秒、45秒、50秒、60秒、90秒などの期間起こるなどである。

50

【0092】

一例においては、厚み610、620、630の形成は、CVDチャンバ内で厚み710、720、730を形成目的の材料の厚みの除去と共にイン・サイチューになされてもよい。先ず、チャンバを摂氏600～650度の温度に保ち、チャンバを15 Torrの圧力にして、 H_2 をチャンバへ20 SLMの流れで導入しながら、50 mg/min～100 mg/minのトリシラン導入、30 SCCMのモノメチルシランの導入、および600 SCCMの PH_3 の導入(H_2 に1パーセントの PH_3)を30秒間行うことで、厚み610、620、630が形成あるいは堆積される。

【0093】

次に、厚み710、720、730が、厚み610、620、630の堆積の「直後に」形成される(例えば、厚み610、620、630の形成に利用される堆積ガスのポンプアウトと、および厚み710、720、730の形成目的の厚み610、620、630のエッチングとの間には何ら他の処理がなされないということである)。例えば、厚み710、720、730は、チャンバを摂氏600～650度の温度に保ち、チャンバを15 Torrの圧力にして、 H_2 をチャンバへ20 SLMの流れで導入しながら、150 SCCMのHClをチャンバへ30秒間導入して、厚み610、620、630をエッチングすることで形成される。

【0094】

トリシラン、モノメチルシラン、および PH_3 の導入、ポンプアウト、その後HClを導入するシーケンスは、厚み720、730の結晶質材料が約1.05オングストローム/秒の厚み(堆積からエッチングを引き算する)になるまで、7回繰り返される。非結晶材料の厚み710の厚みは、横方向には略等しい(例えば、厚みT712、T714)が、垂直方向(例えば、厚みT710)には少し大きい。さらに、チャンバの封止あるいは真空は、7回の繰り返しの間損なわれなくてもよい。7回の繰り返しの間、 H_2 がチャンバに20 SLMの流れで導入され、チャンバが摂氏600～650度の温度に保たれ、およびチャンバが15 Torrの圧力であるという条件も、同様である。

【0095】

故に、エピタキシャル厚みの頂面が頂面525より優位になるまで、および/またはエピタキシャル厚みが選択されたひずみを基板505に生じさせるまで、等角のおよびエピタキシャル厚みの形成/除去の繰り返しの繰り返すことができる。例えば、図10は、接合を形成すべく、接合領域に結晶質材料の厚みを形成した後、およびゲート電極上にアモルファス材料の厚みを形成した後の図9の基板を示す。図10は、ゲート構造上に非結晶材料の等角的厚み1010、および接合領域570、580中にエピタキシャル厚み1020、1030を持つ装置1000を示す。厚み1020は、頂面525より優位な頂面1022を持ち、厚み1030は、頂面525より優位な頂面1032を持つ。図10はまた、厚みT1020を持つ厚み1020、および厚みT1030を持つ厚み1030を示す。

【0096】

等角的厚み1010は、等角的厚み610に関して上述したような、プロセスによる材料から形成され、機能を持ち、ひずみを生じさせてもよい。同様に、エピタキシャル厚み1020、1030は、エピタキシャル厚み620、630に関して上述したような、材料から形成され、プロセスから形成され、機能を持ち、および/またはひずみを生じさせてもよい。例えば、厚み1020、1030は、基板505に、装置1000のチャネルのひずみのようなひずみを生じさせるべく(例えば、チャネルは、頂面525の下および厚み1020、1030の間の基板505の箇所規定されてもよい)、基板505の新たな材料の格子間隔と異なる格子間隔を持つ十分な厚みあるいは寸法の結晶質材料であってもよい。さらに、厚み1020および1030は、基板505に伸張性のひずみを生じさせるのに足る、結晶質リンおよび/またはシリコンカーボン合金材料のエピタキシャル厚みであってもよい。

【0097】

10

20

30

40

50

特に、図10に示すように、厚み1020は、頂面525下の基板505の箇所から離れる伸張性のひずみ1074を生じさせてよく、厚み1030は、基板505の同じ箇所から離れる伸張性のひずみ1084を生じさせてもよい。故に、ひずみ1074は伸張性のひずみ1092を、および、ひずみ1084は伸張性のひずみ1094を、厚み1020および1030の間の基板505のチャンネル内に生じさせてもよい(例えば、装置1000のチャンネルの伸張性ひずみ、あるいは装置1000はn-MOSデバイスである)。実施形態によると、伸張性ひずみ1092、1094は、厚み1020、1030間のキャリア移動性(例えば、ウェル524のチャンネルの電子の移動性)を増すのに足るひずみであってもよい。つまり、基板505のチャンネルは、基板材料の格子間隔より大きい厚み1020および1030のリンおよび/またはシリコンカーボン合金材料の格子間隔が生じさせる伸張性ひずみの下であってもよい。

10

【0098】

また、上述のように、等角的厚み610に関して、等角的厚み1010は装置1000のゲート構造に、ゲート電極590の伸張性ひずみのような、伸張性のひずみを生じさせてもよい。

【0099】

図10はまた、先端領域576を満たすエピタキシャル厚み1020、および先端領域586を満たすエピタキシャル厚み1030を示す。例えば、厚み1020は底部B1および切子面520に接触および/または原子的に結合されていてもよい。同様に、厚み1030もB2および/または切子面530に取付および/または原子的に結合されていてもよい。

20

【0100】

また、厚み1020および厚み1030は、電氣的に負の電荷を持つN型材料を形成すべく、形成中あるいは形成後にリン、ヒ素、および/またはアンチモンでドーピングされてもよい。

【0101】

例えば、ひとたび、十分なあるいは選択された材料の厚みが厚み1020、1030として堆積あるいは形成されると(例えば、一回の繰り返し中、一堆積/エッチング部分の後に)、等角的厚み1010が除去されてもよい。故に、図10の等角的厚み1010は、選択的ウェットエッチングなどにより、装置1000のゲート構造から除去されてもよい。さらに、等角的アモルファス厚み(例えば、上述の厚み610、710、810、910、1010)もまた絶縁材料(例えば、材料510)上に残されてもよい。これら等角的アモルファス厚みもまた、選択的ウェットエッチングなどにより除去されてよく、これにより、電子移動性および駆動電流の増した伸張性のひずみをもつN-チャンネルトランジスタが生じる。

30

【0102】

例えば、図11は、アモルファス材料の除去後の図10の基板を示す。図11は、装置1000のゲート構造から等角的厚み1010を除去あるいはエッチングにより取り除いた後の装置1000のような、装置1100を示す。例えば、等角的厚み1010は、厚み1120、1130のように、接合領域570、580のエピタキシャル材料の適切な厚みを残すエッチングケミストリーを利用して選択的あるいは非選択的にエッチングすることができる。幾らかの実施形態においては、ゲート構造から等角的厚み1010をエッチングすることには、厚み1020、1030の厚みの5パーセント~35パーセントの厚みをエッチングすることが含まれる。故に、ゲート構造から等角的厚み1010をエッチングした後、厚み1120、1130は、図10について上述した厚み1020、1030の75、80、75、90パーセントほどの厚みであってもよい。同様に、頂面1122、1132は図10について上述した頂面1022、1032に対応してもよい。さらに、厚みT1120、T1130は、図10について上述した厚みT1020、T1030に対応してもよい。

40

【0103】

50

厚み 1010 の除去後、残りのトランジスタ（例えば、装置 1100）は、図 10 のひずみ 1074、1084、1092、1094 の大きさ以上の大きさのひずみ 1174、1184、1192、1194 を持ってもよい。また、ひずみ 1174、1184、1192、1194 は、図 10 のひずみ 1074、1084、1092、1094 に対応する、あるいはそれと同様の方向を持ってもよいことが理解される。特に、ひずみ 1174、1184、1192、1194 は、図 10 のひずみ 1074、1084、1092、1094 に対応する、あるいはその三十パーセントの大きさの範囲、および 10 度の方向であってもよい。

【0104】

故に、ひずみ 1174、1184、1192、1194 は、電子移動性および駆動電流を増すべく、装置 1100 のチャンネルに十分な伸張性ひずみを生じさせてもよい。さらに、ひずみ 1192、1194 は、エピタキシャル厚み 1120、1130 のリンおよび置換型炭素濃度の増加により生じる単軸伸張性ひずみであってもよい。また、エピタキシャル厚み 1120、1130 のリンのドーピング増加は、2E20 立方 cm より大きくてもよい。特に、装置 1100 は、キャリア移動性を増し R_{External} を減らすべく、エピタキシャル厚み 1120、1130 に十分に増加したリンおよび置換型炭素濃度を持つ n-MOS トランジスタであってもよい。概して、装置 1100 に類似したトランジスタは、キャリア移動性のゲインにより、およびエピタキシャル厚み 1120、1130 において減少したシート抵抗により、改善された飽和電流および改善されたデバイス速度を持ってもよい。

【0105】

故に、装置 1100 は CMOS デバイスの n-MOS デバイスであってもよい。例えば、図 12 は代表的な CMOS 構造を示す。図 12 は、p-MOS デバイス 1204 に典型的様式で接続された、図 11 に関して上述した装置 1100 の実施形態のような、n-MOS デバイス 1202 を持つ CMOS デバイス 1200 を示す。基板 505 は、CMOS デバイス 1200 を形成すべく、N 型ウェル 1224 に関する P 型ウェル 524 を含み、N 型ウェル 1224 は基板 505 の第 2 領域に形成される p-MOS トランジスタデバイス 1204 の一部であり、P 型ウェル 524 の隣の基板 505 の第 2 の異なる界面表面 1225 を規定する。特に例えば、p-MOS デバイス 1204 は、ここに記載されたように材料 510 を電気絶縁することで p-MOS デバイス 1204 を n-MOS デバイス 1202 から電気絶縁させることで、n-MOS デバイス 1202 の隣に形成することができる。さらに、p-MOS デバイス 1204 は、ゲート電極 1290 下のゲート誘電体 1244 の下、および P 型接合 1220、1230 間のチャンネルを含んでもよい。p-MOS デバイス 1204 もまた、スペーサ 1212、1214 とともに示される。

【0106】

図 12 も、圧縮性のひずみ 1274、1284、1292、1294 および p-MOS デバイス 1204 を示す。例えば、接合 1220 および 1230 は、頂面 1225 下の基板 505 の箇所に向けて、圧縮性のひずみ 1274、1284 を生じさせてもよい。故に、ひずみ 1274、1284 は p-MOS デバイス 1204 のチャンネルに圧縮性のひずみ 1292、1294 を生じさせてもよい。圧縮性のひずみ 1292、1294 は、接合 1220、1230 間のキャリア移動性（例えば、ウェル 1224 のチャンネルの正孔の移動性）を増すのに足るものであってもよいことが理解されよう。特に、接合 1220、1230 は、基板 505 の格子間隔より大きい格子間隔を持つ材料から形成されてもよい（P 型の電氣的に正の電荷を持つ材料を形成すべく、ホウ素および / またはアルミニウムでドーブされてもされなくてもよい、SiGe で形成されることにより）。最後に、CMOS デバイス 1200 はグラウンド GND、入力電圧 V_{in} 、出力電圧 V_{out} 、およびバイアス電圧 V_{DD} を持つ。

【0107】

上記明細書では特定の実施の形態を用いて説明している。しかしながら、それに対しては、請求項で述べるように実施形態の広義の精神および範囲から逸脱することなく様々な

10

20

30

40

50

変更または修正を加えてもよい。よって明細書および図面は、限定的ではなく例示的に捉えられるべきである。

【図面の簡単な説明】

【0108】

【図1】ウェル、ゲート誘電体、およびゲート電極を持つ基板の部分の概略断面図である。

。

【0109】

【図2】先端領域を持つ接合領域を形成した後の図1の概略基板である。

【0110】

【図3A】接合を形成すべく接合領域に材料の厚みを形成した後の図2の基板を示す。

10

【0111】

【図3B】接合を形成すべく、先端注入を持つ接合領域に材料の厚みを形成した後の図2の基板を示す。

【0112】

【図4】代表的なCMOS構造を示す。

【0113】

【図5】ウェル、ゲート誘電体、ゲート電極、および先端領域を持つ接合領域を持つ基板の部分の概略断面図である。

【0114】

【図6】接合領域に結晶質材料の厚み、ゲート電極上にアモルファス材料の厚みを形成した後の図5の概略基板である。

20

【0115】

【図7】結晶質材料の厚みとアモルファス材料の厚みとを除去した後の図6の基板を示す。

。

【0116】

【図8】接合領域に結晶質材料の次の厚み、ゲート電極上にアモルファス材料の次の厚みを形成した後の図7の基板を示す。

【0117】

【図9】結晶質材料およびアモルファス材料の厚みを除去した後の図8の基板を示す。

【0118】

30

【図10】接合を形成すべく接合領域に結晶質材料の厚みを形成した後、およびゲート電極上にアモルファス材料の厚みを形成した後の、図9の基板を示す。

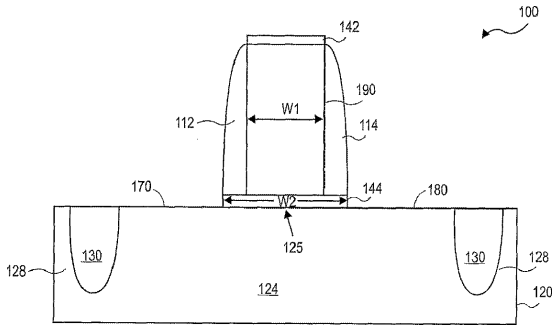
【0119】

【図11】アモルファス材料を除去した後の図10の基板を示す。

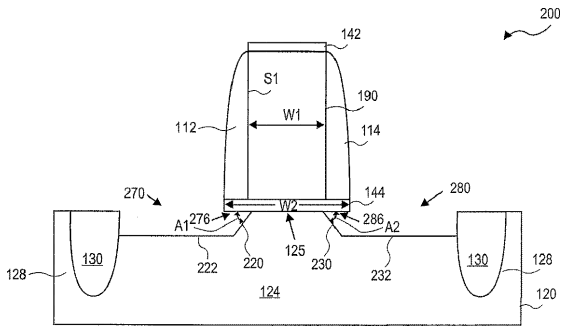
【0120】

【図12】代表的なCMOS構造を示す。

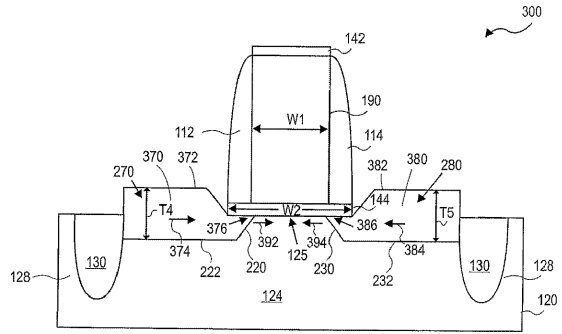
【 図 1 】



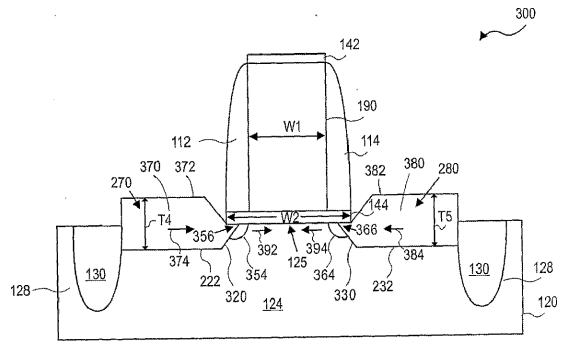
【 図 2 】



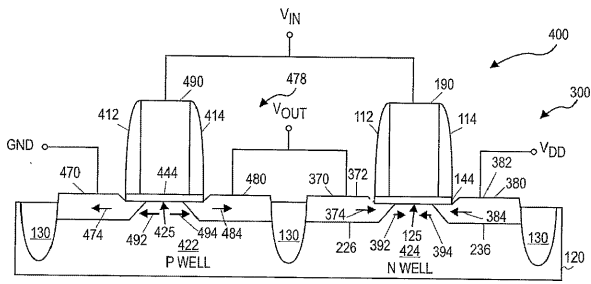
【 図 3 A 】



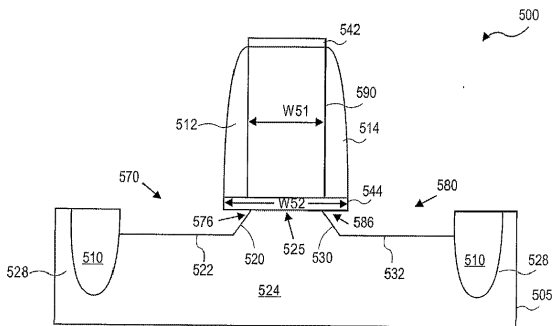
【 図 3 B 】



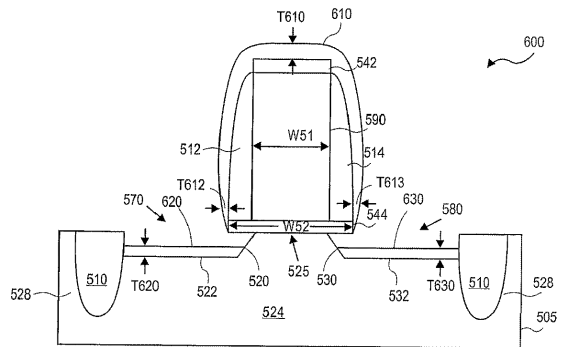
【 図 4 】



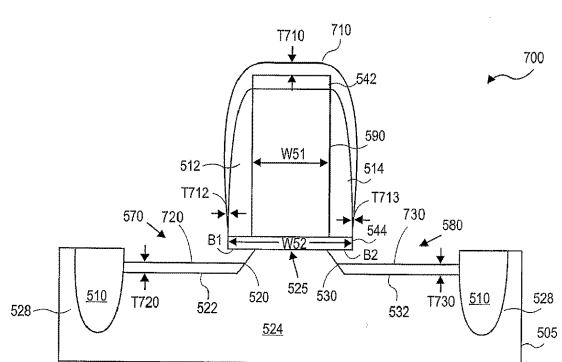
【 図 5 】



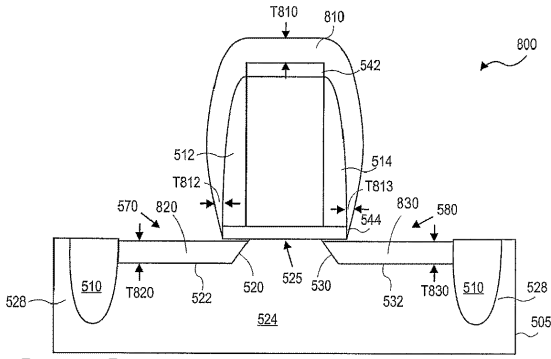
【 図 6 】



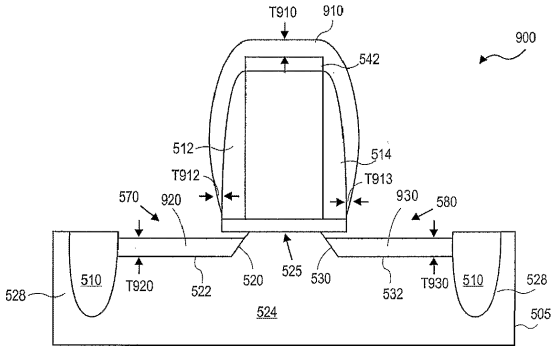
【 図 7 】



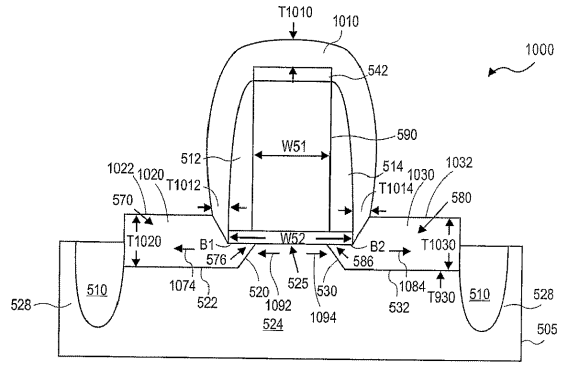
【 図 8 】



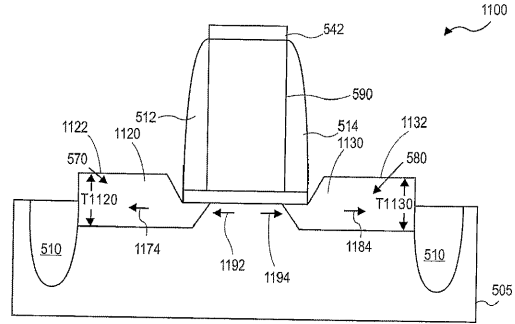
【 図 9 】



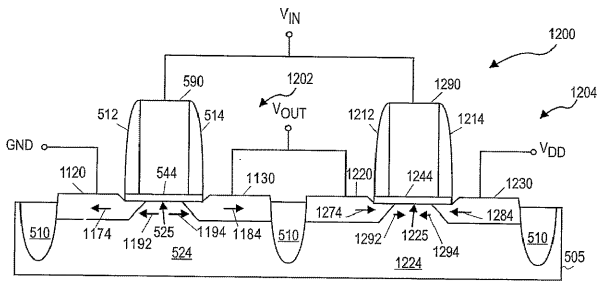
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ウェストマイヤー、アンドリュー
アメリカ合衆国、 9 7 0 0 7 - 6 7 6 6 オレゴン州、ビーバートン、エスダブリュー 1 7 3 アールディー ピーエル 7 7 3 8

(72)発明者 ハッテンドルフ、マイケル
アメリカ合衆国、 9 7 0 0 6 オレゴン州、アロハ、エスダブリュー セミノル ディーアール 1 7 5

(72)発明者 ワンク、ジェフリー
アメリカ合衆国、 9 7 2 2 4 オレゴン州、ティガード、エスダブリュー 1 3 1 エスティー ピーエル 1 4 1 9 0

Fターム(参考) 5F048 AA07 AC03 BA01 BA10 BA14 BB06 BB07 BB11 BC01 BC05
BC15 BD01 BE03 BG13 DA25 DA27 DA28 DA30
5F140 AA01 AB03 AC28 BA01 BA13 BA16 BD04 BD05 BD07 BD11
BD13 BD17 BE09 BE10 BF01 BF04 BG08 BG12 BG14 BG31
BG39 BH06 BH07 BH14 BH21 BH27 BK03 BK09 BK13 BK18
CB04 CB08 CE10 CF03