

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5310222号
(P5310222)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl.

H03M 1/38 (2006.01)

F I

H03M 1/38

請求項の数 10 (全 32 頁)

| | | | |
|-----------|-------------------------------|-----------|--------------------------------|
| (21) 出願番号 | 特願2009-101968 (P2009-101968) | (73) 特許権者 | 000005223 |
| (22) 出願日 | 平成21年4月20日(2009.4.20) | | 富士通株式会社 |
| (65) 公開番号 | 特開2010-252247 (P2010-252247A) | | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| (43) 公開日 | 平成22年11月4日(2010.11.4) | (74) 代理人 | 100094525 |
| 審査請求日 | 平成23年12月5日(2011.12.5) | | 弁理士 土井 健二 |
| | | (74) 代理人 | 100094514 |
| | | | 弁理士 林 恒徳 |
| | | (72) 発明者 | 吉岡 正人 |
| | | | 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 |
| | | 審査官 | 柳下 勝幸 |

最終頁に続く

(54) 【発明の名称】 電荷分配型デジタル・アナログ変換器及びそれを有する逐次比較型アナログ・デジタル変換器

(57) 【特許請求の範囲】

【請求項1】

差動アナログ信号を入力するプラス側入力端子とマイナス側入力端子と、
 プラス側基準電圧端子とマイナス側基準電圧端子と、
 2のべき乗で重み付けされた容量値をもつ複数のプラス側キャパシタと、前記複数のプラス側キャパシタの第1の電極に接続されたプラス側出力端子と、プラス側制御デジタル信号に応じて、前記複数のプラス側キャパシタのそれぞれの第2の電極を、前記プラス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のプラス側スイッチとを有するプラス側デジタル・アナログ変換器と、
 2のべき乗で重み付けされた容量値をもつ複数のマイナス側キャパシタと、前記複数の
 マイナス側キャパシタの第1の電極に接続されたマイナス側出力端子と、マイナス側制御
 デジタル信号に応じて、前記複数のマイナス側キャパシタのそれぞれの第2の電極を、前
 記マイナス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接
 続する複数のマイナス側スイッチとを有するマイナス側デジタル・アナログ変換器と、
 少なくとも同じ重み付けされたプラス側キャパシタとマイナス側キャパシタの間に設け
 られた複数の短絡スイッチとを有し、
 前記プラス側及びマイナス側スイッチは、サンプリング時に、前記プラス側及びマイナ
 ス側キャパシタの第2の電極に前記プラス側及びマイナス側入力端子をそれぞれ接続し、
 前記複数の短絡スイッチは、前記サンプリング後に、前記プラス側及びマイナス側キャ
 パシタの第2の電極間を短絡することを特徴とするデジタル・アナログ変換器。

10

20

【請求項 2】

請求項 1 において、

前記複数の短絡スイッチは、前記複数のプラス側キャパシタと前記複数のマイナス側キャパシタの第 2 の電極を共通のノードに接続することで短絡することを特徴とするデジタル・アナログ変換器。

【請求項 3】

請求項 1 において、

前記プラス側及びマイナス側デジタル・アナログ変換器は、それぞれ、前記複数のプラス側及びマイナス側キャパシタの容量値のうち最小容量値をもつプラス側及びマイナス側補助キャパシタをさらに有し、

前記プラス側及びマイナス側補助キャパシタの第 1 の電極は、それぞれ、前記プラス側及びマイナス側出力端子に接続され、

前記複数のプラス側及びマイナス側スイッチは、前記サンプリング時に、前記プラス側及びマイナス側補助キャパシタの第 2 の電極を、前記プラス側及びマイナス側入力端子にそれぞれ接続し、

前記複数の短絡スイッチは、前記サンプリング後に、前記プラス側及びマイナス側補助キャパシタの第 2 の電極間をも短絡することを特徴とするデジタル・アナログ変換器。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載のデジタル・アナログ変換器と、

前記デジタル・アナログ変換器の前記プラス側出力端子とマイナス側出力端子の電圧を比較する比較器と、

前記比較器の比較結果に応じて前記プラス側制御デジタル信号とマイナス側制御デジタル信号を生成する制御回路とを有し、

前記サンプリング後の第 1 番目の比較時に、前記複数の短絡スイッチは、前記プラス側及びマイナス側キャパシタの第 2 の電極間を短絡し、

前記第 1 番目の比較後の第 2 番目の比較時に、前記複数の短絡スイッチは、前記複数のプラス側及びマイナス側キャパシタのうち最上位ビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極間をオープンにし、前記プラス側及びマイナス側スイッチは、前記第 1 番目の比較時の前記比較器の比較結果に応じて、前記最上位ビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極に、前記プラス側基準電圧端子または前記マイナス側基準電圧端子のいずれかを接続することを特徴とするアナログ・デジタル変換器。

【請求項 5】

請求項 4 において、

前記第 2 番目の比較後の第 K (K は 3 以上の整数) 番目の比較時に、前記複数の短絡スイッチは、前記複数のプラス側及びマイナス側キャパシタのうち第 K 番目の比較時に判定されるビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極間をオープンにし、

前記プラス側及びマイナス側スイッチは、前記第 K - 1 番目の比較時の前記比較器の比較結果に応じて、前記第 K 番目の比較時に判定されるビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極に、前記プラス側基準電圧端子または前記マイナス側基準電圧端子のいずれか接続し、

前記第 K 番目の比較動作が繰り返されることを特徴とするアナログ・デジタル変換器。

【請求項 6】

差動のプラス側及びマイナス側アナログ入力信号を、N (N は複数) ビットのデジタル出力信号に変換するアナログ・デジタル変換器であって、

差動アナログ信号を入力するプラス側入力端子とマイナス側入力端子と、

プラス側基準電圧端子とマイナス側基準電圧端子と、

2 のべき乗で重み付けされた容量値をもつ N 個のプラス側キャパシタと、前記プラス側キャパシタの第 1 の電極に接続されたプラス側出力端子と、プラス側制御デジタル信号に

10

20

30

40

50

応じて、前記プラス側キャパシタのそれぞれの第2の電極を、前記プラス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のプラス側スイッチとを有するプラス側デジタル・アナログ変換器と、

2のべき乗で重み付けされた容量値をもつN個のマイナス側キャパシタと、前記マイナス側キャパシタの第1の電極に接続されたマイナス側出力端子と、マイナス側制御デジタル信号に応じて、前記マイナス側キャパシタのそれぞれの第2の電極を、前記マイナス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のマイナス側スイッチとを有するマイナス側デジタル・アナログ変換器と、

少なくとも同じ重み付けされたプラス側キャパシタとマイナス側キャパシタの間に設けられた複数の短絡スイッチと、

前記プラス側出力端子とマイナス側出力端子の電圧を比較する比較器と、

前記比較器の比較結果に応じて前記プラス側制御デジタル信号とマイナス側制御デジタル信号を生成する制御回路とを有し、

サンプリング時に、前記プラス側及びマイナス側スイッチは、前記プラス側及びマイナス側キャパシタの第2の電極に前記プラス側及びマイナス側入力端子を接続し、

前記サンプリング後の第1の比較時に、前記複数の短絡スイッチは、前記プラス側及びマイナス側キャパシタの第2の電極間を短絡することを特徴とするアナログ・デジタル変換器。

【請求項7】

請求項6において、

前記第1番目の比較後の第2番目の比較時に、前記複数の短絡スイッチは、前記複数のプラス側及びマイナス側キャパシタのうち最上位ビットに対応するプラス側及びマイナス側キャパシタの第2の電極間をオープンにし、前記プラス側及びマイナス側スイッチは、前記第1番目の比較時の前記比較器の比較結果に応じて、前記最上位ビットに対応するプラス側及びマイナス側キャパシタの第2の電極に、前記プラス側基準電圧端子または前記マイナス側基準電圧端子のいずれかを接続することを特徴とするアナログ・デジタル変換器。

【請求項8】

請求項7において、

前記第2番目の比較後の第K（Kは3以上の整数）番目の比較時に、

前記複数の短絡スイッチは、前記複数のプラス側及びマイナス側キャパシタのうち第K番目の比較時に判定されるビットに対応するプラス側及びマイナス側キャパシタの第2の電極間をオープンにし、

前記プラス側及びマイナス側スイッチは、前記第K-1番目の比較時の前記比較器の比較結果に応じて、前記第K番目の比較時に判定されるビットに対応するプラス側及びマイナス側キャパシタの第2の電極に、前記プラス側基準電圧端子または前記マイナス側基準電圧端子のいずれか接続し、

前記第K番目の比較動作が繰り返されることを特徴とするアナログ・デジタル変換器。

【請求項9】

差動アナログ信号を入力するプラス側入力端子とマイナス側入力端子と、

プラス側基準電圧端子とマイナス側基準電圧端子と、

2のべき乗で重み付けされた容量値をもつ複数のプラス側キャパシタと、前記複数のプラス側キャパシタの第1の電極に接続されたプラス側出力端子と、プラス側制御デジタル信号に応じて、前記複数のプラス側キャパシタのそれぞれの第2の電極を、前記プラス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のプラス側スイッチとを有するプラス側デジタル・アナログ変換器と、

2のべき乗で重み付けされた容量値をもつ複数のマイナス側キャパシタと、前記複数のマイナス側キャパシタの第1の電極に接続されたマイナス側出力端子と、マイナス側制御デジタル信号に応じて、前記複数のマイナス側キャパシタのそれぞれの第2の電極を、前記マイナス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接

10

20

30

40

50

続する複数のマイナス側スイッチとを有するマイナス側デジタル・アナログ変換器とを有するデジタル・アナログ変換器のデジタル・アナログ変換方法において、

前記プラス側及びマイナス側スイッチは、サンプリング時に、前記プラス側及びマイナス側キャパシタの第2の電極に前記プラス側及びマイナス側入力端子をそれぞれ接続するサンプリング工程と、

前記サンプリング後に、前記プラス側出力端子とマイナス側出力端子をフローティング状態にし、前記プラス側及びマイナス側キャパシタの第2の電極間を短絡する第1の比較動作工程とを有することを特徴とするデジタル・アナログ変換器のデジタル・アナログ変換方法。

【請求項10】

10

差動のプラス側及びマイナス側アナログ入力信号を、 N (N は複数)ビットのデジタル出力信号に変換するアナログ・デジタル変換器であって、

差動アナログ信号を入力するプラス側入力端子とマイナス側入力端子と、

プラス側基準電圧端子とマイナス側基準電圧端子と、

2のべき乗で重み付けされた容量値をもつ N 個のプラス側キャパシタと、前記プラス側キャパシタの第1の電極に接続されたプラス側出力端子と、プラス側制御デジタル信号に応じて、前記プラス側キャパシタのそれぞれの第2の電極を、前記プラス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のプラス側スイッチとを有するプラス側デジタル・アナログ変換器と、

2のべき乗で重み付けされた容量値をもつ N 個のマイナス側キャパシタと、前記マイナス側キャパシタの第1の電極に接続されたマイナス側出力端子と、マイナス側制御デジタル信号に応じて、前記マイナス側キャパシタのそれぞれの第2の電極を、前記マイナス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のマイナス側スイッチとを有するマイナス側デジタル・アナログ変換器と、

20

前記プラス側出力端子とマイナス側出力端子の電圧を比較する比較器と、

前記比較器の比較結果に応じて前記プラス側制御デジタル信号とマイナス側制御デジタル信号を生成する制御回路とを有するアナログ・デジタル変換器のアナログ・デジタル変換方法において、

前記プラス側及びマイナス側スイッチが、前記プラス側及びマイナス側キャパシタの第2の電極に前記プラス側及びマイナス側入力端子を接続するサンプリング工程と、

30

前記サンプリング後に、前記プラス側及びマイナス側キャパシタの第2の電極間を短絡することを特徴とする第1の比較動作工程とを有するアナログ・デジタル変換器のアナログ・デジタル変換方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電荷分配型デジタル・アナログ変換器及びそれを有する逐次比較型アナログ・デジタル変換器に関する。

【背景技術】

【0002】

40

逐次比較型アナログ・デジタル変換器(以下SAR ADC (Successive Approximation Register Analog-to-Digital Converter))は、アナログ入力信号を n ビットのデジタル出力信号に変換する。通信受信装置などのシステムLSIは、差動型のSAR ADCを有し、そのADCが差動アナログ入力信号の極性と差動電圧とをデジタル出力信号に変換する。そして、内蔵するデジタル処理回路が、デジタル出力信号に対して復調処理や復号化処理などの所望の処理を行う。

【0003】

上記の逐次比較型アナログ・デジタル変換器(SAR ADC)は、差動アナログ入力信号をサンプリングした後、逐次比較結果に応じてサンプリング電圧を順次変化させる電荷再分配型のデジタル・アナログ変換器(電荷再分配型DACまたはCDAC (Charge R

50

edistribution Digital-to-Analog Converter))と、その差動アナログ出力信号を比較する比較器と、比較器の比較結果に応じてデジタル・アナログ変換器に制御用のデジタル信号を供給する制御回路とを有する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-142863号公報

【特許文献2】特表2006-503495号公報

【特許文献3】特開2003-152541号公報

【特許文献4】特開平6-164399号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1などに記載されているSAR ADCでは、キャパシタの充放電の動作速度は、nビットの場合、サンプリング周波数のn倍以上になる。また、充放電電流による消費電力は、高速または高分解能になるほど大きくなり、LSI内部のキャパシタが占有する面積が増大する。

【0006】

さらに、電荷移動に伴い、高速で且つ高精度を要求されるアナログ・デジタル変換器の性能の劣化を招くことになる。

20

【0007】

そこで、本発明の目的は、基準電圧からの充放電電流を抑制した電荷再分配型DACと、それを有する逐次比較型ADCを提供することにある。

【課題を解決するための手段】

【0008】

デジタル・アナログ変換器の側面は、

差動アナログ信号を入力するプラス側入力端子とマイナス側入力端子と、

プラス側基準電圧端子とマイナス側基準電圧端子と、

2のべき乗で重み付けされた容量値をもつ複数のプラス側キャパシタと、前記複数のプラス側キャパシタの第1の電極に接続されたプラス側出力端子と、プラス側制御デジタル信号に応じて、前記複数のプラス側キャパシタのそれぞれの第2の電極を、前記プラス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のプラス側スイッチとを有するプラス側デジタル・アナログ変換器と、

30

2のべき乗で重み付けされた容量値をもつ複数のマイナス側キャパシタと、前記複数のマイナス側キャパシタの第1の電極に接続されたマイナス側出力端子と、マイナス側制御デジタル信号に応じて、前記複数のマイナス側キャパシタのそれぞれの第2の電極を、前記マイナス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のマイナス側スイッチとを有するマイナス側デジタル・アナログ変換器と、

少なくとも同じ重み付けされたプラス側キャパシタとマイナス側キャパシタの間に設けられた複数の短絡スイッチとを有し、

40

前記プラス側及びマイナス側スイッチは、サンプリング時に、前記プラス側及びマイナス側キャパシタの第2の電極に前記プラス側及びマイナス側入力端子をそれぞれ接続し、前記複数の短絡スイッチは、前記サンプリング後に、前記プラス側及びマイナス側キャパシタの第2の電極間を短絡する。

【発明の効果】

【0009】

上記側面によれば、消費電力を抑制したDACを提供することができる。また、キャパシタ面積を小さくしたDACを提供することができる。

【図面の簡単な説明】

【0010】

50

【図 1】本実施の形態のアナログ・デジタル変換器 (ADC) を内蔵する半導体装置の構成例を示す図である。

【図 2】本実施の形態における差動型の逐次比較 ADC の全体構成図である。

【図 3】逐次比較 ADC のアナログ・デジタル変換動作を示す図である。

【図 4】逐次比較 ADC のアナログ・デジタル変換動作の一例を示す図である。

【図 5】差動型の逐次比較 ADC の比較例が有する差動型の DAC の回路図である。

【図 6】差動型の逐次比較 ADC の比較例が有する 2 ビット差動型の DAC の回路図である。

【図 7】図 6 の動作を示す図である。

【図 8】サンプル期間における差動型の DAC のキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。

10

【図 9】比較動作 Comp1 期間における差動型の DAC のキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。

【図 10】比較動作 Comp2 期間における差動型の DAC のキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。

【図 11】第 1 の実施の形態における差動型の逐次比較 ADC が有する差動型の DAC の回路図である。

【図 12】第 1 の実施の形態における差動型の逐次比較 ADC が有する 2 ビットの差動型の DAC の回路図である。

【図 13】図 12 の動作を示す図である。

20

【図 14】サンプル期間における差動型の DAC のキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。

【図 15】比較動作 Comp1 期間における差動型の DAC のキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。

【図 16】比較動作 Comp2 期間における差動型の DAC のキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。

【図 17】第 1 の実施の形態における差動型の逐次比較 ADC が有する 3 ビットの差動型の DAC の回路図である。

【図 18】図 17 の動作を示す図である。

【図 19】第 2 の実施の形態における差動型の逐次比較 ADC が有する差動型の DAC の回路図である。

30

【図 20】第 3 の実施の形態における差動型の逐次比較 ADC が有する差動型の DAC の回路図である。

【図 21】本実施の形態と比較例の消費電力を示す図である。

【図 22】本実施の形態と比較例の消費電力を示す図である。

【発明を実施するための形態】

【0011】

SAR ADC に内蔵される CDAC は、所定の比率で重み付けされた容量値を持つ複数のキャパシタアレイと、キャパシタアレイに共通に接続されたアナログ出力端子と、各キャパシタアレイの出力端子と反対側の電極に設けられ、デジタル入力信号にตอบสนองしてアナログ入力信号とプラス側基準電圧とマイナス側基準電圧のいずれかに接続するスイッチ群とを有する。さらに、差動型 SAR ADC は、上記のキャパシタアレイとスイッチ群とを有する CDAC を、プラス側とマイナス側とに有する。そして、SAR DAC のサンプリング時に、CDAC の全キャパシタに差動アナログ入力信号が供給されて入力信号に対応する電荷を蓄積し、その後は、制御回路からの制御用デジタル信号に応じてスイッチ群を制御して共通の出力端子の電圧を変化させ、その共通の出力端子の電圧を比較器により比較する。この比較動作を、最上位ビットから最下位ビットまで繰り返す。

40

【0012】

特許文献 1 などに記載されている SAR ADC では、比較動作のたびに、CDAC のスイッチ群をオン、オフ制御し、対応するキャパシタをプラス側基準電圧とマイナス側基

50

準電圧とで再充放電し、対応するキャパシタに電荷を移動させる。この充放電の動作速度は、 n ビットの場合、サンプリング周波数の n 倍以上になる。また、SAR ADCのビット数が増えてその分解能が高くなるほど、キャパシタの重み付けされた容量値（キャパシタンス）が大きくなる。そのため、充放電電流による消費電力は、高速または高分解能になるほど大きくなり、LSI内部のキャパシタが占有する面積が増大する。

【0013】

さらに、電荷移動に伴い、外部の基準電圧源からSAR DACが内蔵されたLSIのリード端子やボンディングワイヤなどのインダクタンスに高周波の充放電電流が流れることでリングングノイズが発生し、高速で且つ高精度を要求されるアナログ・デジタル変換器の性能の劣化を招くことになる。

10

【0014】

図1は、本実施の形態のアナログ・デジタル変換器（ADC）を内蔵する半導体装置の構成例を示す図である。半導体装置10は、パッケージPKG内にLSI12を収容している。LSI内には、差動のアナログ入力信号VIP、VIMを入力しデジタル出力信号Doutに変換する逐次比較型ADC14と、そのデジタル出力信号Doutに対して所望の処理を行うデジタル信号処理回路16とが設けられている。ADC14には、基準電圧としてプラス側基準電圧VRPとマイナス側基準電圧VRMとが、外部基準電圧源Ext-VRP、Ext-VRMから、パッケージのリード端子LEADやボンディングワイヤ（図示せず）を介して供給される。

20

【0015】

[差動型の逐次比較ADCの概略]

図2は、本実施の形態における差動型の逐次比較ADCの全体構成図である。この逐次比較ADC（SAR ADC）は、差動のプラス側アナログ入力信号VIP及びマイナス側アナログ入力信号VIMを、 n （ n は複数）ビットのデジタル出力信号Doutに変換する。このデジタル出力信号Doutには、プラス側とマイナス側アナログ入力信号VIP、VIMのどちらが高い電位か低い電位かの情報である符号ビットと、両信号VIP、VIMの電圧差、つまり振幅の情報である差動ビットとが含まれる。したがって、SAR ADCの変換スケールは、 $+ |VIP - VIM| \sim - |VIP - VIM|$ である。

【0016】

SAR ADCは、差動アナログ信号を入力するプラス側入力端子VIPとマイナス側入力端子VIMと、プラス側基準電圧端子VRPとマイナス側基準電圧端子VRMと、プラス側デジタル・アナログ変換器（CDACP）20Pと、マイナス側デジタル・アナログ変換器（CDACM）20Mと、両CDAC20P、20Mのアナログ出力電圧VOP、VOMを比較する比較器CMPと、比較器の比較結果である比較出力Coutを入力し、比較結果を蓄積してデジタル出力信号Doutを生成するとともに、比較結果に応じてプラス側制御デジタル信号SWcntpとマイナス側制御デジタル信号SWcntmとを生成する制御回路CONTとを有する。比較器COMPと制御回路CONTは、同期クロックCLKに同期して n ビットの比較動作を繰り返す。

30

【0017】

図3は、逐次比較ADCのアナログ・デジタル変換動作を示す図である。横軸の時間軸に対して、AD変換の開始時tstrのサンプル動作から n ビット目の比較動作終了までが、AD変換周期Tadである。

40

【0018】

図4は、逐次比較ADCのアナログ・デジタル変換動作の一例を示す図である。この例では、差動のアナログ入力信号VIP、VIMは、図中に示される電位であり、プラス側基準電圧VRP = 1Vとマイナス側基準電圧VRM = 0Vとの間の電位であり、基準電圧VRP、VRMの中間電位である同相電圧VCM = 0.5Vに対して、 $\pm Vi / 2$ （ Vi は差動信号の振幅、電位差）異なる電位を有する。また、両基準電圧VRP、VRMの差電圧Vrは $Vr = 1V$ になり、したがって、同相電圧VCMとは $\pm Vr / 2$ 異なる。すなわち、

50

$$V_{IP} = V_{CM} + V_i / 2$$

$$V_{IM} = V_{CM} - V_i / 2$$

$$V_{RP} = V_{CM} + V_r / 2$$

$$V_{RM} = V_{CM} - V_r / 2$$

になる。以下、図3、図4を参照して、アナログ・デジタル変換動作の概略を説明する。

【0019】

まず、時間 $t_{str} \sim t_0$ で、プラス側CDAC_pがプラス側アナログ入力信号 V_{IP} の電圧情報をサンプリングし、マイナス側CDAC_mがマイナス側アナログ入力信号 V_{IM} の電圧情報をサンプリングする。このサンプリング動作により、CDAC_p、CDAC_m内のキャパシタアレイには、アナログ入力信号 V_{IP} 、 V_{IM} に応じた電荷が蓄積される。具体的には、CDAC_p内のキャパシタは、 $V_{IP} - V_{CM} = +V_i / 2$ に応じた電荷を蓄積し、CDAC_m内のキャパシタは、 $V_{IM} - V_{CM} = -V_i / 2$ に応じた電荷を蓄積する。このサンプル期間でのアナログ出力 V_{OP} 、 V_{OM} は、共に同相電圧 V_{CM} である。

【0020】

次に、時間 $t_0 \sim t_1$ の第1ビットの比較動作Comp1では、制御回路CONTは、所定の制御デジタル信号 SW_{cntp} 、 SW_{cntm} を生成し、CDAC_p、CDAC_mは、アナログ入力信号 V_{IP} 、 V_{IM} に応じたアナログ出力信号 V_{OP} 、 V_{OM} をそれぞれ出力する。図4の例では、

$$V_{OP} = V_{CM} - V_i / 2 \quad (1)$$

$$V_{OM} = V_{CM} + V_i / 2 \quad (2)$$

が出力されている。ここで、 $V_{IP} - V_{IM} = V_i$ であり、 $V_{IP} > V_{IM}$ なら $V_i > 0$ 、 $V_{IP} < V_{IM}$ なら $V_i < 0$ になる。このアナログ出力信号 V_{OP} 、 V_{OM} が、比較器CMPにより比較され、比較結果が比較出力 C_{out} として出力される。制御回路CONTは、この比較出力 C_{out} に基づいて、差動のアナログ入力信号 V_{IP} 、 V_{IM} のいずれの電位が高いか低いかを示す符号ビットを、デジタル出力信号 D_{out} の第1ビットとして記憶する。図4の例では、 $V_{IP} > V_{IM}$ 、 $V_i > 0$ であったため、 $V_{OP} < V_{OM}$ となり、比較結果 C_{out} はLレベルになる。制御回路CONTは、この比較結果 $C_{out} = L$ （または0）を反転して、第1ビットをHレベル（または1）で記憶する。 $V_{IP} < V_{IM}$ なら $V_{OP} > V_{OM}$ となり $C_{out} = H$ （または1）になる。なお、図2のコンパレータの構成上の理由から比較結果 C_{out} と変換ビットの論理が逆転しているだけであり、構成が異なれば反転する必要はない。

【0021】

時間 $t_1 \sim t_2$ の第2ビットの比較動作Comp2では、制御回路CONTは、第1ビットの比較出力 C_{out} に応じて制御デジタル信号 SW_{cntp} 、 SW_{cntm} を生成する。図4の例では、第1ビットの比較出力 $C_{out} = L$ （または0）だったため、制御デジタル信号に基づいて、CDAC_pはアナログ出力信号 V_{OP} を $V_r / 4$ だけ上昇させ、CDAC_mはアナログ出力信号 V_{OM} を $V_r / 4$ だけ低下させる。その結果、

$$V_{OP} = V_{CM} - V_i / 2 + V_r / 4 \quad (3)$$

$$V_{OM} = V_{CM} + V_i / 2 - V_r / 4 \quad (4)$$

が出力される。比較器CMPはこのアナログ出力信号 V_{OP} 、 V_{OM} を比較し、制御回路CONTは比較出力 C_{out} に基づいて第2ビットを記憶する。図4の例では、アナログ入力信号の差動電圧（電圧差）が $V_{IP} - V_{IM} = V_i > V_r / 2$ であるので、アナログ出力信号 V_{OP} 、 V_{OM} を $\pm V_r / 4$ しても、 $V_{OP} < V_{OM}$ である。よって、差動電圧の最上位ビットに対応する第2ビットの比較結果 C_{out} はLレベル（または0）になる。制御回路CONTは、この比較結果 $C_{out} = L$ に基づいて、第2ビットをHレベル（または1）で記憶する。

【0022】

時間 $t_2 \sim t_3$ の第3ビットの比較動作Comp3では、制御回路CONTは、第2ビットの比較出力 C_{out} に応じて制御デジタル信号 SW_{cntp} 、 SW_{cntm} を生成する。図4の例では、第2ビットの比較出力 $C_{out} = L$ （または0）だったため、制御デジタル信号に基づいて

, $C DAC p$ はアナログ出力信号 $V OP$ を $V r / 8$ だけ上昇させ, $C DAC m$ はアナログ出力信号 $V OM$ を $V r / 8$ だけ低下させる。その結果,

$$V OP = V CM - V i / 2 + V r / 4 + V r / 8 \quad (5)$$

$$V OM = V CM + V i / 2 - V r / 4 - V r / 8 \quad (6)$$

が出力される。比較器 $C MP$ はこのアナログ出力信号 $V OP$, $V OM$ を比較し, 制御回路 $C ONT$ は比較出力 $C out$ に基づいて第3ビットを記憶する。図4の例では, アナログ入力信号の差動電圧(電圧差)が $V r / 2 < V IP - V IM = V i < 3 V r / 4$ であるので, アナログ出力信号 $V OP$, $V OM$ を $\pm V r / 8$ すると, $V OP > V OM$ と逆転する。よって, 差動電圧の最上位ビットに対応する第3ビットの比較結果 $C out$ はHレベル(または1)になる。制御回路 $C ONT$ は, この比較結果 $C out = H$ に基づいて, 第3ビットをLレベル(または0)で記憶する。

10

【0023】

図示はされていないが, 第3ビットの比較結果がHレベルになったため, 第4ビットの比較動作では, 制御デジタル信号により次のアナログ出力信号 $V OP$, $V OM$ が生成され, 比較器により比較される。

$$V OP = V CM - V i / 2 + V r / 4 + V r / 8 - V r / 16$$

$$V OM = V CM + V i / 2 - V r / 4 - V r / 8 + V r / 16$$

つまり, $V OP$ は $V r / 16$ 低下させ, $V OM$ は $V r / 16$ 上昇させる。

【0024】

以上の比較動作を繰り返し, 最下位ビットに対する第 n ビット目の比較動作 $C omp N$ が終了する時間 $t n$ で, $S AR ADC$ の AD 変換動作が完了する。

20

【0025】

上記の通り, $S AR ADC$ では, 第1ビットの比較動作で式(1)(2)のアナログ出力信号 $V OP$, $V OM$ を生成して, 差動アナログ入力信号 $V IP$, $V IM$ の上下関係を符号ビットとして検出する。さらに, $S AR ADC$ は, その後, 比較結果 $C out$ に応じて制御デジタル信号 $SWcntp$, $SWcntm$ を生成し, 式(3)(4), 式(5)(6)のように, アナログ出力信号 $V OP$, $V OM$ の電圧差を $V r / 2, V r / 4, \dots$ と, $V r / 2^{k-1}$ (第 k ビット)ずつ小さくし, それら $V OP$, $V OM$ の大小関係を比較器 $C MP$ で検出する。そして, 第 k ビット目の比較動作では, 図4の比較動作 $Comp2$ のように比較動作 $Comp1$ の比較結果が $C out = L$ なら, アナログ出力信号 $V OP$, $V OM$ を同じ方向に $\pm V r / 2^{k-1}$ 変化させ, 図4の比較 $Comp3$ のように比較 $Comp2$ の比較結果が $C out = H$ なら, アナログ出力信号 $V OP$, $V OM$ を逆の方向に $\pm V r / 2^{k-1}$ 変化させる。これにより, $S AR ADC$ は, 最上位ビットから最下位ビットまでを, 逐次的に比較して検出する。

30

【0026】

本実施の形態では, 差動型の逐次比較 ADC の差動型の $C DAC$, つまりプラス側 $C DAC p$ とマイナス側 $C DAC m$, の改良例であり, それに伴って制御デジタル信号も改良される。

【0027】

以下, 差動型の逐次比較 ADC の構成と動作について, 比較例と本実施の形態例について説明する。比較例の $S AR ADC$ は, 例えば, 特許文献1に記載されたものに類似している。

40

【0028】

[差動型の逐次比較 ADC の比較例]

図5は, 差動型の逐次比較 ADC の比較例が有する差動型の $D AC$ の回路図である。この差動型の $D AC$ は, プラス側 $C DAC p$ とマイナス側 $C DAC m$ とを有する全差動型 n ビット $C DAC$ である。

【0029】

プラス側の $C DAC p$ は, 2のべき乗で重み付けされた容量値 $C, 2C, 4C \sim 2^{n-1}C$ (容量値 C は最小単位の容量値を意味する。)をもつ N 個のプラス側キャパシタ $C_1 \sim C_n$ と, プラス側キャパシタ $C_1 \sim C_n$ の第1の電極に接続されたプラス側アナログ出力

50

端子VOPと、プラス側キャパシタ $C_1 \sim C_n$ のそれぞれの第2の電極を、プラス側アナログ入力端子VIPとプラス側基準電圧端子VRPとマイナス側基準電圧端子VRMのいずれかに接続する複数のプラス側スイッチ $s, r_0, r_1, r_{1b} \sim r_n, r_{nb}$ とを有する。これらのプラス側スイッチは、プラス側制御デジタル信号 $s, r_0, r_1, r_{1b} \sim r_n, r_{nb}$ に応じて導通(オン)、非導通(オフ)制御される。さらに、プラス側のCDACpは、サンプル時のオンになるスイッチ s を有する。簡単のために、スイッチの引用番号とそれを制御する制御デジタル信号の引用番号とを同じにしている。また、以下、 $=H$ (または1)であればスイッチはオン、 $=L$ (または0)であればスイッチはオフとする。なお、比較例では、最上位のスイッチ r_n, r_{nb} と基準電圧VRP, VRMとの接続関係は、それ以外の下位のスイッチ $r_1, r_{1b} \sim r_{n-1}, r_{n-1b}$ と基準電圧VRP, VRMとの接続関係と逆になっている。

10

【0030】

プラス側のCDACpは、さらに、最小容量値 C をもつプラス側補助キャパシタ C_0 を有する。この補助キャパシタ C_0 を設けることで、変換誤差をなくしている。このように、比較例の n ビットCDACの場合、補助キャパシタを加えると、 $n+1$ 個のキャパシタがプラス側とマイナス側にそれぞれ設けられる。

【0031】

マイナス側のCDACmも、プラス側CDACpと同様の構成であり、2のべき乗で重み付けされた容量値をもつ N 個のマイナス側キャパシタ $C_1 \sim C_n$ と、マイナス側キャパシタの第1の電極に接続されたマイナス側出力端子VOMと、マイナス側制御デジタル信号 $s, r_0, r_1, r_{1b} \sim r_n, r_{nb}$ に応じて、マイナス側キャパシタのそれぞれの第2の電極を、マイナス側入力端子VIMとプラス側基準電圧端子VRPとマイナス側基準電圧端子VRMのいずれかに接続する複数のマイナス側スイッチ $s, r_0, r_1, r_{1b} \sim r_n, r_{nb}$ とを有する。さらに、マイナス側補助キャパシタ C_0 と、サンプル時にオンするスイッチ s とを有する。

20

【0032】

このように、マイナス側のCDACmは、プラス側のCDACpに対して、プラス側アナログ入力端子VIPの代わりにマイナス側アナログ出力端子VIMが、プラス側アナログ出力端子VOPの代わりにマイナス側アナログ出力端子VOMが、それぞれ使用される。また、マイナス側のCDACmにおいて、基準電圧端子VRP, VRMの接続関係がプラス側CDACpとは逆になっている。同じ引用番号のプラス側制御デジタル信号とマイナス側制御デジタル信号は同じ信号になる。

30

【0033】

差動型の逐次比較ADCの比較例は、全体構成は図2と同じであるが、CDACp, CDACmとして、図5に示した全差動型CDACを有する。

【0034】

図6は、差動型の逐次比較ADCの比較例が有する2ビット差動型のDACの回路図である。そして、図7は、図6の動作を示す図である。図6の差動型のDACは2ビットであるので、プラス側及びマイナス側キャパシタは、補助キャパシタ C_0 と2個のキャパシタ C_1, C_2 からなる。説明を簡単にするために、全差動型2ビットCDACの動作を以下に説明する。

40

【0035】

前提として、差動アナログ入力電圧VIMは、以下のとおりである。

$$V_{IP} = V_{CM} + V_i / 2 \quad (7)$$

$$V_{IM} = V_{CM} - V_i / 2 \quad (8)$$

ここで、 V_{CM} は同相電圧、 V_i は差動電圧である。

【0036】

また、プラス側とマイナス側基準電圧VRP, VRMは、以下のとおりである。

$$V_{RP} = V_{CM} + V_r / 2 \quad (9)$$

50

$$V_{RM} = V_{CM} - V_r / 2 \quad (10)$$

ここで、 V_r は基準電圧 V_{RP} 、 V_{RM} の差動電圧である。

【0037】

さらに、以下、制御デジタル信号 $s = 1$ でそのスイッチはオン、 $s = 0$ でオフになるものとする。

【0038】

[Sample期間]

時間 $t_{str} \sim t_0$ のサンプル期間では、図7に示されるとおり、マイナス側とプラス側の制御デジタル信号 $s, r_0, r_1, r_{1b}, r_2, r_{2b}$ が

$$s, r_0, r_1, r_{1b}, r_2, r_{2b} = 1, 0, 0, 0, 0, 0$$

になり、図6に示されるとおり、スイッチ s のみがオン、それ以外のスイッチがオフになる。その結果、キャパシタ群の第1の電極接続される共通のノードであるプラス側アナログ出力端子 V_{OP} 、プラス側アナログ出力端子 V_{OM} は共に、同相電圧端子 V_{CM} に接続され($V_{OP}, V_{OM} = V_{CM}$)、キャパシタ群の第2の電極にはプラス側アナログ入力端子 V_{IP} 、マイナス側アナログ入力端子 V_{IM} がそれぞれ接続される。

【0039】

図8は、サンプル期間における差動型のDACのキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。図8に示されるとおり、プラス側キャパシタ C_0, C_1, C_2 には $V_{IP} - V_{CM}$ が印加され、サンプル期間終了時 t_0 において各プラス側キャパシタに蓄積される電荷 $Q_{p0}(t_0), Q_{p1}(t_0), Q_{p2}(t_0)$ は、以下の通りである。

$$Q_{p2}(t_0) = 2C(V_{IP} - V_{CM}) \quad (11)$$

$$Q_{p1}(t_0) = C(V_{IP} - V_{CM}) \quad (12)$$

$$Q_{p0}(t_0) = C(V_{IP} - V_{CM}) \quad (13)$$

同様に、マイナス側キャパシタ C_0, C_1, C_2 には $V_{IM} - V_{CM}$ が印加され、サンプル期間終了時 t_0 において各マイナス側キャパシタに蓄積される電荷 $Q_{m0}(t_0), Q_{m1}(t_0), Q_{m2}(t_0)$ は、以下の通りである。

$$Q_{m2}(t_0) = 2C(V_{IM} - V_{CM}) \quad (14)$$

$$Q_{m1}(t_0) = C(V_{IM} - V_{CM}) \quad (15)$$

$$Q_{m0}(t_0) = C(V_{IM} - V_{CM}) \quad (16)$$

次に、その後の比較動作Comp1, Comp2では、制御デジタル信号 $s = 0$ になり、スイッチ s はオフになり、アナログ出力端子 V_{OP}, V_{OM} は共にフローティング状態(高インピーダンス状態)になり、キャパシタ群の第1の電極の電荷は保存される。一方、制御デジタル信号 $r_0 = 1$ になり、プラス側補助キャパシタ C_0 にはマイナス側基準電圧 V_{RM} が、マイナス側補助キャパシタ C_0 にはプラス側基準電圧 V_{RP} がそれぞれ接続されたままになる。

【0040】

[比較動作Comp1]

図9は、比較動作Comp1期間における差動型のDACのキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。図7, 図9に示されるとおり、時間 $t_0 \sim t_1$ の第1ビットの比較動作Comp1では、プラス側制御デジタル信号 $s, r_0, r_1, r_{1b}, r_2, r_{2b}$ が $0, 1, 1, 0, 1, 0$ になり、対応するスイッチがオンまたはオフになり、図9に示されるとおり、プラス側キャパシタ C_0, C_1 の第2電極はマイナス側基準電圧 V_{RM} に、キャパシタ C_2 の第2電極はプラス側基準電圧 V_{RP} に接続される。つまり $C_0 + C_1$ の容量値 $2C$ に対して V_{RM} が、 C_2 の容量値 $2C$ に対して V_{RP} がそれぞれ接続される。

【0041】

逆に、マイナス側制御デジタル信号 $s, r_0, r_1, r_{1b}, r_2, r_{2b}$ も $0, 1, 1, 0, 1, 0$ になり、対応するスイッチがオンまたはオフになり、図9に示されるとおり、マイナス側キャパシタ C_0, C_1 の第2電極はプラス側基準電圧 V_{RP} に

10

20

30

40

50

、キャパシタ C_2 の第 2 電極はマイナス側基準電圧 V_{RM} に接続される。つまり $C_0 + C_1$ の容量値 $2C$ に対して V_{RP} が、 C_2 の容量値 $2C$ に対して V_{RM} がそれぞれ接続される。

【 0 0 4 2 】

その結果、第 1 ビットの比較動作終了時 t_1 において各プラス側キャパシタに蓄積される電荷 $Q_{p0}(t_1)$ 、 $Q_{p1}(t_1)$ 、 $Q_{p2}(t_1)$ は、以下の通りである。

$$Q_{p2}(t_1) = 2C(V_{RP} - V_{OP}(t_1)) \quad (17)$$

$$Q_{p1}(t_1) = C(V_{RM} - V_{OP}(t_1)) \quad (18)$$

$$Q_{p0}(t_1) = C(V_{RM} - V_{OP}(t_1)) \quad (19)$$

同様に、マイナス側キャパシタ C_0 、 C_1 、 C_2 には $V_{IM} - V_{CM}$ が印加され、サンプル期間終了時 t_0 において各マイナス側キャパシタに蓄積される電荷 $Q_{m0}(t_0)$ 、 $Q_{m1}(t_0)$ 、 $Q_{m2}(t_0)$ は、以下の通りである。

$$Q_{m2}(t_0) = 2C(V_{RM} - V_{OM}(t_0)) \quad (20)$$

$$Q_{m1}(t_0) = C(V_{RP} - V_{OM}(t_0)) \quad (21)$$

$$Q_{m0}(t_0) = C(V_{RP} - V_{OM}(t_0)) \quad (22)$$

そこで、比較動作 $Comp1$ 終了時のプラス側アナログ出力 $V_{OP}(t_1)$ は、フローティング状態の出力端子 V_{OP} における電荷量は保存されるという電荷保存の法則により、式 (11) (12) (13) の合計電荷量 = 式 (17) (18) (19) の合計電荷量 $Q_{p2}(t_0) + Q_{p1}(t_0) + Q_{p0}(t_0) = Q_{p2}(t_1) + Q_{p1}(t_1) + Q_{p0}(t_1)$

が成り立ち、それを解くと、

$$V_{OP}(t_1) = V_{CM} - V_i / 2 \quad (23)$$

になる。同様に、マイナス側アナログ出力 $V_{OM}(t_1)$ は、

式 (14) (15) (16) の合計電荷量 = 式 (20) (21) (22) の合計電荷量 $Q_{m2}(t_0) + Q_{m1}(t_0) + Q_{m0}(t_0) = Q_{m2}(t_1) + Q_{m1}(t_1) + Q_{m0}(t_1)$

が成り立ち、それを解くと、

$$V_{OM}(t_1) = V_{CM} + V_i / 2 \quad (24)$$

になる。

【 0 0 4 3 】

上記の式 (23) (24) は、図 4 で説明した式 (1) (2) と同じである。そして、この時間 t_1 での比較器 $Comp$ の比較結果 $Count$ が、制御回路 $CONT$ に入力され、その反転信号が第 1 ビットとして記憶される。前述のとおり、第 1 ビットは符号ビットである。

【 0 0 4 4 】

図 9 に示すとおり、比較動作 $Comp1$ では、プラス側基準電圧端子 V_{RP} に電荷移動による電流 i_{rp} が発生し、マイナス側基準電圧端子 V_{RM} に電荷移動による電流 i_{rm} が発生する。この電流 i_{rp} 、 i_{rm} が消費電流の増大を招き、外部電源との接続ラインでのリングングノイズを発生させる。

【 0 0 4 5 】

そこで、サンプル終了時 t_0 から比較動作終了時 t_1 までに上記の電流 i_{rp} 、 i_{rm} による充放電で消費する電力を以下のとおり求める。すなわち、以下の式において、各基準電圧 V_{RP} 、 V_{RM} での消費電力 $P_{v_{rp1}}$ 、 $P_{v_{rm1}}$ は、基準電圧 V_{RP} 、 V_{RM} と充放電電流 i_{rp} 、 i_{rm} とのそれぞれの積であり、充放電電流 i_{rp} 、 i_{rm} は、時間 $t_0 \sim t_1$ の間に変化するので、それらを時間 $t_0 \sim t_1$ で積分する。さらに、電流 i_{rp} 、 i_{rm} は、それぞれ電荷の単位時間当たりの変化 dQ/dt に置き換えることができる。さらに、時間 $t_0 \sim t_1$ における dQ/dt の積分値は、時間 t_1 での電荷量から時間 t_0 での電荷量を減算したものに等しい。

【 0 0 4 6 】

【数 1】

$$\begin{aligned}
 P_{vvp1} &= VRP \cdot \int_0^{t_1} irp \cdot dt = VRP \cdot \int_0^{t_1} \frac{dQ}{dt} \cdot dt \\
 &= VRP \cdot [(Q_{p2}(t_1) + Q_{m1}(t_1) + Q_{m0}(t_1)) - (Q_{p2}(t_0) + Q_{m1}(t_0) + Q_{m0}(t_0))] = C \cdot V_r \cdot (V_r + 2VCM) \\
 P_{vrm1} &= VRM \cdot \int_0^{t_1} irm \cdot dt = VRM \cdot \int_0^{t_1} \frac{dQ}{dt} \cdot dt \\
 &= VRM \cdot [(Q_{m2}(t_1) + Q_{p1}(t_1) + Q_{p0}(t_1)) - (Q_{m2}(t_0) + Q_{p1}(t_0) + Q_{p0}(t_0))] = C \cdot V_r \cdot (V_r - 2VCM) \\
 P_{total1} &= P_{vvp1} + P_{vrm1} = 2C \cdot V_r^2 \quad (25)
 \end{aligned}$$

10

【0047】

上記の式(25)が、合計の充放電電力になる。

【0048】

[比較動作Comp2]

次に、第2ビットの比較動作が行われる。

【0049】

第2ビットの比較動作では、第1ビットの比較Comp1の結果に応じて生成される制御デジタル信号により、最上位のキャパシタ C_n とそれより1つ下位のキャパシタ C_{n-1} との第2電極が、基準電圧 V_{RP} か V_{RM} のいずれかに接続される。それらより下位のキャパシタ $C_0 \sim C_{n-2}$ の第2電極は変更されない。その結果、アナログ出力電圧 V_{OP} 、 V_{OM} は、

$$V_{OP} = V_{CM} - V_i / 2 + V_r / 4 \quad (3)$$

$$V_{OM} = V_{CM} + V_i / 2 - V_r / 4 \quad (4)$$

または、

$$V_{OP} = V_{CM} - V_i / 2 - V_r / 4 \quad (26)$$

$$V_{OM} = V_{CM} + V_i / 2 + V_r / 4 \quad (27)$$

にされる。上記式(3)(4)は図4と同じである。

【0050】

図10は、比較動作Comp2期間における差動型のDACのキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。図7において、比較動作Comp2では、 r_1 、 r_2 は逆相関係に、 r_{1b} 、 r_{2b} も逆相関係になる。無論、 r_1 、 r_{1b} も逆相関係に、 r_2 、 r_{2b} も逆相関係になる。

30

【0051】

図6の2ビットのCDACでは、最上位キャパシタが C_2 、その1つ下位のキャパシタが C_1 である。そして、プラス側CDACpでは、キャパシタ C_1 を V_{RP} に接続し、キャパシタ C_2 を比較動作Comp1の結果に応じて V_{RP} か V_{RM} のいずれかに接続する。

【0052】

比較動作Comp1において、 $V_{OP}(t_1) < V_{OM}(t_1)$ の場合は、プラス側及びマイナス側共に、

r_0 、 r_1 、 r_{1b} 、 r_2 、 $r_{2b} = 1, 0, 1, 1, 0$ にして、
 プラス側キャパシタ C_2 、 C_1 を V_{RP} に、マイナス側キャパシタ C_2 、 C_1 を V_{RM} に接続する。その結果、各キャパシタの電荷量は、図10に示されたとおりになる。

40

【0053】

そこで、アナログ出力端子 V_{OP} 、 V_{OM} の電荷保存の法則から、時間 t_1 と t_2a とで電荷総量が等しいので、

$$Q_{p2}(t_1) + Q_{p1}(t_1) + Q_{p0}(t_1) = Q_{p2}(t_2a) + Q_{p1}(t_2a) + Q_{p0}(t_2a)$$

となり、これを解くと、

$$V_{OP}(t_2a) = V_{CM} - V_i / 2 + V_r / 4 \quad (28A)$$

$$V_{OM}(t_2a) = V_{CM} + V_i / 2 - V_r / 4 \quad (29A)$$

50

が得られる。これは、上記(3)(4)と同じである。

【0054】

一方、 $VOP(t_1) \geq VOM(t_1)$ の場合は、プラス側及びマイナス側共に、 $r_0, r_1, r_{1b}, r_2, r_{2b} = 1, 0, 1, 0, 1$ にして、プラス側キャパシタ C_2 を VRM に、 C_1 を VRP に接続し、マイナス側キャパシタ C_2 を VRP に、 C_1 を VRM に接続する。その結果、各キャパシタの電荷量は、図10に示されたとおりになる。

【0055】

そこで、アナログ出力端子 VOP 、 VOM の電荷保存の法則から、時間 t_1 と t_{2b} とで電荷総量が等しいので、

$$Q_{p2}(t_1) + Q_{p1}(t_1) + Q_{p0}(t_1) = Q_{p2}(t_{2b}) + Q_{p1}(t_{2b}) + Q_{p0}(t_{2b})$$

となり、これを解くと、

$$VOP(t_{2b}) = VCM - Vi/2 - Vr/4 \quad (28B)$$

$$VOM(t_{2b}) = VCM + Vi/2 + Vr/4 \quad (29B)$$

が得られる。これは、 $Vr/4$ の符号が上記(28A)(29A)と逆になっているだけである。

【0056】

つまり、キャパシタ C_1 に対するスイッチ r_1, r_{1b} は時間 t_1 から t_2 で逆になり、キャパシタ C_2 に対するスイッチ r_2, r_{2b} が、比較 $comp1$ の結果に応じて時間 t_1 から t_2 で VRP のままか、 VRM に切り替わるかになる。

【0057】

図6の例では、第3ビットの比較 $Comp3$ は存在しないが、図5の例では、第3ビットの比較動作では、次に下位のキャパシタ対 C_{n-2}, C_{n-3} について、上記と同様に基準電圧 VRP 、 VRM への切り替えが行われ、それ以外のキャパシタの基準電圧への接続関係は維持される。

【0058】

さて、第2ビットの比較 $Comp2$ での時間 t_1 から t_2 における充放電電力は、 $VOP(t_1) < VOM(t_1)$ の場合では、前述と同様に以下のとおりになる。

【0059】

【数2】

$$P_{vp2a} = VRP \cdot \{Q_{p2}(t_{2a}) + Q_{p1}(t_{2a}) + Q_{m0}(t_{2a}) - (Q_{p2}(t_1) + Q_{p1}(t_1) + Q_{m0}(t_1))\}$$

$$P_{vm2a} = VRM \cdot \{Q_{m2}(t_{2a}) + Q_{m1}(t_{2a}) + Q_{p0}(t_{2a}) - (Q_{m2}(t_1) + Q_{m1}(t_1) + Q_{p0}(t_1))\}$$

$$P_{total2a} = P_{vp2a} + P_{vm2a} = \frac{1}{2} CV_r^2 \quad (30)$$

【0060】

同様に、 $VOP(t_1) \geq VOM(t_1)$ の場合では、以下のとおりになる。

【0061】

【数3】

$$P_{vp2b} = VRP \cdot \{Q_{p2}(t_{2b}) + Q_{p1}(t_{2b}) + Q_{m0}(t_{2b}) - (Q_{m2}(t_1) + Q_{p1}(t_1) + Q_{m0}(t_1))\}$$

$$P_{vm2b} = VRM \cdot \{Q_{p2}(t_{2b}) + Q_{m1}(t_{2b}) + Q_{p0}(t_{2b}) - (Q_{p2}(t_1) + Q_{m1}(t_1) + Q_{p0}(t_1))\}$$

$$P_{total2b} = P_{vp2b} + P_{vm2b} = \frac{5}{2} CV_r^2 \quad (31)$$

【0062】

式(30)、(31)を比較すると理解できるように、 $VOP(t_1) \geq VOM(t_1)$

10

20

30

40

50

1) の場合のほうが、キャパシタ C_2 における充放電電流の分だけ大きくなっている。このように、 1 対のキャパシタ C_2 , C_1 に対して基準電圧 V_{RP} , V_{RM} への接続状態を切り替えるので、それによる充放電電力が大きくなる。

【 0 0 6 3 】

[第 1 の実施の形態における差動型の逐次比較 A D C]

本実施の形態における逐次比較 A D C では、第 1 ビットの比較動作 Comp1 でキャパシタ群の第 2 電極を基準電圧 V_{RP} , V_{RM} に接続しないことでその時の充放電電力をゼロにし、さらに、第 2 ビット以降の比較動作における充放電電力を前述の比較例より低下させることができる。さらに、キャパシタの数を減らして最大おもみ付け容量値のキャパシタの容量値を比較例の $1/2$ にすることができる。

10

【 0 0 6 4 】

図 1 1 は、第 1 の実施の形態における差動型の逐次比較 A D C が有する差動型の D A C の回路図である。この差動型の D A C は、プラス側 C D A C p とマイナス側 C D A C m とを有する全差動型 n ビット C D A C である。

【 0 0 6 5 】

図 5 の比較例と同様に、プラス側の C D A C p は、 2 のべき乗で重み付けされた容量値 C , $2C$, $4C \sim 2^{n-2}C$ をもつ $N - 1$ 個のプラス側キャパシタ $C_1 \sim C_k$ と ($k = n - 1$) , プラス側キャパシタ $C_1 \sim C_k$ の第 1 の電極に接続されたプラス側アナログ出力端子 V_{OP} と、プラス側キャパシタ $C_1 \sim C_k$ のそれぞれの第 2 の電極を、プラス側アナログ入力端子 V_{IP} とプラス側基準電圧端子 V_{RP} とマイナス側基準電圧端子 V_{RM} のい

20

ずれかに接続する複数のプラス側スイッチ s , r_{1a} , $r_{1b} \sim r_k$, r_{kb} とを有する。これらのプラス側スイッチは、プラス側制御デジタル信号 s , r_{1a} , $r_{1b} \sim r_k$, r_{kb} に応じて導通 (オン) , 非導通 (オフ) 制御される。さらに、プラス側の C D A C p は、サンプル時のオンになるスイッチ s を有する。簡単のために、スイッチの引用番号とそれを制御する制御デジタル信号の引用番号を同じにしている。また、キャパシタ $C_1 \sim C_k$ を基準電圧 V_{RP} , V_{RM} に接続するスイッチ対 r_m , r_{mb} ($1 \leq m \leq k$) と基準電圧 V_{RP} , V_{RM} との接続関係は、全て同じである。

【 0 0 6 6 】

プラス側の C D A C p は、さらに、最小容量値 C をもつプラス側補助キャパシタ C_0 を有する。この補助キャパシタ C_0 を設けることで、変換誤差をなくしている。よって、この程度の誤差を許容できる場合は、補助キャパシタ C_0 を設ける必要はない。

30

【 0 0 6 7 】

マイナス側の C D A C m も、プラス側 C D A C p と同様の構成であり、 2 のべき乗で重み付けされた容量値をもつ N 個のマイナス側キャパシタ $C_1 \sim C_k$ ($k = n - 1$) と、マイナス側キャパシタの第 1 の電極に接続されたマイナス側出力端子 V_{OM} と、マイナス側制御デジタル信号 s , r_{1a} , $r_{1b} \sim r_k$, r_{kb} に応じて、マイナス側キャパシタのそれぞれの第 2 の電極を、マイナス側入力端子 V_{IM} とプラス側基準電圧端子 V_{RP} とマイナス側基準電圧端子 V_{RM} のいずれかに接続する複数のマイナス側スイッチ s , r_{1a} , $r_{1b} \sim r_k$, r_{kb} とを有する。さらに、マイナス側補助キャパシタ C_0 と、サンプル時にオンするスイッチ s とを有する。この補助キャパシタ C_0 も誤差を許容する場合は省略することができる。

40

【 0 0 6 8 】

そして、本実施の形態では、少なくとも同じ重み付けされたプラス側キャパシタとマイナス側キャパシタの第 2 電極間に複数の短絡スイッチ $SW_0 \sim SW_k$ を有し、これらの短絡スイッチは、制御回路 C O N T が生成する制御デジタル信号 $c_0 \sim c_k$ によりオン、オフが制御される。

【 0 0 6 9 】

本実施の形態の差動型の逐次比較 A D C は、全体構成は図 2 と同じであるが、C D A C p , C D A C m として、図 1 1 に示した全差動型 C D A C を有する。

【 0 0 7 0 】

50

このように、本実施の形態の n ビット C D A C の場合、プラス側 C D A C p とマイナス側 C D A C m とは、それぞれ、補助キャパシタ C_0 を加えると、 n 個のキャパシタが設けられる。つまり、図 5 の比較例と比較すると、本実施の形態では、プラス側の C D A C p とマイナス側の C D A C m は、図 5 の比較例における最も容量値が大きい最上位ビットのキャパシタ $C_n = 2^{n-1}C$ が不要になっている。その分、C D A C p の集積回路内の面積が小さくなる。つまり、本実施の形態でのキャパシタ群だけのサイズは、比較例の半分になる。

【 0 0 7 1 】

本実施の形態の全差動型の C D A C では、プラス側及びマイナス側スイッチ s は、サンプリング時に、前記プラス側及びマイナス側キャパシタの第 2 の電極にプラス側入力端子 V_{IP} 及びマイナス側入力端子 V_{IM} をそれぞれ接続して、キャパシタ群に差動のアナログ入力電圧 V_{IP} 、 V_{IM} に応じた電荷を蓄積する。このとき短絡スイッチは全てオフである。

10

【 0 0 7 2 】

さらに、サンプリング後の第 1 ビットの比較動作時に、複数の短絡スイッチ $SW_0 \sim SW_k$ は、少なくとも同じ重み付けされた容量値を持つプラス側及びマイナス側キャパシタの第 2 の電極間をそれぞれ短絡する。この短絡動作により、アナログ出力端子 V_{OP} 、 V_{OM} には、次の電圧が生成される。

$$V_{OP} = V_{CM} - V_i / 2 \quad (1)$$

$$V_{OM} = V_{CM} + V_i / 2 \quad (2)$$

20

しかも、この第 1 ビットの比較動作における短絡動作では、キャパシタ群が基準電圧端子 V_{RP} 、 V_{RM} に接続されないので、基準電圧端子への充放電電流は発生せず充放電電力はゼロである。

【 0 0 7 3 】

さらに、第 2 ビット以降の比較動作では、最上位ビットから下位ビットに単一のキャパシタの第 2 電極を比較結果に応じて基準電圧 V_{RP} 、 V_{RM} のいずれかに接続する。つまり、第 2 ビット以降の比較動作では、単一のキャパシタへの充放電電流が発生するだけであり、その充放電電力は、比較例よりも小さくなる。しかも、比較例の最大容量値のキャパシタ $C_n = 2^{n-1}C$ がないので、それへの充放電電力が抑制される。このように、基準電圧端子への充放電電流が抑制されるので、それによるリングングも抑制され、誤動作を回避することができる。

30

【 0 0 7 4 】

以下、本実施の形態の差動型 C D A C の動作について、2 ビットを例にして説明する。

【 0 0 7 5 】

図 1 2 は、第 1 の実施の形態における差動型の逐次比較 A D C が有する 2 ビットの差動型の C D A C の回路図である。この例では、図 1 1 に示した n ビットの差動型 C D A C のうち、補助キャパシタ C_0 と 1 個のキャパシタ C_1 とが設けられ、それらのスイッチ s 、 r_1 、 r_{1b} と、短絡スイッチ SW_0 、 SW_1 とが設けられている。図 6 の比較例の最大キャパシタ C_2 がないことが理解できる。

【 0 0 7 6 】

さらに、図 1 3 は、図 1 2 の動作を示す図である。

40

【 0 0 7 7 】

[Sample 期間]

時間 $t_{str} \sim t_0$ のサンプル期間では、図 1 3 に示されるとおり、マイナス側とプラス側の制御デジタル信号 s 、 r_1 、 r_{1b} 、 c_1 、 c_0 が

$$s, r_1, r_{1b}, c_1, c_0 = 1, 0, 0, 0, 0$$

になり、図 1 2 に示されるとおり、スイッチ s のみがオン、それ以外のスイッチがオフになる。その結果、キャパシタ群の第 1 の電極に接続される共通ノードであるプラス側アナログ出力端子 V_{OP} 、プラス側アナログ出力端子 V_{OM} は共に、同相電圧端子 V_{CM} に接続され (V_{OP} 、 $V_{OM} = V_{CM}$)、キャパシタ群の第 2 の電極にはプラス側アナログ

50

入力端子VIP, マイナス側アナログ入力端子VIMがそれぞれ接続される。

【0078】

図14は, サンプル期間における差動型のDACのキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。図14に示されるとおり, プラス側キャパシタC₀, C₁にはVIP - VCMが印加され, サンプル期間終了時t₀において各プラス側キャパシタに蓄積される電荷Q_{p0}(t₀), Q_{p1}(t₀)は, 以下の通りである。

$$Q_{p1}(t_0) = C(VIP - VCM) \quad (32)$$

$$Q_{p0}(t_0) = C(VIP - VCM) \quad (33)$$

同様に, マイナス側キャパシタC₀, C₁にはVIM - VCMが印加され, サンプル期間終了時t₀において各マイナス側キャパシタに蓄積される電荷Q_{m0}(t₀), Q_{m1}(t₀)は, 以下の通りである。

$$Q_{m1}(t_0) = C(VIM - VCM) \quad (34)$$

$$Q_{m0}(t_0) = C(VIM - VCM) \quad (35)$$

次に, その後の比較動作Comp1, Comp2では, 制御デジタル信号_s = 0になり, スイッチ_sはオフになり, アナログ出力端子VOP, VOMは共にフローティング状態(高インピーダンス状態)になり, キャパシタ群の第1の電極の電荷は保存される。一方, 比較動作Comp1で制御デジタル信号_{c1}, _{c0} = 1になり, 短絡スイッチSW1, SW0は共にオンとなり, キャパシタC₀の第2の電極間と, キャパシタC₁の第2の電極間とをそれぞれ短絡する。

【0079】

さらに, 図11の例の場合は, 比較動作Comp2以降は, 最上位のキャパシタC_kの短絡スイッチSW_kをオフにし, 前の比較結果に応じて, その最上位のキャパシタC_kの第2の電極を, 基準電圧VRP, VRMのいずれかに接続し, 生成されるアナログ出力VOP, VOMを比較する。さらに, 次の比較動作では, 1つ下位のキャパシタC_{k-1}の短絡スイッチSW_{k-1}をオフにし, その第2電極を前の比較結果に応じて基準電圧VRP, VRMのいずれかに接続する。そして, 比較動作を最下位のキャパシタC₁まで繰り返す。

【0080】

図12の例では, 2ビットしかないので, 比較動作Comp2でキャパシタC₁の短絡スイッチSW1がオフになり, 比較動作Comp1の結果に応じてそのキャパシタC₁の第2の電極を基準電圧VRP, VRMのいずれかに接続し, 生成されるアナログ出力VOP, VOMを比較する。

【0081】

[比較動作Comp1]

図15は, 比較動作Comp1期間における差動型のDACのキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。図13, 図15に示されるとおり, 時間t₀~t₁の第1ビットの比較動作Comp1では, プラス側及びマイナス側制御デジタル信号_s, _{r1}, _{r1b}, _{c1}, _{c0}が

_s, _{r1}, _{r1b}, _{c1}, _{c0}が

$$\sub{s}, \sub{r1}, \sub{r1b}, \sub{c1}, \sub{c0} = 0, 0, 0, 1, 1$$

になり, それらに対応するスイッチがオンまたはオフになり, 図15に示されるとおり, プラス側キャパシタC₀, C₁の第2電極とマイナス側キャパシタC₀, C₁の第2電極間は, それぞ短絡スイッチSW0, SW1を介して短絡される。

【0082】

その結果, 第1ビットの比較動作終了時t₁において各プラス側キャパシタC₀, C₁に蓄積される電荷Q_{p0}(t₁), Q_{p1}(t₁)は, 以下の通りである。

$$Q_{p1}(t_1) = C(Va - VOP(t_1)) \quad (36)$$

$$Q_{p0}(t_1) = C(Va - VOP(t_1)) \quad (37)$$

同様に, マイナス側キャパシタC₀, C₁に蓄積される電荷Q_{m0}(t₁), Q_{m1}(t₁)は, 以下の通りである。

$$Q_{m1}(t_1) = C(Va - VOM(t_1)) \quad (38)$$

$$Q_{m0}(t_1) = C(V_a - V_{OM}(t_1)) \quad (39)$$

ここで、 V_a は短絡された第2の電極の電圧であり、プラス側とマイナス側のキャパシタの容量値は等しいので、理論的には $(V_{IP} - V_{IM}) / 2 = V_{CM}$ になる。すなわち、サンプル期間で第2の電極にはアナログ入力 V_{IP} 、 V_{IM} が印加されていたが、比較期間Comp1では第2の電極間が短絡され、短絡されたプラス側キャパシタとマイナス側キャパシタ間で電荷の移動が発生すると考えられる。

【0083】

そこで、比較動作Comp1終了時のプラス側アナログ出力 $V_{OP}(t_1)$ は、フローティング状態の出力端子 V_{OP} における電荷保存の法則により、

式(32)(33)の合計電荷量 = 式(36)(37)の合計電荷量 10

$$Q_{p1}(t_0) + Q_{p0}(t_0) = Q_{p1}(t_1) + Q_{p0}(t_1)$$

が成り立ち、それを解くと、

$$V_{OP}(t_1) = V_a - V_i / 2 \quad (40)$$

になる。同様に、マイナス側アナログ出力 $V_{OM}(t_1)$ は、

式(34)(35)の合計電荷量 = 式(38)(39)の合計電荷量

$$Q_{m1}(t_0) + Q_{m0}(t_0) = Q_{m1}(t_1) + Q_{m0}(t_1)$$

が成り立ち、それを解くと、

$$V_{OM}(t_1) = V_a + V_i / 2 \quad (41)$$

になる。

【0084】 20

理論上 $V_a = V_{CM}$ であるので、上記の式(40)(41)は、図4で説明した式(1)(2)と同じである。そして、この時間 t_1 での比較器CMPの比較結果 C_{out} が制御回路CONTに入力され、その反転信号が第1ビットとして記憶される。前述のとおり、第1ビットは符号ビットである。

【0085】

上記の式(40)(41)は、以下のような考えによっても導くことができる。図14のサンプル状態では、プラス側キャパシタ C_0 、 C_1 の電極間には電圧 $V_{IP} - V_{CM} = V_i / 2$ が印加され、マイナス側キャパシタ C_0 、 C_1 の電極間には電圧 $V_{IM} - V_{CM} = -V_i / 2$ が印加されている。この状態から、図15の第1ビットの比較動作で、短絡スイッチ SW_0 、 SW_1 がオンすると、プラス側及びマイナス側キャパシタ C_0 、 C_1 の第2の電極が接続され同電圧 V_a になる。したがって、プラス側キャパシタ C_0 、 C_1 では、第1電極であるプラス側アナログ出力電圧 V_{OP} は、第2電極の電圧 V_a からキャパシタに印加されていた電圧 $V_{IP} - V_{CM} = V_i / 2$ を減算した、

$$V_{OP} = V_a - (V_{IP} - V_{CM}) = V_a - V_i / 2$$

になる。同様に、マイナス側キャパシタ C_0 、 C_1 では、

$$V_{OM} = V_a - (V_{IM} - V_{CM}) = V_a + V_i / 2$$

になる。これらは、上記式(40)(41)と同じである。

【0086】

この第1ビットでの比較動作では、プラス側とマイナス側キャパシタ間を短絡しただけであり、基準電圧や他の電圧源との充放電電流は発生していないので、充放電電流による消費電力はゼロである。 40

【0087】

[比較動作Comp2]

次に、第2ビットの比較動作が行われる。

【0088】

第2ビットの比較動作では、最上位のキャパシタ $C_k = C_{n-1}$ の短絡スイッチ $SW_k = SW_{n-1}$ がオフになり、第1ビットの比較動作Comp1の結果に応じて生成される制御デジタル信号により、その最上位キャパシタ $C_k = C_{n-1}$ の第2電極が基準電圧 V_{RP} か V_{RM} のいずれかに接続される。それらより下位のキャパシタ $C_0 \sim C_{n-2}$ の短絡スイッチと第2電極は変更されない。つまり、比較ビットに対応する単一のキャパシタの第2電極が基 50

準電圧 V_{RP} , V_{RM} のいずれかに接続されて充放電電流が発生する。

【0089】

その結果、アナログ出力電圧 V_{OP} , V_{OM} は、

$$V_{OP} = (V_a + V_{CM}) / 2 - V_i / 2 + V_r / 4 \quad (42A)$$

$$V_{OM} = (V_a + V_{CM}) / 2 + V_i / 2 - V_r / 4 \quad (43A)$$

または、

$$V_{OP} = (V_a + V_{CM}) / 2 - V_i / 2 - V_r / 4 \quad (42B)$$

$$V_{OM} = (V_a + V_{CM}) / 2 + V_i / 2 + V_r / 4 \quad (43B)$$

にされる。 $V_a = V_{CM}$ であるので、 $(V_a + V_{CM}) / 2 = V_{CM}$ になり、上記式 (42A) ~ (43B) は比較例の式 (28A) ~ (29B) と同じである。

10

【0090】

図16は、比較動作Comp2期間における差動型のDACのキャパシタ群の接続状態と各キャパシタの電荷状態とを示す図である。図13において、比較動作Comp2では、 $c_k = 0$ になり、比較動作Comp1の比較結果に応じて $r_k, r_{kb} = 1, 0$ or $0, 1$ になる。

【0091】

図12の2ビットのCDACでは、最上位キャパシタが C_1 である。そして、プラス側CDACでは、そのキャパシタ C_1 を比較動作Comp1の結果に応じて V_{RP} か V_{RM} のいずれかに接続する。

【0092】

比較動作Comp1において、 $V_{OP}(t_1) < V_{OM}(t_1)$ の場合は、プラス側及びマ

20

イナス側共に、

$$s, r_1, r_{1b}, c_1, c_0 = 0, 0, 1, 0, 1$$

にして、プラス側キャパシタ C_1 を V_{RP} に、マイナス側キャパシタ C_1 を V_{RM} に接続する。その結果、各キャパシタの電荷量は、図16に示されたとおりになる。

【0093】

そこで、アナログ出力端子 V_{OP} , V_{OM} の電荷保存の法則から、時間 t_1 と t_{2a} とで電荷総量が等しいので、

$$Q_{p1}(t_1) + Q_{p0}(t_1) = Q_{p1}(t_{2a}) + Q_{p0}(t_{2a})$$

となり、これを解くと、

$$V_{OP}(t_{2a}) = V_a / 2 + V_{RP} / 2 - V_i / 2$$

$$= (V_a + V_{CM}) / 2 - V_i / 2 + V_r / 4 \quad (44A)$$

30

同様に、 $Q_{m1}(t_1) + Q_{m0}(t_1) = Q_{m1}(t_{2a}) + Q_{m0}(t_{2a})$ を解くと、

$$V_{OM}(t_{2a}) = (V_a + V_{CM}) / 2 + V_i / 2 - V_r / 4 \quad (45A)$$

が得られる。

【0094】

一方、 $V_{OP}(t_1) \geq V_{OM}(t_1)$ の場合は、プラス側及びマイナス側共に、

$$s, r_1, r_{1b}, c_1, c_0 = 0, 1, 0, 0, 1$$

にして、プラス側キャパシタ C_1 を V_{RM} に、マイナス側キャパシタ C_1 を V_{RP} に接続する。その結果、各キャパシタの電荷量は、図16に示されたとおりになる。

40

【0095】

そこで、アナログ出力端子 V_{OP} , V_{OM} の電荷保存の法則から、時間 t_1 と t_{2b} とで電荷総量が等しいので、

$$Q_{p1}(t_1) + Q_{p0}(t_1) = Q_{p1}(t_{2b}) + Q_{p0}(t_{2b})$$

となり、これを解くと、

$$V_{OP}(t_{2b}) = V_a / 2 + V_{RM} / 2 - V_i / 2$$

$$= (V_a + V_{CM}) / 2 - V_i / 2 - V_r / 4 \quad (44B)$$

同様に、 $Q_{m1}(t_1) + Q_{m0}(t_1) = Q_{m1}(t_{2b}) + Q_{m0}(t_{2b})$ を解くと、

$$V_{OM}(t_{2b}) = (V_a + V_{CM}) / 2 + V_i / 2 + V_r / 4 \quad (45B)$$

50

が得られる。

【0096】

$V_a = V_{CM}$ であるので、 $(V_a + V_{CM}) / 2 = V_{CM}$ になり、上記式(44A)～(45B)は比較例の式(28A)～(29B)と同じである。

【0097】

つまり、キャパシタ C_1 に対する短絡スイッチ SW_1 がオフになり、さらに、スイッチ r_{1a} 、 r_{1b} が、比較comp1の結果に応じて VRP か、 VRM かに切り替わる。そして、キャパシタ C_1 に対してのみ基準電圧 VRP 、 VRM から充放電電流が発生する。

【0098】

そして、比較器 CPM がアナログ出力 VOP 、 VOM を比較し、その比較結果 $Count$ が制御回路 $CONT$ に入力される。制御回路は比較結果 $Count$ を反転して、第2ビットとして蓄積する。

10

【0099】

さて、第2ビットの比較Comp2での時間 t_1 から t_2 における充放電電力は、 $VOP(t_1) < VOM(t_1)$ の場合では、前述と同様に以下のとおりになる。

【0100】

【数4】

$$\begin{aligned} P_{vrp2a} &= VRP \cdot \{Q_{p1}(t_{2a}) - Q_{p1}(t_1)\} \\ P_{vrm2a} &= VRM \cdot \{Q_{m1}(t_{2a}) - Q_{m1}(t_1)\} \\ P_{total2a} &= P_{vrp2a} + P_{vrm2a} = \frac{1}{4} CV_r^2 \end{aligned} \quad (46)$$

20

【0101】

同様に、 $VOP(t_1) \geq VOM(t_1)$ の場合では、基準電圧 VRP 、 VRM の接続先が異なるだけであるので $VOP(t_1) < VOM(t_1)$ の場合と同じになり、以下のとおりになる。

【0102】

【数5】

$$P_{total2b} = \frac{1}{4} CV_r^2 \quad (47)$$

30

【0103】

つまり、第1ビットの比較結果にかかわらず、第2ビットの比較動作での充放電電力は同じになる。しかも、充放電電流は、単一のキャパシタ C_1 のみに発生するので、比較例の式(30)～(31)より小さい。さらに、最大容量のキャパシタ C_1 は、比較例の最大容量のキャパシタ C_2 より容量値が小さい(1/2)であるので、その分充放電電力も小さい。

【0104】

第3ビット以降の比較動作を説明するために、3ビット $CDAC$ を例にして以下説明する。

40

【0105】

図17は、第1の実施の形態における差動型の逐次比較ADCが有する3ビットの差動型のDACの回路図である。この例では、図11に示した n ビットの差動型 $CDAC$ のうち、補助キャパシタ C_0 と2個のキャパシタ C_1 、 C_2 とが設けられ、それらのスイッチ s 、 r_{1a} 、 r_{1b} 、 r_{2a} 、 r_{2b} と、短絡スイッチ SW_0 、 SW_1 、 SW_2 とが設けられている。

【0106】

さらに、図18は、図17の動作を示す図である。

【0107】

50

サンプル期間Sampleでは、サンプルスイッチ s のみがオンし、他のスイッチは全てオフであり、プラス側の全キャパシタに $VIP - VCM$ が印加され、マイナス側の全キャパシタに $VIM - VCM$ が印加される。この動作は、2ビットの場合と同じである。

【0108】

次に、第1ビットの比較動作Comp1では、サンプルスイッチ s はオフになり、全ての短絡スイッチ $SW0 - SW2$ がオンになる。その結果、

$$VOP = Va - Vi / 2, \quad VOM = Va + Vi / 2$$

になる。この動作も2ビットの場合と同じである。

【0109】

第2ビットの比較動作Comp2では、最上位ビットのキャパシタ C_2 に対する短絡スイッチ $SW2$ (c_2) がオフになり、第1ビットの比較結果に応じてそのキャパシタ C_2 のスイッチ r_2, r_{2b} がオン、オフまたはオン、オンになり、キャパシタ C_2 を VRP または VRM に接続する。このとき、下位ビットのキャパシタ C_1, C_0 の短絡スイッチ $SW1, SW0$ はオンのままである。その結果、上記式(44A)~(45B)になる。

【0110】

第2ビットの比較動作Comp1では、最上位ビットのキャパシタ $C_2 = 2C$ の第2の電極が時間 t_1 の $Va = VCM$ から時間 t_2 の VRP または VRM に切り替えられる。つまり、第2の電極が $+Vr/2$ または $-Vr/2$ 増減される。このとき、キャパシタ C_2 の容量値 $2C$ は、下位のキャパシタ C_1, C_0 の合計容量値 $2C$ と等しいので、キャパシタ C_2 の第2電極の電圧を $+Vr/2$ または $-Vr/2$ 増減すると、アナログ出力電圧 VOP, VOM には、電荷分配の法則により、キャパシタ C_2 の第2電極の電圧変化の $1/2$ にあたる電圧変化 $+Vr/4$ または $-Vr/4$ が生じることが理解できる。

【0111】

そして、最後に、第3ビットの比較動作Comp3では、次の下位のキャパシタ C_1 の短絡スイッチ $SW1$ (c_1) がオフになり、比較動作Comp2の比較結果に応じて、そのキャパシタ C_1 のスイッチ r_1, r_{1b} がオフ、オンまたはオン、オフになる。その他のスイッチの状態は維持される。つまり、キャパシタ C_1 のみその短絡状態を解かれ、比較動作Comp2の比較結果に応じて、基準電圧 VRP, VRM のいずれかに接続される。

【0112】

キャパシタ $C_1 = C$ の第2の電極が時間 t_2 の $Va = VCM$ から時間 t_3 の VRP または VRM に切り替えられる。つまり、第2の電極が $+Vr/2$ または $-Vr/2$ だけ増減される。このとき、キャパシタ C_1 の容量値 C は、全てのキャパシタ C_2, C_1, C_0 の合計容量値 $4C$ の $1/4$ であるので、キャパシタ C_1 の第2電極の電圧を $+Vr/2$ または $-Vr/2$ に増減すると、アナログ出力電圧 VOP, VOM には、電荷分配の法則により、キャパシタ C_1 の第2電極の電圧変化の $1/4$ にあたる電圧変化 $+Vr/8$ または $-Vr/8$ が生じることが理解できる。

【0113】

つまり、

$$VOP(t_{3aa}) = (Va + VCM) / 2 - Vi / 2 + Vr / 4 + Vr / 8 \quad (46AA)$$

$$VOM(t_{3aa}) = (Va + VCM) / 2 + Vi / 2 - Vr / 4 - Vr / 8 \quad (47AA)$$

または、

$$VOP(t_{3ab}) = (Va + VCM) / 2 - Vi / 2 + Vr / 4 - Vr / 8 \quad (46AB)$$

$$VOM(t_{3ab}) = (Va + VCM) / 2 + Vi / 2 - Vr / 4 + Vr / 8 \quad (47AB)$$

または、

$$VOP(t_{3ba}) = (Va + VCM) / 2 - Vi / 2 - Vr / 4 + Vr / 8 \quad (46BA)$$

10

20

30

40

50

$$VOM(t_{3ba}) = (Va + VCM) / 2 + Vi / 2 + Vr / 4 - Vr / 8 \quad (47BA)$$

または、

$$VOP(t_{3bb}) = (Va + VCM) / 2 - Vi / 2 - Vr / 4 - Vr / 8 \quad (46BB)$$

$$VOM(t_{3bb}) = (Va + VCM) / 2 + Vi / 2 + Vr / 4 + Vr / 8 \quad (47BB)$$

が得られる。

【0114】

上記のように3ビット目の比較動作では、1ビット目の比較結果と2ビット目の比較結果の順列組み合わせにより、4種類の状態が生成される。いずれも、アナログ出力電圧VOP, VOMを+Vr/8または-Vr/8に増減している。

10

【0115】

上記の3ビットのCDACの例から、nビットのCDACの比較動作については自明である。つまり、m(2^m-n)ビット目の比較動作では、そのmビットに対応するキャパシタの短絡スイッチをオフにし、m-1ビットでの比較結果に応じて、mビットに対応するキャパシタの第2の電極をVRPまたはVRMに接続する。それ以外のスイッチはオンまたはオフの状態が維持される。

【0116】

[第2の実施の形態における差動型の逐次比較ADC]

20

図19は、第2の実施の形態における差動型の逐次比較ADCが有する差動型のDACの回路図である。この差動型CDACは、図11に示したものと短絡スイッチの構成が異なる。つまり、短絡スイッチc₀~c_kがプラス側とマイナス側の各キャパシタC₀~C_kに設けられ、それらのキャパシタC₀~C_kの第2の電極を共通のノードNcに接続する。つまり、図11では、同じ容量のプラス側とマイナス側のキャパシタの第2電極どおしを短絡したが、図19の第2の実施の形態では、全てのプラス側とマイナス側のキャパシタの第2電極を共通ノードNcを介して短絡する。

【0117】

図19の短絡スイッチ構成によれば、全てのビットのキャパシタにおける短絡電圧Vaは同じになるので、プラス側CDACのアナログ出力VOPとマイナス側CDACのアナログ出力VOMの同相電圧(VOP+VOM)/2が、図11の例よりも安定する。図11の場合は、各ビットの短絡されたノード(第2電極)は接続されないため、各ビットの比較動作毎に、アナログ出力VOP, VOM間の同相電圧は、各ビットのキャパシタの容量値のばらつきによる影響を受ける。ただし、コンパレータCMPは、両アナログ出力VOP, VOMの大小を比較するだけであるため、比較動作には問題はない。

30

【0118】

[第3の実施の形態における差動型の逐次比較ADC]

図20は、第3の実施の形態における差動型の逐次比較ADCが有する差動型のDACの回路図である。この差動型nビットCDACは、下位2ビットのCDAC1と、上位3~nビットのCDAC2とで構成される。下位のCDAC1は、図5, 6の比較例のCDACであり、上位のCDAC2は、図11のCDACである。従って、上位のCDACには、各ビットのキャパシタ間に短絡スイッチSW3~SWnが設けられている。

40

【0119】

この差動型CDACの動作は、サンプル時はサンプルスイッチsがオンし他のスイッチはオフである。そして、第1ビットの比較動作では、全てのサンプルスイッチsがオフになりアナログ入力端子VIP, VIMから切り離されるとともに、上位のCDAC2では、全ての短絡スイッチSW3~SWnがオンし、下位のCDAC1では、図9と同じ状態になる。その結果、アナログ出力端子VOP, VOMに生成される電圧は、VOP=Va-Vi/2, VOM=Va+Vi/2になる。

【0120】

50

さらに、第2ビット～第 $(n - 2)$ ビットの比較動作では、上位のCDAC2において、図13～16、図18で説明した動作が行われ、最上位ビットのから順に検出される。そして、下位側の第 $(n - 1)$ ビットと第 n ビット目の比較動作では、下位のCDAC1において、図7～10で説明した動作が行われ、最下位の2ビットが検出される。

【0121】

第3の実施の形態では、最大容量のキャパシタ $C_n = 2^{n-1}C$ であるので、キャパシタの数と構成は図5の比較例と同じなる。ただし、第1ビット目の比較動作では、キャパシタの容量値が大きい上位ビットのCDAC2で短絡スイッチをオンにしているため、基準電圧との充放電電力は発生しない。また、第2ビット～第 $(n - 2)$ ビットの比較動作でも、単一のキャパシタにのみ充放電電流が発生するだけである。したがって、図5の比較例よりも消費電力は小さい。

10

【0122】

以上説明したとおり、本実施の形態によるCDACは、サンプル終了直後の1回目の比較動作時において基準電圧からの充放電が発生しないので、大幅に消費電力を削減できる。また、2回目以降の比較動作においても同時に基準電圧にスイッチングされるキャパシタが、そのビットに対応するプラス側とマイナス側それぞれ1つのキャパシタであり、比較例より消費電力を削減できる。さらに、最大容量のキャパシタの容量が比較例より小さいので、全体のキャパシタサイズを小さくできる。

【0123】

図21、図22は、本実施の形態と比較例の消費電力を示す図である。図21には、式(25)(30)(31)(46)(47)で求めた消費電力が示されている。これからも明らかとなり、本実施の形態は比較例に対して大きく消費電力を削減できる。図22には、横軸に差動アナログ入力VIP、VIMがVIP > VIMの場合とVIP < VIMの場合とに分けて、比較例(破線)と本実施の形態(実線)とが示されている。これによれば、2ビットCDACの場合で、最大で1/18もの電力削減が達成されている。

20

【0124】

さらに、本実施の形態の差動型CDACは、キャパシタのトータルの容量値が比較例の1/2になっている。このことは、LSI内にキャパシタを形成した場合、キャパシタ面積を半分にすることができることを意味している。逆の同じキャパシタ構成であれば、1ビット多いDACを行うことができる。

30

【0125】

上記の実施の形態では、全差動型 n ビットCDACを、SAR ADCに適用した例を示した。しかし、全差動型 n ビットCDACは、あるアナログ入力をサンプリングした後、制御デジタル信号に応じてアナログ出力を生成する回路として、他の用途にも利用できる。

【0126】

以上の実施の形態をまとめると、次の付記のとおりである。

【0127】

(付記1)

差動アナログ信号を入力するプラス側入力端子とマイナス側入力端子と、
プラス側基準電圧端子とマイナス側基準電圧端子と、

40

2のべき乗で重み付けされた容量値をもつ複数のプラス側キャパシタと、前記複数のプラス側キャパシタの第1の電極に接続されたプラス側出力端子と、プラス側制御デジタル信号に応じて、前記複数のプラス側キャパシタのそれぞれの第2の電極を、前記プラス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のプラス側スイッチとを有するプラス側デジタル・アナログ変換器と、

2のべき乗で重み付けされた容量値をもつ複数のマイナス側キャパシタと、前記複数のマイナス側キャパシタの第1の電極に接続されたマイナス側出力端子と、マイナス側制御デジタル信号に応じて、前記複数のマイナス側キャパシタのそれぞれの第2の電極を、前記マイナス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接

50

続する複数のマイナス側スイッチとを有するマイナス側デジタル・アナログ変換器と、
少なくとも同じ重み付けされたプラス側キャパシタとマイナス側キャパシタの間に設けられた複数の短絡スイッチとを有し、

前記プラス側及びマイナス側スイッチは、サンプリング時に、前記プラス側及びマイナス側キャパシタの第2の電極に前記プラス側及びマイナス側入力端子をそれぞれ接続し、
前記複数の短絡スイッチは、前記サンプリング後に、前記プラス側及びマイナス側キャパシタの第2の電極間を短絡することを特徴とするデジタル・アナログ変換器。

【0128】

(付記2)

付記1において、

前記複数の短絡スイッチは、前記複数のプラス側キャパシタと前記複数のマイナス側キャパシタの第1の電極を共通のノードに接続することで短絡することを特徴とするデジタル・アナログ変換器。

【0129】

(付記3)

付記1において、

前記プラス側及びマイナス側デジタル・アナログ変換器は、それぞれ、前記複数のプラス側及びマイナス側キャパシタの容量値のうち最小容量値をもつプラス側及びマイナス側補助キャパシタをさらに有し、

前記プラス側及びマイナス側補助キャパシタの第1の電極は、それぞれ、前記プラス側及びマイナス側出力端子に接続され、

前記複数のプラス側及びマイナス側スイッチは、前記サンプリング時に、前記プラス側及びマイナス側補助キャパシタの第2の電極を、前記プラス側及びマイナス側入力端子にそれぞれ接続し、

前記複数の短絡スイッチは、前記サンプリング後に、前記プラス側及びマイナス側補助キャパシタの第2の電極間をも短絡することを特徴とするデジタル・アナログ変換器。

【0130】

(付記4)

付記1において、

前記プラス側及びマイナス側制御デジタル信号は、 N (N は2以上の整数)ビットのデジタル信号であり、

前記複数の短絡スイッチは、前記 N ビットのうち上位側の一部のビットに対応する前記プラス側キャパシタとマイナス側キャパシタの間にだけ設けられ、

前記サンプリング後に、前記複数の短絡スイッチは、前記上位の一部のビットに対応する前記プラス側キャパシタとマイナス側キャパシタの間を短絡し、同時に、前記プラス側及びマイナス側スイッチは、前記 N ビットのうち下位側の残りのビットに対応する前記プラス側キャパシタとマイナス側キャパシタの第2の電極を前記プラス側基準電圧端子または前記マイナス側基準電圧端子に接続することを特徴とするデジタル・アナログ変換器。

【0131】

(付記5)

付記1乃至4のいずれかに記載のデジタル・アナログ変換器と、

前記デジタル・アナログ変換器の前記プラス側出力端子とマイナス側出力端子の電圧を比較する比較器と、

前記比較器の比較結果に応じて前記プラス側制御デジタル信号とマイナス側制御デジタル信号を生成する制御回路とを有し、

前記サンプリング後の第1番目の比較時に、前記複数の短絡スイッチは、前記プラス側及びマイナス側キャパシタの第2の電極間を短絡し、

前記第1番目の比較後の第2番目の比較時に、前記複数の短絡スイッチは、前記複数のプラス側及びマイナス側キャパシタのうち最上位ビットに対応するプラス側及びマイナス側キャパシタの第2の電極間をオープンにし、前記プラス側及びマイナス側スイッチは、

10

20

30

40

50

前記第 1 番目の比較時の前記比較器の比較結果に応じて、前記最上位ビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極に、前記プラス側基準電圧端子または前記マイナス側基準電圧端子のいずれかを接続することを特徴とするアナログ・デジタル変換器。

【 0 1 3 2 】

(付記 6)

付記 5 において、

前記第 2 番目の比較後の第 K (K は 3 以上の整数) 番目の比較時に、
前記複数の短絡スイッチは、前記複数のプラス側及びマイナス側キャパシタのうち第 K 番目の比較時に判定されるビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極間をオープンにし、

10

前記プラス側及びマイナス側スイッチは、前記第 K - 1 番目の比較時の前記比較器の比較結果に応じて、前記第 K 番目の比較時に判定されるビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極に、前記プラス側基準電圧端子または前記マイナス側基準電圧端子のいずれかを接続し、

前記第 K 番目の比較動作が繰り返されることを特徴とするアナログ・デジタル変換器。

【 0 1 3 3 】

(付記 7)

差動のプラス側及びマイナス側アナログ入力信号を、N (N は複数) ビットのデジタル出力信号に変換するアナログ・デジタル変換器であって、

20

差動アナログ信号を入力するプラス側入力端子とマイナス側入力端子と、

プラス側基準電圧端子とマイナス側基準電圧端子と、

2 のべき乗で重み付けされた容量値をもつ N 個のプラス側キャパシタと、前記プラス側キャパシタの第 1 の電極に接続されたプラス側出力端子と、プラス側制御デジタル信号に応じて、前記プラス側キャパシタのそれぞれの第 2 の電極を、前記プラス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のプラス側スイッチとを有するプラス側デジタル・アナログ変換器と、

2 のべき乗で重み付けされた容量値をもつ N 個のマイナス側キャパシタと、前記マイナス側キャパシタの第 1 の電極に接続されたマイナス側出力端子と、マイナス側制御デジタル信号に応じて、前記マイナス側キャパシタのそれぞれの第 2 の電極を、前記マイナス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のマイナス側スイッチとを有するマイナス側デジタル・アナログ変換器と、

30

少なくとも同じ重み付けされたプラス側キャパシタとマイナス側キャパシタの間に設けられた複数の短絡スイッチと、

前記プラス側出力端子とマイナス側出力端子の電圧を比較する比較器と、

前記比較器の比較結果に応じて前記プラス側制御デジタル信号とマイナス側制御デジタル信号を生成する制御回路とを有し、

サンプリング時に、前記プラス側及びマイナス側スイッチは、前記プラス側及びマイナス側キャパシタの第 2 の電極に前記プラス側及びマイナス側入力端子を接続し、

前記サンプリング後の第 1 の比較時に、前記複数の短絡スイッチは、前記プラス側及びマイナス側キャパシタの第 2 の電極間を短絡することを特徴とするアナログ・デジタル変換器。

40

【 0 1 3 4 】

(付記 8)

付記 7 において、

前記第 1 番目の比較後の第 2 番目の比較時に、前記複数の短絡スイッチは、前記複数のプラス側及びマイナス側キャパシタのうち最上位ビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極間をオープンにし、前記プラス側及びマイナス側スイッチは、前記第 1 番目の比較時の前記比較器の比較結果に応じて、前記最上位ビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極に、前記プラス側基準電圧端子または前記

50

マイナス側基準電圧端子のいずれかを接続することを特徴とするアナログ・デジタル変換器。

【 0 1 3 5 】

(付記 9)

付記 8 において、

前記第 2 番目の比較後の第 K (K は 3 以上の整数) 番目の比較時に、

前記複数の短絡スイッチは、前記複数のプラス側及びマイナス側キャパシタのうち第 K 番目の比較時に判定されるビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極間をオープンにし、

前記プラス側及びマイナス側スイッチは、前記第 $K - 1$ 番目の比較時の前記比較器の比較結果に応じて、前記第 K 番目の比較時に判定されるビットに対応するプラス側及びマイナス側キャパシタの第 2 の電極に、前記プラス側基準電圧端子または前記マイナス側基準電圧端子のいずれかを接続し、

前記第 K 番目の比較動作が繰り返されることを特徴とするアナログ・デジタル変換器。

【 0 1 3 6 】

(付記 1 0)

差動アナログ信号を入力するプラス側入力端子とマイナス側入力端子と、

プラス側基準電圧端子とマイナス側基準電圧端子と、

2 のべき乗で重み付けされた容量値をもつ複数のプラス側キャパシタと、前記複数のプラス側キャパシタの第 1 の電極に接続されたプラス側出力端子と、プラス側制御デジタル信号に応じて、前記複数のプラス側キャパシタのそれぞれの第 2 の電極を、前記プラス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のプラス側スイッチとを有するプラス側デジタル・アナログ変換器と、

2 のべき乗で重み付けされた容量値をもつ複数のマイナス側キャパシタと、前記複数のマイナス側キャパシタの第 1 の電極に接続されたマイナス側出力端子と、マイナス側制御デジタル信号に応じて、前記複数のマイナス側キャパシタのそれぞれの第 2 の電極を、前記マイナス側入力端子とプラス側基準電圧端子とマイナス側基準電圧端子のいずれかに接続する複数のマイナス側スイッチとを有するマイナス側デジタル・アナログ変換器とを有するデジタル・アナログ変換器のデジタル・アナログ変換方法において、

前記プラス側及びマイナス側スイッチは、サンプリング時に、前記プラス側及びマイナス側キャパシタの第 2 の電極に前記プラス側及びマイナス側入力端子をそれぞれ接続するサンプリング工程と、

前記サンプリング後に、前記プラス側出力端子とマイナス側出力端子をフローティング状態にし、前記プラス側及びマイナス側キャパシタの第 2 の電極間を短絡する第 1 の比較動作工程とを有することを特徴とするデジタル・アナログ変換器のデジタル・アナログ変換方法。

【 0 1 3 7 】

(付記 1 1)

付記 1 0 において、

前記第 1 の比較動作工程では、前記プラス側及びマイナス側キャパシタの第 2 の電極間を共通ノードに接続することを特徴とするデジタル・アナログ変換器のデジタル・アナログ変換方法。

【 符号の説明 】

【 0 1 3 8 】

V I P , V I M : 差動アナログ入力

V O P , V O M : 差動アナログ出力

V R P , V R M : 基準電圧

C 0 ~ C k : キャパシタ

S W 0 ~ S W k : 短絡スイッチ

s ~ r k b : スイッチ, 制御デジタル

信号

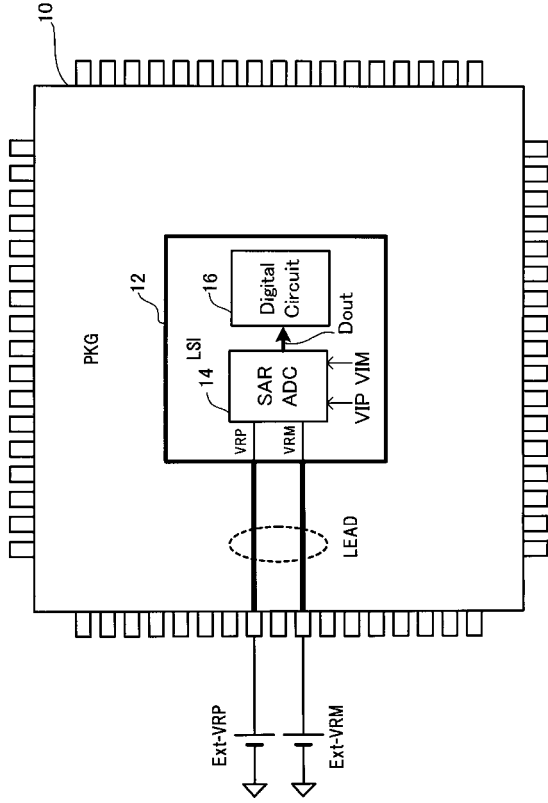
10

20

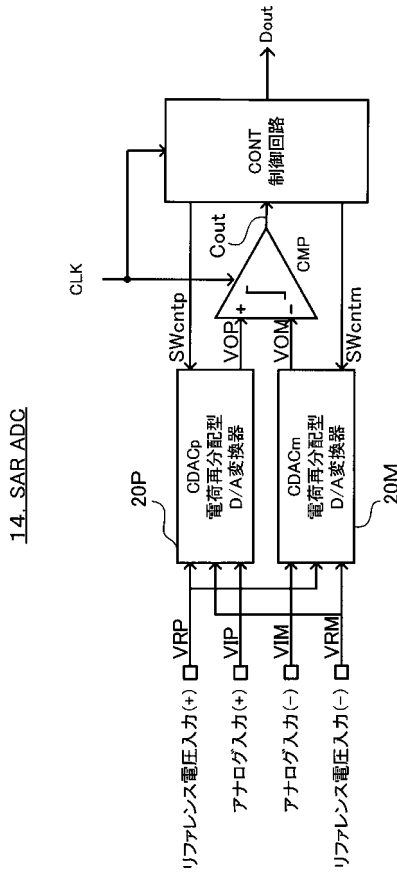
30

40

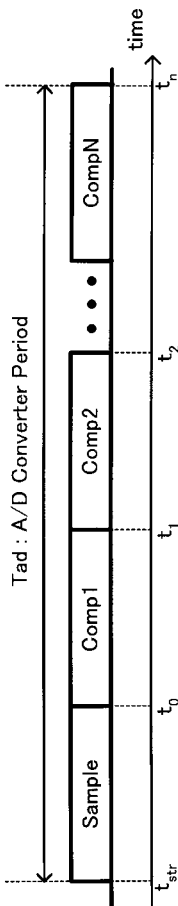
【図1】



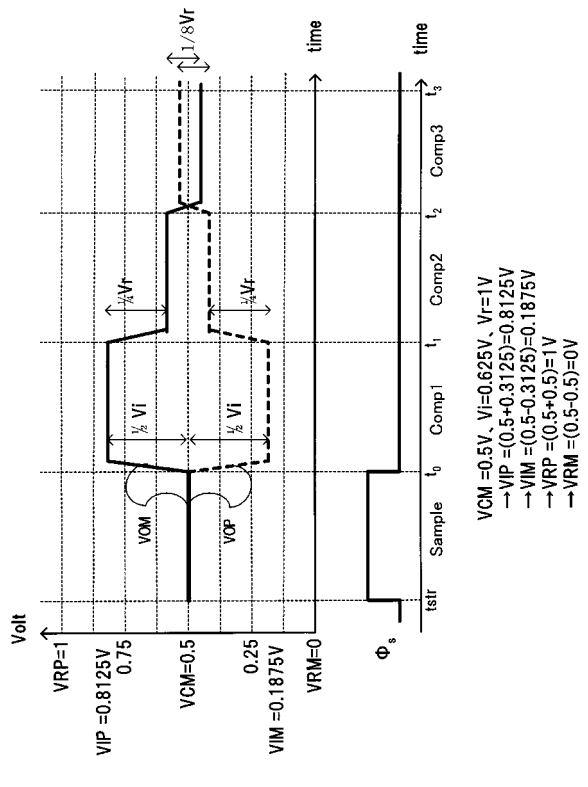
【図2】



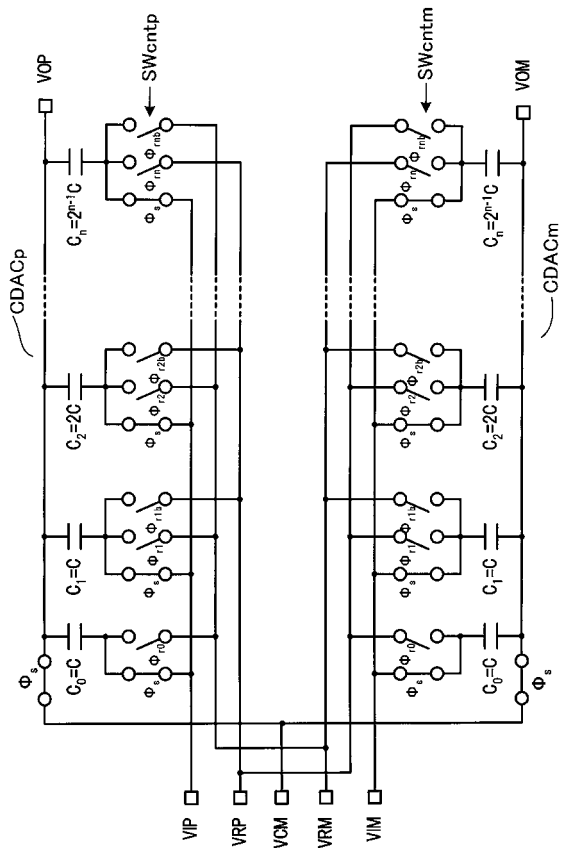
【図3】



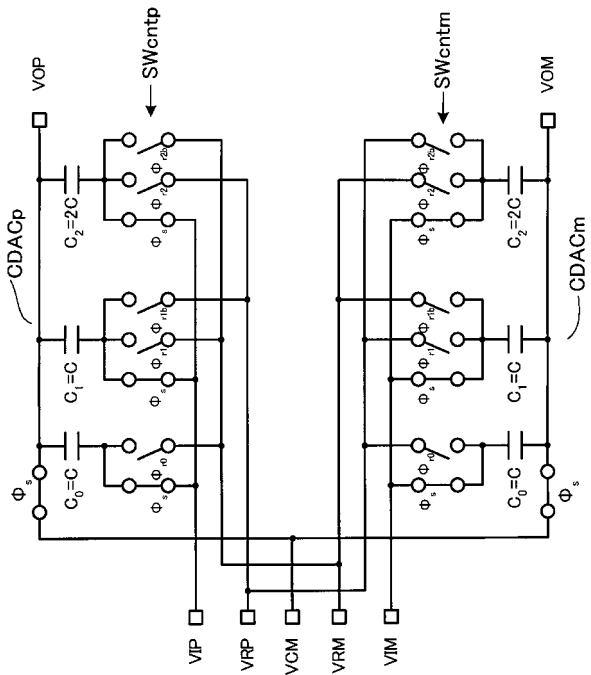
【図4】



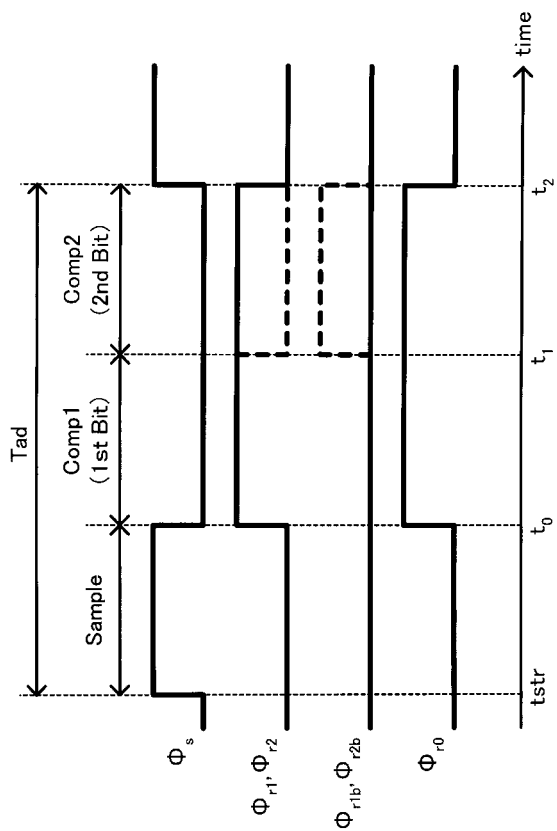
【 図 5 】



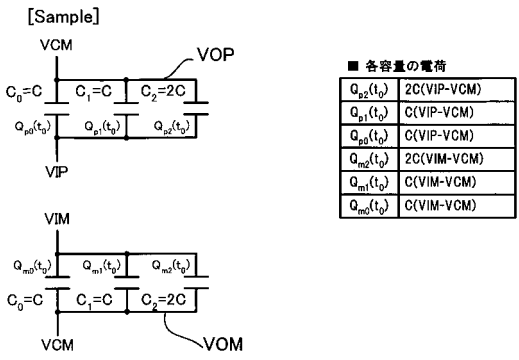
【 図 6 】



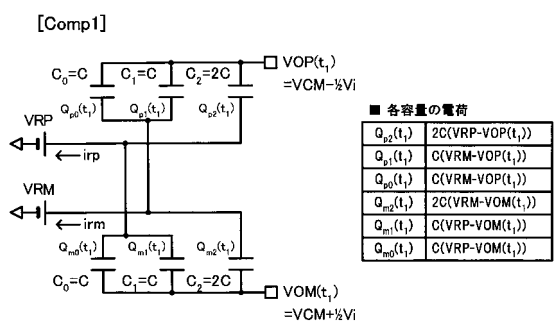
【 図 7 】



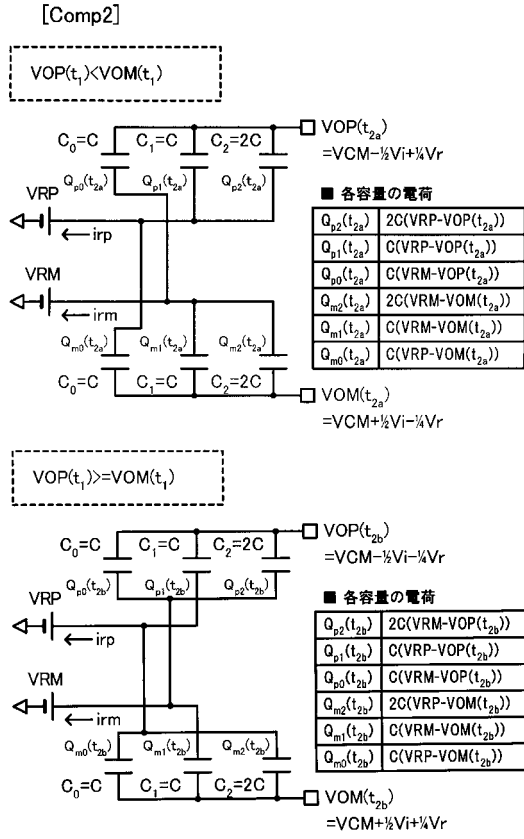
【 図 8 】



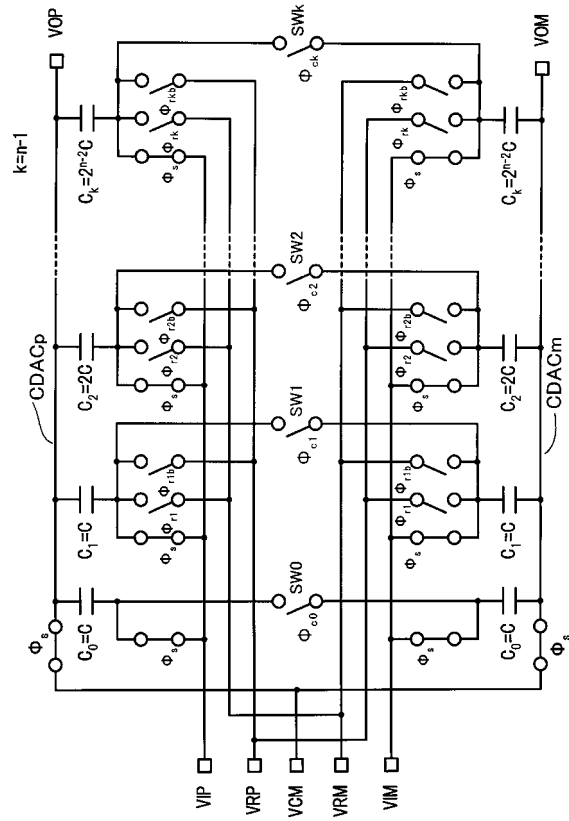
【 図 9 】



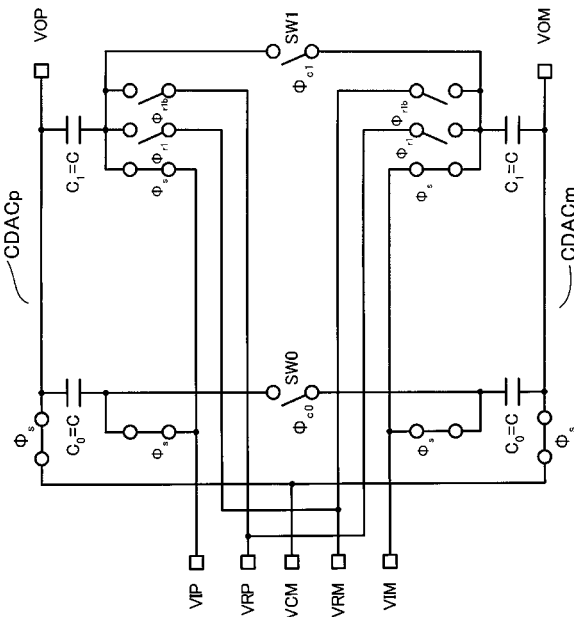
【図 1 0】



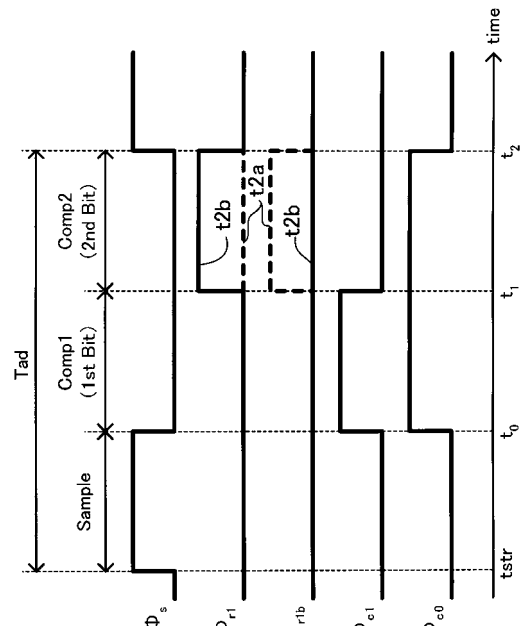
【図 1 1】



【図 1 2】

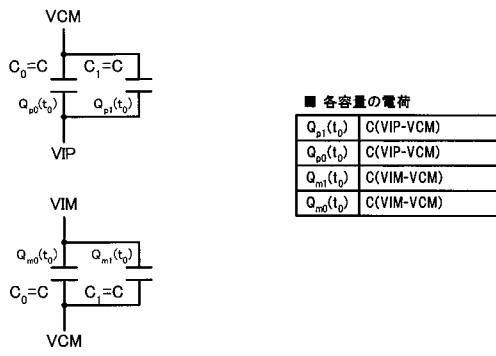


【図 1 3】



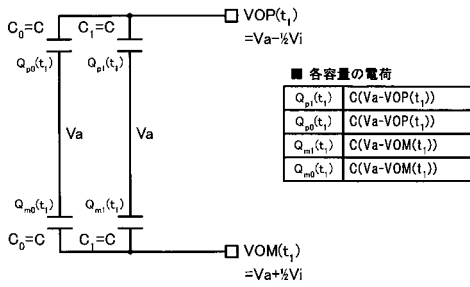
【 図 1 4 】

[Sample]



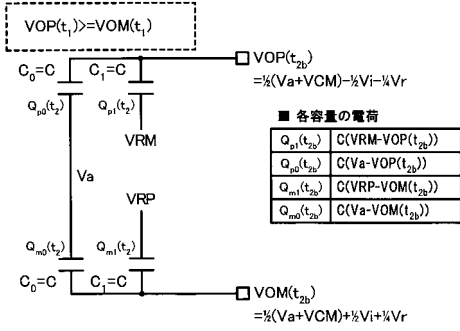
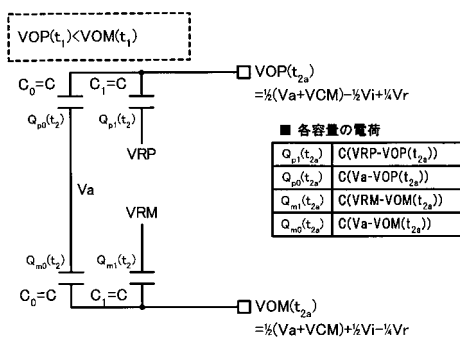
【 図 1 5 】

[Comp1]

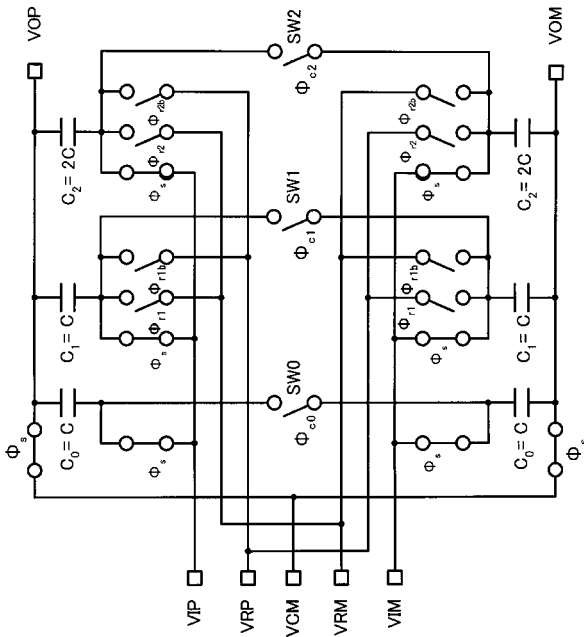


【 図 1 6 】

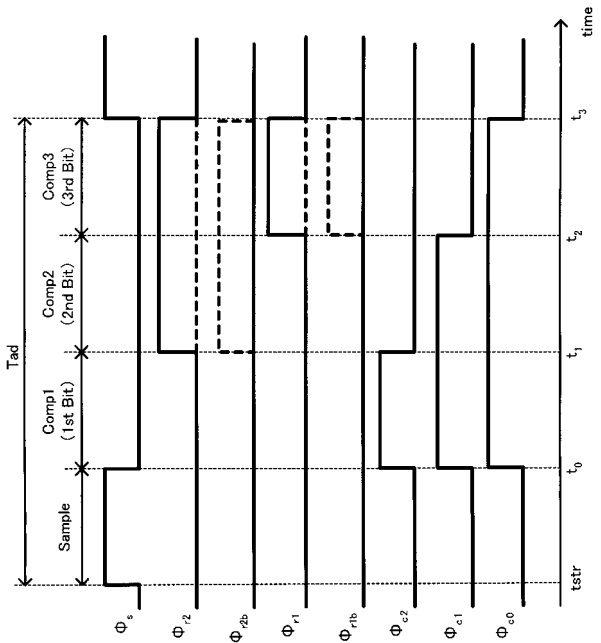
[Comp2]



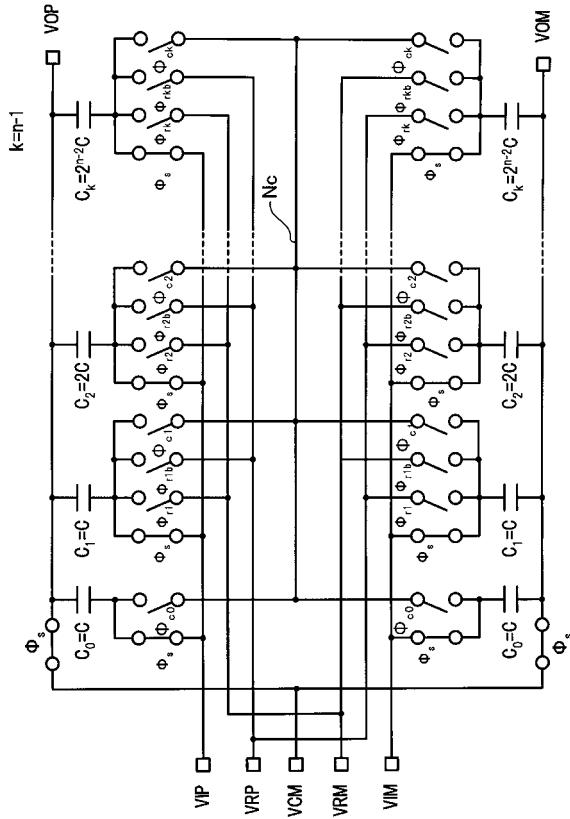
【 図 1 7 】



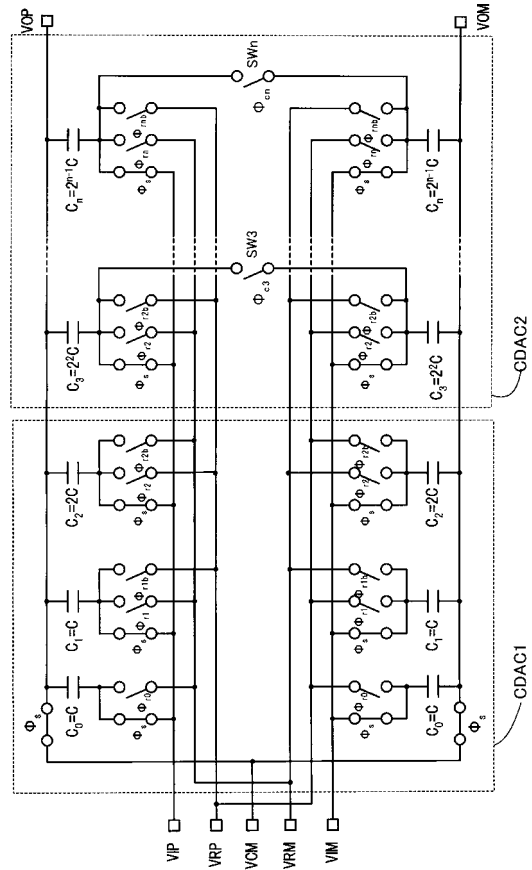
【 図 1 8 】



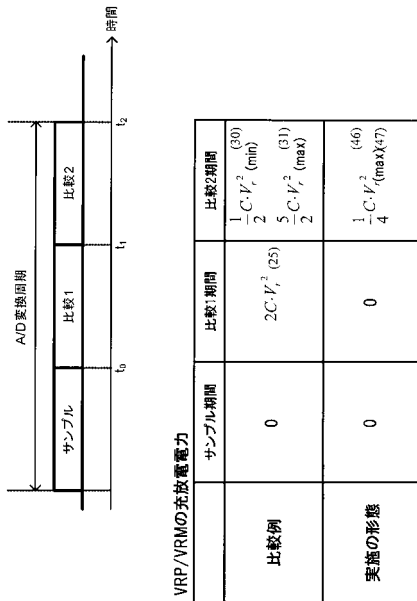
【図19】



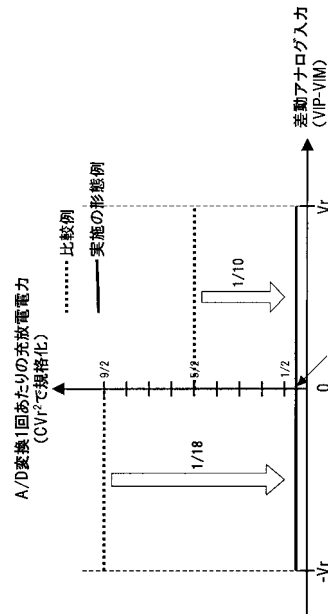
【図20】



【図21】



【図22】



フロントページの続き

(56)参考文献 特開2007-142863(JP,A)
特開2007-049637(JP,A)
特開2001-053610(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88