

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3581502号

(P3581502)

(45) 発行日 平成16年10月27日(2004.10.27)

(24) 登録日 平成16年7月30日(2004.7.30)

(51) Int. Cl.⁷

H01L 27/146

F I

H01L 27/14

C

請求項の数 9 (全 10 頁)

(21) 出願番号	特願平8-294949	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成8年11月7日(1996.11.7)	(74) 代理人	100065385 弁理士 山下 穰平
(65) 公開番号	特開平10-144900	(72) 発明者	望月 千織 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成10年5月29日(1998.5.29)	審査官	粟野 正明
審査請求日	平成13年12月14日(2001.12.14)	(56) 参考文献	特開平06-188400 (JP, A) 特開平05-063173 (JP, A) 特開昭59-211262 (JP, A)
		最終頁に続く	

(54) 【発明の名称】 光検出装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

上部電極を有する光電変換素子と、ソース・ドレイン電極を有する薄膜トランジスタを、基板上に一体的に形成する光検出装置の製造方法において、前記光電変換素子の上部電極と薄膜トランジスタのソース・ドレイン電極とを含む電極層を成膜した後、前記薄膜トランジスタのソース・ドレイン電極の形成と、チャンネル部の少なくともオーミックコンタクト層の除去とを、同一のマスクで行う工程と、他のマスクにより、上記光電変換素子の上部電極を形成する工程と、を有することを特徴とする光検出装置の製造方法。

【請求項2】

少なくとも、光電変換素子と薄膜トランジスタとを一体的に形成する光検出装置の製造方法において、
第1のマスクにより、第1の電極層を形成する第1の工程と、
絶縁層及び半導体層及びn⁺型半導体層を順次積層する第2の工程と、
第2のマスクにより、コンタクトホールを形成する第3の工程と、
少なくとも前記薄膜トランジスタのソース・ドレイン電極と前記光電変換素子の上部電極を含む第2の電極層を成膜する第4の工程と、
第3のマスクによりチャンネル部となる領域の前記第2の電極層を除去して前記ソース・ドレイン電極を形成した後、該ソース・ドレインの電極間のn⁺型半導体層を除去して前記チャンネル部を形成する第5の工程と、

10

20

少なくとも前記チャンネル部となる領域を覆う第4のマスクにより、前記第2の電極層から前記光電変換素子の上部電極を形成する第6の工程と、第5のマスクにより、素子間分離を行う第7の工程と、を有することを特徴とする光検出装置の製造方法。

【請求項3】

前記光電変換素子は、第1の電極層と第1の絶縁層と第1の半導体層と該半導体層へのキャリア注入阻止層と第2の電極層とから構成されたMIS型光電変換素子であり、前記薄膜トランジスタは、第3の電極と第2の絶縁層と第2の半導体層と該第2の半導体層へのオーミックコンタクト層と第4の電極層とから構成されていることを特徴とする請求項2記載の光検出装置の製造方法。

10

【請求項4】

前記第1の半導体層と前記第2の半導体層は、同時に形成され、非晶質シリコン膜であることを特徴とする請求項3記載の光検出装置の製造方法。

【請求項5】

前記第1の絶縁層と前記第2の絶縁層は、同時に形成され、非晶質シリコン窒化膜であることを特徴とする請求項3記載の光検出装置の製造方法。

【請求項6】

前記キャリア注入阻止層と前記オーミックコンタクト層は、同時に形成され、 n^+ 型非晶質シリコン膜であることを特徴とする請求項3記載の光検出装置の製造方法。

【請求項7】

上記第6の工程の後、上記第5の工程を行うことを特徴とする請求項2記載の光検出装置の製造方法。

20

【請求項8】

上記第1から第7の工程をその順序で行うことを特徴とする請求項2記載の光検出装置の製造方法。

【請求項9】

更に、放射線を可視光に変換する蛍光板を貼り合わせる工程を有することを特徴とする請求項2記載の光検出装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光電変換素子と薄膜トランジスタを同一基板上に形成する光検出装置の製造方法に関し、特に、ファクシミリ、デジタル複写機、スキャナーなどに利用される1次元及び2次元の画像読取装置、更には、X線や γ 線などの放射線を蛍光板により可視光等に変換し、この変換光を読み取る光検出装置の製造方法に関する。

30

【0002】

【従来の技術】

従来、ファクシミリ、デジタル複写機、或いは、放射線検出装置などの読み取り系としては縮小光学系とCCD型センサーを用いた読み取り系が用いられている。しかしながら、近年、非晶質シリコン(以下、a-Si膜と略記)に代表される光電変換半導体材料の開発により、光電変換素子を大面積基板に形成し、情報源と等倍の光学系で読み取る密着型センサーの開発が進み実用化されつつある。

40

【0003】

特に、a-Si膜は光電変換材料としてでなく、スイッチTFTの半導体材料としても用いることができるので光電変換素子の半導体層とスイッチTFTの半導体層とを同時に形成できる利点がある。

【0004】

従来のa-Si膜を用いた光センサーの代表的な例として、PIN型光センサーの模式的断面図を図7に示す。図7において、101はガラス基板、102は下部電極、103はp型半導体層(以下p層と略記)、104は真性半導体層(以下i層と略記)、105は

50

n型半導体層（以下n層と略記）、106は透明電極である。

【0005】

次に、本光センサーの概略回路図を図8に示す。図8において、110はPIN型光センサー、111は電源、112は電流アンプなどの検出器を示している。光センサー110において、Cで示された方向は図8の透明電極106側であり、Aで示された方向は下部電極102側である。電源111はA側に対してC側に正の電圧が加わる様に設定されている。

【0006】

以下に、本PIN型光センサーの基本動作を図7及び図8を用いて概説する。

【0007】

図7に示される様に、矢印で示された方向から光が入射すると、i層104において、入射光は光電変換され、電子とホールを生成する。i層104には電源111により電界が印加されているため、電子はC側、即ち、n層105を通過して透明電極106に移動し、ホールはA側、即ち、下部電極102に移動する。つまり、光センサー110に光電流が流れたことになる。

【0008】

また、光入射がない場合は、i層104では、電子もホールも発生せず、また、透明電極106内のホールはn層105がホールの注入阻止層として働き、下部電極102内の電子はp層103が電子の阻止層として機能する。その結果、電子・ホール共に移動できず電流は流れない。この様に、光入射の有無で回路を流れる電流が変化する。これを図8の検出器112で検出すれば光センサーとして動作する。

【0009】

【発明が解決しようとする課題】

しかしながら、上記従来のPIN型光センサーでは高S/N比、低コストの光検出装置を実現するのは困難である。以下、その理由について説明する。

【0010】

第1の理由は、PIN型光センサーでは、p層及びn層の注入阻止層が必要なところにある。

【0011】

図7のPIN型光センサーでは、注入阻止層であるn層105は電子を透明電極106に導くと同時にホールがi層104に注入するのを阻止する特性が必要である。どちらかの特性を逸すれば光電流が低下したり、光入射が無い場合の電流（以下暗電流と記す）が発生、増加することになりS/N比の低下の原因になる。

【0012】

通常、この特性を向上させるため、i層104やn層105の膜質、即ち、成膜条件や、特に、作成後の熱処理条件などの諸条件の最適化を図る必要がある。

【0013】

一方、p層103においても、電子、ホールは逆ではあるが、ホールを下部電極102に導くと同時に、電子がi層104に注入するのを阻止する特性が必要であり、n層105と同様にi層104やp層103の各条件の最適化が必要である。言い換えれば、一般には、n層の最適化とp層の最適化の条件は同一でなく、両者の条件を同時に満足させるのは不可能である。

【0014】

つまり、同一光センサー内にp層及びn層の注入阻止層が必要なことは高S/N比の光センサーの形成を困難にする、と言い換えられる。

【0015】

第2の理由を図9を用いて説明する。図9はスイッチTFTの模式的断面図である。このTFTは光検出装置を形成する上で制御部の一部として利用される。図中、101はガラス基板、102は下部電極、107は絶縁膜、104はi層、105はn層、160は上部電極である。

10

20

30

40

50

【 0 0 1 6 】

次に、作成法を順を追って説明する。本スイッチTFTは、ガラス基板101上にゲート電極Gとして機能する下部電極102、ゲート絶縁膜107、i層104、n層105、ソース・ドレイン電極(以下S・Dと略記)として機能する上部電極160を順次成膜し、上部電極160をエッチングしてソース・ドレイン電極を形成し、その後、n層105を除去してチャンネル部170を構成したものである。スイッチTFTの特性は、ゲート絶縁膜107とi層104の界面状態に敏感であるため、通常、作製法上は真空を破らず連続成膜するのが常識である。

【 0 0 1 7 】

ここで、従来のPIN型光センサーをこのスイッチTFTと同一基板に作成する場合、この層構成がコストアップや特性の低下を引き起こす。この理由は、図7に示した従来の光センサーの構成が、基板側から、電極、p層、i層、n層、電極という構成に対して、図9に示したように、スイッチTFTは、基板側から、電極、絶縁層、i層、n層、電極という構成であり、両者の層構成が異なるからである。つまり、これは同一プロセスで光センサー、スイッチTFTを同時に作成できないことを示している。即ち、必要な領域に必要な層を形成するため、成膜・フォトリソ工程などが繰り返される複雑なプロセスとなるため、歩留りの低下、コストアップと言った問題を生じる結果になる。

10

【 0 0 1 8 】

例えば、製造プロセスを簡略化するために、PIN型光センサーとスイッチTFTのi層、n層を共通化する場合、少なくとも、ゲート絶縁層及びp層を連続して成膜し、スイッチTFT部のp層を除去し、その後、i層、n層を連続成膜することが可能である。しかし、スイッチTFTの重要なゲート絶縁膜とi層の界面、また、PIN型光センサーのp層とi層の界面が、そのために汚染され、特性の劣化やS/N比の低下を引き起こす結果となる。

20

【 0 0 1 9 】

また、PIN型光センサーより生成された電荷や電流の積分値を得るのに必要となる容量素子(以下コンデンサーと記す)を従来の光センサーと同一の構成でリークの少ない良好な特性のものを作成するのは困難である。コンデンサーは2枚の電極間に電荷を蓄積するため電極間の中間層には必ず電子とホールの移動を阻止する層が必要であるのに対し、従来のPIN型光センサーの層構成では、電極間に半導体層のみ利用しているため、リーク

30

【 0 0 2 0 】

この様に、光検出装置を構成する上で重要な素子であるスイッチTFTやコンデンサーを製造する上で、プロセス的に、又は、特性的に整合性がとれないことは、必然的に工程が複雑となり、歩留まりの低下となる。

【 0 0 2 1 】

特に、複数の光センサーを1次元、若しくは、2次元に多数配置し、この光信号を順次検出する光検出装置を、低コスト、高性能多機能な装置として実現するには重大な問題となる。

【 0 0 2 2 】

[発明の目的]

本発明の課題

(目的)は、S/N比が高く、特性が安定している光電変換素子とスイッチTFTとを同一プロセスで形成することが可能な光検出装置の製造方法を提供することにある。

40

【 0 0 2 3 】

【課題を解決するための手段及び作用】

本発明は、上記課題を解決するための手段として、絶縁基板上に、第1の電極層、絶縁層、光電変換半導体層、該半導体層へのキャリア注入阻止層、第2の電極層とから構成されるMIS型光電変換素子とし、また、第1の電極層、絶縁層、半導体層、該半導体層へのオーミックコンタクト層、第2の電極層とから構成されるスイッチTFTとから成る光検

50

出器の簡略化された製造方法を提供することにより、高S/N比、低価格の光検出装置を実現することができる。

【0024】

また、上述のような上部電極を有する光電変換素子と、ソース・ドレイン電極を有する薄膜トランジスタを、基板上に一体的に形成する光検出装置の製造方法において、前記光電変換素子の上部電極と薄膜トランジスタのソース・ドレイン電極とを含む電極層を成膜した後、前記薄膜トランジスタのソース・ドレイン電極の形成と、チャンネル部の少なくともオーミックコンタクト層の除去とを、同一のマスクで行う工程と、他のマスクにより、上記光電変換素子の上部電極を形成する工程と、を有することを特徴とする光検出装置の製造方法により、従来、光電変換素子の上部電極及びTFTのソース・ドレイン電極の第2の電極層のマスクパターンとTFTチャンネル部を含めたオーミックコンタクト層除去部のマスクパターンとが異なるため、上述の第2の電極層のパターニングに次いで、TFTチャンネル部のオーミックコンタクト層除去部のパターニングを行なう従来の方法に比べて、ソース・ドレイン電極を形成するためのマスクと、そのチャンネル部のオーミックコンタクト層を除去するためのマスクとが、同じマスクパターンであるため、アライメントずれを考慮して、特にTFT部のソース・ドレイン電極の幅のマージンが不要になり、TFTの小型化、開口率の向上も可能になる。

10

【0025】

【発明の実施の形態】

[実施例1]

20

本実施例では、2次元光検出装置の第1の作成方法について工程順に説明する。図1(a)～図1(g)に各工程で作成される模式的断面図を示し、また、図2(a)～図2(e)に各工程で使用されるマスクパターンを示す。

【0026】

第1工程では、図1(a)に示す如く、ガラス基板21上(日本電気硝子製OA-2)にCr薄膜1000をスパッタリング法により成膜し、その後、フォトリソグラフィ法により、図2(a)に示した第1のマスクを用いて、スイッチTFTのゲート電極22及び光センサーの下部電極23を形成する。

【0027】

第2工程では、図1(b)に示す如く、プラズマCVD法によりスイッチTFTのゲート絶縁膜としてSiN膜24を3000、光センサーの光電変換層及びスイッチTFTの半導体層としてa-Si膜25を5000、光センサーのキャリア注入阻止層及びスイッチTFTのオーミックコンタクト層としてn⁺膜26を1000連続成膜する。

30

【0028】

第3工程では、図1(c)に示す如く、コンタクトホールを形成する。フォトリソグラフィ法により、図2(b)に示した第2のマスクを用いて、所定のパターンを形成し、CDE法により加工する。

【0029】

第4工程では、図1(d)に示す如く、Al薄膜27を1μ、スパッタリング法により成膜する。

40

第5工程では、フォトリソグラフィ法により、図2(c)に示した第3のマスクを用いて、スイッチTFTのソース・ドレイン電極27を形成する。その後、引き続き、同一マスクで、RIE法により、スイッチTFTチャンネル部のn⁺膜26を1000とa-Si膜25を200程度エッチングする。

【0030】

第6工程では、図1(e)に示す如くフォトリソグラフィ法により、図2(d)に示した第4のマスクを用いて、光センサーの上部電極28を形成する。

【0031】

第7工程では、図1(f)に示す如く、フォトリソグラフィ法により、図2(e)に示した第5のマスクを用いて、所定のパターンを形成し、RIE法によりn⁺膜26、a-

50

S i 膜 2 5、S i N 膜 2 4 を同時にエッチングし、素子間分離する。

【 0 0 3 2 】

第 8 工程では、図 1 (g) に示す如く、パッシベーション膜 2 9 として S i N 膜をプラズマ C V D 法により成膜した後、第 6 のマスク (不図示) を用いて、所定のパターンに形成し、配線引出し部 (不図示) などの不必要な部分を R I E 法によりエッチングする。

【 0 0 3 3 】

この様にして作成された光検出器の模式的平面図を図 3 に示す。図 3 において、1 1 は M I S 型センサー部、1 2 はスイッチ T F T 部、1 3 は信号配線、1 4 はゲート配線、1 5 はセンサー上部電極配線である。

【 0 0 3 4 】

[実施例 2]

第 2 の実施例では、本光検出装置と、X 線などの放射線を可視光へ変換する蛍光板などを用いた X 線検出装置の製造方法について説明する。

【 0 0 3 5 】

第 1 工程から第 7 工程までは、実施例 1 と同様である。以下に、第 8 工程以降の製造方法について述べる。

【 0 0 3 6 】

第 8 工程では、図 4 (a) に示す如く、パッシベーション膜として S i N 膜 2 9 をプラズマ C V D 法により成膜した後、遮光膜として赤色フィルター 3 0 を図 5 に示した第 6 のマスクを用いて、スイッチ T F T 部等の所定のパターンに形成する。

【 0 0 3 7 】

第 9 工程では、配線引出し部 (不図示) などの不必要な部分をマスクングし、保護膜として、ポリイミド樹脂 (不図示) を塗布、形成し、このポリイミド樹脂をマスクにして R I E 法により S i N 膜 2 9 をエッチングする。

【 0 0 3 8 】

第 1 0 工程では、図 4 (b) に示す如く、エポキシなどの接着剤 3 2 を介して、蛍光板 3 3 を貼り合わせる。

【 0 0 3 9 】

[実施例 3]

第 3 の実施例は、実施例 1 における第 5 工程と第 6 工程の順序を入れ替えた製造方法である。

【 0 0 4 0 】

第 4 工程では、図 6 (a) に示す如く、A l 薄膜 1 μ をスパッタリング法により成膜する。

第 5 工程では、フォトリソグラフィ法により、実施例 1 における第 4 のマスクを用いて、光センサーの上部電極 2 8 を形成する。

【 0 0 4 1 】

第 6 工程では、図 6 (b) に示す如くフォトリソグラフィ法により、実施例 1 における第 3 のマスクを用いて、スイッチ T F T のソース・ドレイン電極 2 7 を形成する。その後、引き続き、同一のマスクで、R I E 法により、スイッチ T F T チャンネル部の n⁺ 膜 2 6 を 1 0 0 0 と a - S i 膜 2 5 を 2 0 0 程度エッチングする。

【 0 0 4 2 】

【 発明の効果 】

以上説明した様に、本発明によれば、光電変換素子とスイッチ T F T とからなる光検出装置において、光電変換素子を第 1 の電極層、絶縁層、光電変換半導体層、該半導体層へのキャリア注入阻止層、第 2 の電極層とから構成することにより、スイッチ T F T と同一、簡略なプロセスで製造可能となり、S / N 比の高い、低コストの光検出装置を実現することが可能となる。

【 0 0 4 3 】

また、T F T のソース・ドレイン電極を形成するためのマスクと、そのチャンネル部のオー

10

20

30

40

50

ミックコンタクト層を除去するためのマスクとが、同じマスクであり、マスクを交換する必要がないため、アライメントずれが出ない。このため、特性の優れたトランジスタを、小型に、寸法精度良く実現することができ、かつ、高開口率の光検出装置を製造することができる。

【図面の簡単な説明】

【図1】(a)～(g)は、本発明の実施例1の各工程での模式的断面図。

【図2】(a)～(e)は、本発明の実施例1の各工程で用いるマスクの平面図。

【図3】本発明の実施例1の模式的平面図。

【図4】(a)～(b)は、本発明の実施例2の各工程での模式的断面図。

【図5】本発明の実施例2に用いるマスクの平面図。

10

【図6】(a)～(b)は、本発明の実施例3の各工程での模式的断面図。

【図7】従来例のPIN型光センサの構造を示す模式断面図。

【図8】光センサの概略回路図。

【図9】スイッチTFTの模式断面図。

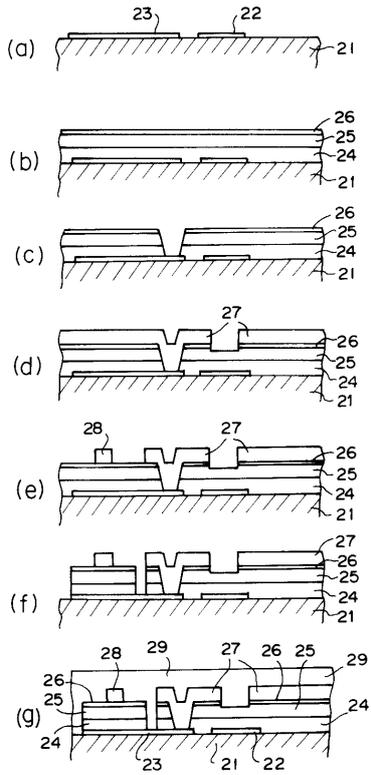
【符号の説明】

- 1 1 MIS型光センサー
- 1 2 スイッチTFT
- 1 3 信号配線
- 1 4 ゲート配線
- 1 5 センサー上部配線
- 2 1, 1 0 1 ガラス基板
- 2 2, 2 3, 1 0 2 下部電極
- 2 4, 2 9, 1 0 7 絶縁膜
- 2 5, 1 0 4 真性半導体層
- 2 6, 1 0 5 n型半導体層
- 2 7, 1 6 0 ソース・ドレイン電極
- 2 8 MIS型光センサー上部電極
- 3 0 赤色フィルター
- 3 2 接着剤
- 3 3 蛍光板
- 1 0 3 p型半導体層
- 1 0 6 透明電極
- 1 7 0 スイッチTFTチャネル部
- 1 1 0 PIN型光センサー
- 1 1 1 電源
- 1 1 2 検出器

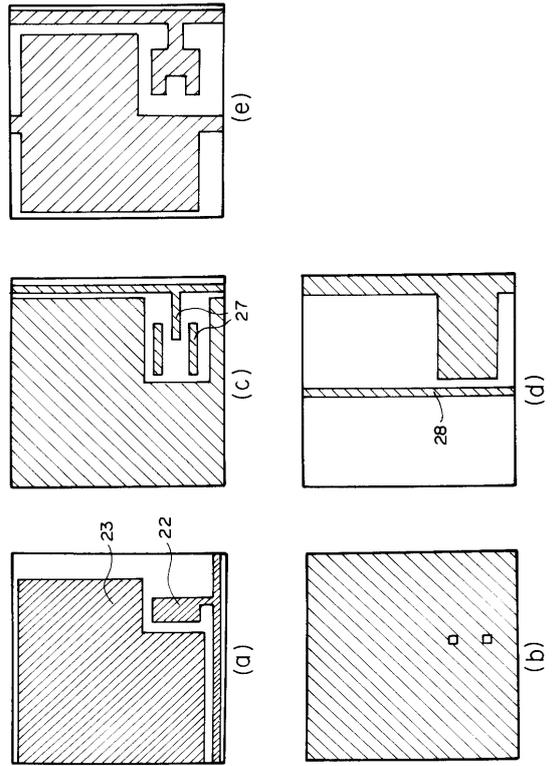
20

30

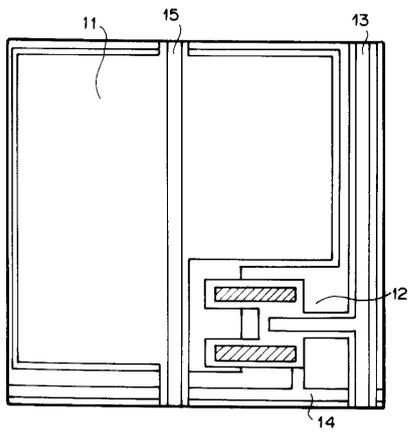
【 図 1 】



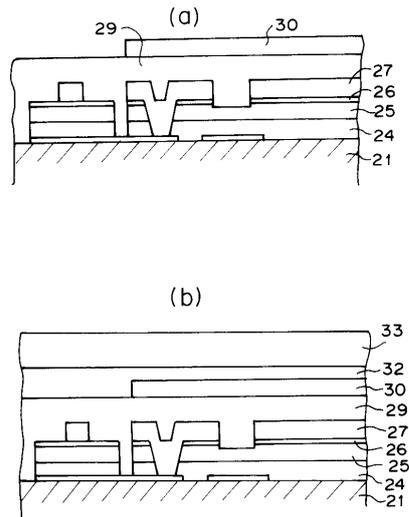
【 図 2 】



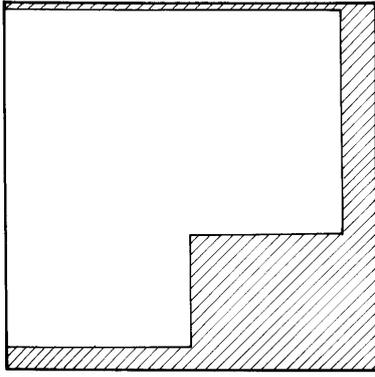
【 図 3 】



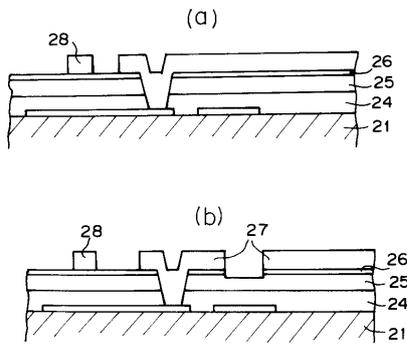
【 図 4 】



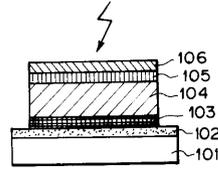
【 図 5 】



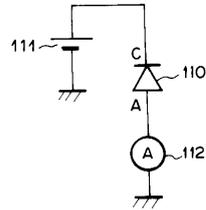
【 図 6 】



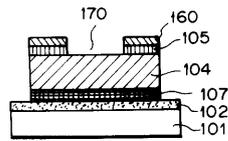
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/14

H01L 27/146