

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3744819号
(P3744819)

(45) 発行日 平成18年2月15日(2006.2.15)

(24) 登録日 平成17年12月2日(2005.12.2)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
G02F 1/133 550
G09G 3/20 611A
G09G 3/20 623G
G09G 3/20 623V

請求項の数 18 (全 39 頁)

(21) 出願番号 特願2001-155194 (P2001-155194)
(22) 出願日 平成13年5月24日(2001.5.24)
(65) 公開番号 特開2002-351413 (P2002-351413A)
(43) 公開日 平成14年12月6日(2002.12.6)
審査請求日 平成16年1月15日(2004.1.15)

(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100090479
弁理士 井上 一
(74) 代理人 100090387
弁理士 布施 行夫
(74) 代理人 100090398
弁理士 大淵 美千栄
(72) 発明者 森田 晶
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 信号駆動回路、表示装置、電気光学装置及び信号駆動方法

(57) 【特許請求の範囲】

【請求項1】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路であって、
水平走査周期で、画像データをラッチするラインラッチと、

前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、

前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段と、

を含み、

前記信号ライン駆動手段は、

前記画像データに基づく信号ラインの駆動期間であるか否かにかかわらず、所与の複数の信号ラインごとに分割されたブロックを単位として、その出力をハイインピーダンス制御し、

前記駆動電圧生成手段は、

前記駆動期間であるか否かにかかわらず、前記ブロック単位で動作停止制御することを特徴とする信号駆動回路。

【請求項2】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路であって、

水平走査周期で、画像データをラッチするラインラッチと、
 信号ラインに対応するフリップフロップが順次接続され、前記ラインラッチにラッチされる一水平走査単位の画像データを一旦保持するためのシフトレジスタと、
 前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、

前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段と、

所与の複数の信号ラインごとに分割されたブロックを単位としてハイインピーダンス制御されるブロックの信号ラインをバイパスして、入力された画像データを順次隣りのブロックのフリップフロップに供給するための入力切り替え手段と、

を含み、

前記信号ライン駆動手段は、

前記画像データに基づく信号ラインの駆動期間であるか否かにかかわらず、前記ブロック単位で、その出力をハイインピーダンス制御することを特徴とする信号駆動回路。

【請求項 3】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路であって、

水平走査周期で、画像データをラッチするラインラッチと、

前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、

前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段と、

所与の複数の信号ラインごとに分割されたブロックを単位として制御指示データを保持する制御指示データ保持手段と、

を含み、

前記画像データに基づく信号ラインの駆動期間であるか否かにかかわらず、前記制御指示データに基づいて、前記ブロック単位で、前記信号ライン駆動手段の出力のハイインピーダンス制御又は前記駆動電圧生成手段の動作停止制御を行うことを特徴とする信号駆動回路。

【請求項 4】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路であって、

水平走査周期で、画像データをラッチするラインラッチと、

前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、

前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段と、

を含み、

前記信号ライン駆動手段は、

前記画像データに基づく信号ラインの駆動期間であるか否かにかかわらず、所与の複数の信号ラインごとに分割されたブロックを単位として、その出力をハイインピーダンス制御し、

前記信号ライン駆動手段の出力がハイインピーダンス制御されない 1 又は複数のブロックについて、前記ブロック単位に信号ラインの駆動電圧の出力制御が行われることを特徴とする信号駆動回路。

【請求項 5】

請求項 4 において、

前記ブロック単位に画像データに基づく信号ラインへの出力可否を示すパーシャル表示データを保持するパーシャル表示データ保持手段を含み、

前記信号ライン駆動手段の出力がハイインピーダンス制御されない 1 又は複数のブロッ

10

20

30

40

50

クの信号ライン駆動手段は、前記パーシャル表示データに基づいて前記ブロック単位に信号ラインの駆動電圧の出力制御を行うことを特徴とする信号駆動回路。

【請求項 6】

請求項 5 において、

前記信号ライン駆動手段は、

前記駆動電圧生成手段によって生成された駆動電圧をインピーダンス変換し、各信号ラインに出力するインピーダンス変換手段と、

前記信号ラインに所与の非表示レベル電圧を供給する非表示レベル電圧供給手段と、
を含み、

前記信号ライン駆動手段の出力がハイインピーダンス制御されない 1 又は複数のブロックの各信号ラインは、前記パーシャル表示データに基づいて、前記インピーダンス変換手段又は前記非表示レベル電圧供給手段のうち、いずれか一方によりブロック単位で駆動されることを特徴とする信号駆動回路。

10

【請求項 7】

請求項 6 において、

前記インピーダンス変換手段は、

前記パーシャル表示データにより出力がオンに指定されたブロックの信号ラインに対し、前記駆動電圧をインピーダンス変換して出力し、

前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインを、ハイインピーダンス状態にし、

20

前記非表示レベル電圧供給手段は、

前記パーシャル表示データにより出力がオンに指定されたブロックの信号ラインを、ハイインピーダンス状態にし、

前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインに対し、所与の非表示レベル電圧を供給することを特徴とする信号駆動回路。

【請求項 8】

請求項 6 又は 7 において、

前記駆動電圧生成手段は、

前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインを駆動するための駆動電圧の生成動作を停止することを特徴とする信号駆動回路。

30

【請求項 9】

請求項 6 乃至 8 のいずれかにおいて、

前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、

前記非表示レベルの電圧は、

前記画素電極の印加電圧と、前記画素電極と電気光学素子を介して設けられた対向電極との電圧差を、所与の閾値より小さくする電圧であることを特徴とする信号駆動回路。

【請求項 10】

請求項 6 乃至 8 のいずれかにおいて、

前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、

40

前記非表示レベルの電圧は、

前記画素電極と電気光学素子を介して設けられた対向電極と同等の電圧であることを特徴とする信号駆動回路。

【請求項 11】

請求項 6 乃至 8 のいずれかにおいて、

前記非表示レベルの電圧は、前記画像データに基づいて生成可能な階調電圧の最大値及び最小値のいずれか一方であることを特徴とする信号駆動回路。

【請求項 12】

請求項 1 乃至 11 のいずれかにおいて、

50

前記ブロック単位は、8ピクセル単位であることを特徴とする信号駆動回路。

【請求項13】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置と、

前記走査ラインを走査駆動する走査駆動回路と、

画像データに基づいて、前記信号ラインを駆動する請求項1乃至12いずれか記載の信号駆動回路と、

を含むことを特徴とする表示装置。

【請求項14】

請求項13において、

前記電気光学装置の信号ラインの配置と、前記信号駆動回路の信号ライン駆動手段の配置との関係に応じて、前記信号駆動回路の信号ライン駆動手段の出力をハイインピーダンス制御するブロックを異ならせることを特徴とする表示装置。

10

【請求項15】

請求項14において、

前記信号駆動回路は、

左側端部と右側端部を除く中央部付近に配置される信号ライン駆動手段の出力をハイインピーダンス制御することを特徴とする表示装置。

【請求項16】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素と、

前記走査ラインを走査駆動する走査駆動回路と、

画像データに基づいて、前記信号ラインを駆動する請求項1乃至12いずれか記載の信号駆動回路と、

を含むことを特徴とする電気光学装置。

20

【請求項17】

請求項16において、

前記信号ラインの配置と、前記信号駆動回路の信号ライン駆動手段の配置との関係に応じて、前記信号駆動回路の信号ライン駆動手段の出力をハイインピーダンス制御するブロックを異ならせることを特徴とする電気光学装置。

【請求項18】

水平走査周期で、画像データをラッチするラインラッチと、

前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、

前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段と、

を有し、

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路の信号駆動方法であって、

前記画像データに基づく信号ラインの駆動期間であるか否かにかかわらず、所与の複数の信号ラインごとに分割されたブロックを単位に設定される制御指示データに基づいて、ブロック単位に前記信号ライン駆動手段の出力をハイインピーダンス制御すると共に、前記駆動期間であるか否かにかかわらず、前記ブロック単位で前記駆動電圧生成手段の動作停止制御を行うことを特徴とする信号駆動方法。

30

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信号駆動回路、これを用いた表示装置、電気光学装置及び信号駆動方法に関する。

【0002】

50

【背景技術及び発明が解決しようとする課題】

近年の携帯電話機やその他携帯型の電子機器の普及により、様々なサイズの液晶パネルが用いられるようになってきている。このような液晶パネルとして、STN (SuperTwisted Nematic) 液晶を用いた単純マトリクス型液晶パネルと、薄膜トランジスタ (Thin Film Transistor: 以下、TFTと略す。) 液晶を用いたアクティブマトリクス型液晶パネルとが知られている。STN液晶を用いた単純マトリクス型液晶パネルは、駆動方法を工夫することでフレーム応答の低下を防ぐことによってコントラストの低下を防ぎ、低消費電力化を実現することができる。これに対して、TFT液晶を用いたアクティブマトリクス型液晶パネルは、本来の高速フレーム応答による高コントラストにより、動画表示にはTFT液晶の方が適している。

10

【0003】

一般的に、このような液晶パネルを搭載する電子機器には、少なくとも液晶パネルのサイズによって決められたライン数分の信号ライン駆動回路を有する駆動回路が実装され、小型軽量化の最適化が図られる。

【0004】

しかしながら、TFT液晶を用いたアクティブマトリクス型液晶パネルは、製造工程の複雑さ等に起因して、STN液晶を用いた単純マトリクス型液晶パネルに比べて製造コストが高くなる。しかも液晶パネルのサイズごとに駆動回路の設計変更をしていたのでは、ますます開発工数の増加による製品のコスト高や、製品の市場投入の遅れ等を招くという問題がある。さらに、TFT液晶を用いたアクティブマトリクス型液晶パネルは、消費電力

20

【0005】

本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、パネルサイズの種類に応じたライン数分の信号ライン駆動回路を駆動制御することで、パネルサイズの変化に柔軟に対応し、かつ低消費電力化を図ることができる信号駆動回路、これを用いた表示装置、電気光学装置及び信号駆動方法を提供することにある。

【0006】**【課題を解決するための手段】**

上記課題を解決するために本発明は、互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路であって、水平走査周期で、画像データをラッチするラインラッチと、前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段とを含み、前記信号ライン駆動手段は、所与の複数の信号ラインごとに分割されたブロックを単位として、その出力をハイインピーダンス制御することを特徴とする。

30

【0007】

ここで、電気光学装置としては、例えば互いに交差する複数の走査ライン及び複数の信号ラインと、前記走査ラインと前記信号ラインに接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有するように構成しても良い。

40

【0008】

また、ブロック単位に分割される信号ラインは、互いに隣接した複数の信号ラインであっても良いし、任意に選択された複数の信号ラインであっても良い。

【0009】

本発明によれば、電気光学装置の信号ラインを画像データに基づいて駆動する信号駆動回路により、所与の複数の信号ラインごとに分割されたブロックを単位として、信号ライン駆動手段の出力をハイインピーダンス制御するようにしたので、パネルサイズの種類の多様化にも柔軟に適用可能な信号駆動回路を提供することができる。したがって、パネルサイズの変更に伴う信号駆動回路の設計変更等が不要となり、低コスト化と、早期の市場投入とを図ることができる。

50

【0010】

また本発明は、前記駆動電圧生成手段は、前記ブロック単位で動作停止制御することを特徴とする。

【0011】

本発明によれば、パネルサイズの種類によって、不要となった信号ラインに対応する駆動電圧生成手段の動作を停止させることが可能となるので、上記した効果に加えて、効果的な低消費化を実現することができる。

【0012】

また本発明は、信号ラインに対応するフリップフロップが順次接続され、前記ラインラッチにラッチされる一水平走査単位の画像データを一旦保持するためのシフトレジスタと、
10
ハイインピーダンス制御されるブロックの信号ラインをバイパスして、入力された画像データを順次隣りのブロックのフリップフロップに供給するための入力切り替え手段とを含むことを特徴とする。

【0013】

本発明によれば、実装状態に応じて出力がハイインピーダンス制御されたブロックの設定が変更になった場合でも、当該ブロックをバイパスして、対応する信号ラインに画像データを供給することができるので、画像データの供給側にとって、出力がハイインピーダンス制御されたブロックの設定に応じて画像データを変更する必要がなくなり、ユーザにとって使い勝手を向上させることができる。

【0014】

また本発明は、前記ブロック単位での制御指示データを保持する制御指示データ保持手段を含み、前記制御指示データに基づいて、前記ブロック単位で、前記信号ライン駆動手段の出力のハイインピーダンス制御又は前記駆動電圧生成手段の動作停止制御を行うことを特徴とする。
20

【0015】

本発明によれば、制御指示データ保持手段を備え、ブロック単位に設定された制御指示データに基づいて、信号ライン駆動手段の出力制御又は駆動電圧生成手段の動作停止制御を行うようにしたので、容易にパネルサイズの種類の変化に対応することができ、低コスト化を図ることができる。

【0016】

また本発明は、前記信号ライン駆動手段の出力がハイインピーダンス制御されない1又は複数のブロックについて、前記ブロック単位に信号ラインの駆動電圧の出力制御が行われることを特徴とする。
30

【0017】

本発明によれば、信号ライン駆動手段の出力がハイインピーダンス制御されない1又は複数のブロックについて、ブロック単位に信号ラインの駆動電圧の出力制御を行うようにしたので、表示エリア及び非表示エリアの設定によるパーシャル表示制御が可能となり、より一層の低消費電力化を図ることができる。

【0018】

また本発明は、前記ブロック単位に画像データに基づく信号ラインへの出力可否を示すパーシャル表示データを保持するパーシャル表示データ保持手段を含み、前記信号ライン駆動手段の出力がハイインピーダンス制御されない1又は複数のブロックの信号ライン駆動手段は、前記パーシャル表示データに基づいて前記ブロック単位に信号ラインの駆動電圧の出力制御を行うことを特徴とする。
40

【0019】

本発明によれば、電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路に、所与の複数の信号ラインごとに分割されたブロックを単位として、画像データに基づく信号ラインへの出力可否を示すパーシャル表示データを保持するパーシャル表示データ保持手段を備えさせるとともに、このブロック単位に指定されたパーシャル表示データに基づいて、一水平走査単位の画像データをブロック単位に出力制御するようにしたの
50

で、任意に設定可能なパーシャル表示制御を行うことができるようになる。これにより、非表示エリアの信号駆動による電力消費を削減することができる。

【0020】

また本発明は、前記信号ライン駆動手段は、前記駆動電圧生成手段によって生成された駆動電圧をインピーダンス変換し、各信号ラインに出力するインピーダンス変換手段と、前記信号ラインに所与の非表示レベル電圧を供給する非表示レベル電圧供給手段とを含み、前記信号ライン駆動手段の出力がハイインピーダンス制御されない1又は複数のブロックの各信号ラインは、前記パーシャル表示データに基づいて、前記インピーダンス変換手段又は前記非表示レベル電圧供給手段のうち、いずれか一方によりブロック単位で駆動されることを特徴とする。

10

【0021】

本発明によれば、パーシャル表示データに設定された内容に基づいて、ブロック単位で、インピーダンス変換手段による画像データに基づく信号ラインの駆動、若しくは非表示レベル電圧供給手段による信号ラインへの所与の非表示レベル電圧の供給のいずれかを行うようにしたので、非表示エリアを所与のノーマリ色に設定することができる。これにより、上述した効果に加えて、パーシャル表示制御により設定される表示エリアを際立たせることができる。

【0022】

また本発明は、前記インピーダンス変換手段は、前記パーシャル表示データにより出力がオンに指定されたブロックの信号ラインに対し、前記駆動電圧をインピーダンス変換して出力し、前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインを、ハイインピーダンス状態にし、前記非表示レベル電圧供給手段は、前記パーシャル表示データにより出力がオンに指定されたブロックの信号ラインを、ハイインピーダンス状態にし、前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインに対し、所与の非表示レベル電圧を供給することを特徴とする。

20

【0023】

本発明によれば、パーシャル表示データに基づいて、ブロック単位に、非表示エリアに設定されたブロックのインピーダンス変換手段及び非表示レベル電圧供給手段を制御することができ、非表示エリアに設定されたブロックの電力消費を効果的に抑えることができる。

30

【0024】

また本発明は、前記駆動電圧生成手段は、前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインを駆動するための駆動電圧の生成動作を停止することを特徴とする。

【0025】

本発明によれば、パーシャル表示データに基づいて、ブロック単位に、非表示エリアに設定されたブロックの駆動電圧生成手段を制御することができ、非表示エリアに設定されたブロックの電力消費を効果的に抑えることができる。

【0026】

また本発明は、前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、前記非表示レベルの電圧は、前記画素電極の印加電圧と、前記画素電極と電気光学素子を介して設けられた対向電極との電圧差を、所与の閾値より小さくする電圧であることを特徴とする。

40

【0027】

本発明によれば、走査ラインと信号ラインに接続されたスイッチング手段を介して設けられた画素電極の印加電圧と、この画素電極と電気光学素子を介して設けられた対向電極との電圧差を、所与の閾値より小さくするような非表示レベル電圧を設定するようにしたので、少なくとも電気光学装置の画素の透過率が変化しない範囲で非表示エリアを設定することができ、パーシャル非表示レベル電圧の精度に依存することなくパーシャル表示制御の簡素化を図ることができる。

50

【0028】

また本発明は、前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、前記非表示レベルの電圧は、前記画素電極と電気光学素子を介して設けられた対向電極と同等の電圧であることを特徴とする。

【0029】

本発明によれば、画素電極と、これに対向する対向電極との電圧差がほぼ0になるように非表示レベル電圧を設定するようにしたので、パーシャル表示制御の簡素化を図るとともに、非表示エリアの表示色を一定させ、表示エリアを際立たせるような画像表示が可能となる。

10

【0030】

また本発明は、前記非表示レベルの電圧は、前記画像データに基づいて生成可能な階調電圧の最大値及び最小値のいずれか一方であることを特徴とする。

【0031】

本発明によれば、非表示レベルの電圧として、駆動電圧生成手段で生成可能な階調電圧の両端の電圧のいずれかを一方を供給するようにしたので、ユーザは任意に非表示エリアのノーマリ色を指定することができ、ユーザにとっての使い勝手を向上させることができる。

【0032】

また本発明は、前記ブロック単位は、8ピクセル単位であることを特徴とする。

20

【0033】

本発明によれば、キャラクタ文字単位で表示エリアと非表示エリアの設定が可能となり、パーシャル表示制御の簡素化と、効果的なパーシャル表示による画像を提供することができる。

【0034】

また本発明に係る表示装置は、互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置と、前記走査ラインを走査駆動する走査駆動回路と、画像データに基づいて、前記信号ラインを駆動する上記いずれか記載の信号駆動回路とを含むことを特徴とする。

【0035】

本発明によれば、パネルサイズの種類が変更になった場合でも、適切な信号ライン駆動と消費電力の低減とを低コストで実現できる表示装置の市場投入をいち早く行うことができる。

30

【0036】

また本発明は、前記電気光学装置の信号ラインの配置と、前記信号駆動回路の信号ライン駆動手段の配置との関係に応じて、前記信号駆動回路の信号ライン駆動手段の出力をハイインピーダンス制御するブロックを異ならせることを特徴とする。

【0037】

本発明によれば、電気光学装置の信号ラインの駆動に必要な信号駆動回路を、電気光学装置のサイズに応じて最適な位置に配置させることができるので、実装面の融通性を向上させることができる。

40

【0038】

また本発明は、前記信号駆動回路は、左側端部と右側端部を除く中央部付近に配置される信号ライン駆動手段の出力をハイインピーダンス制御することを特徴とする。

【0039】

本発明によれば、電気光学装置と信号駆動回路との配線距離を短くして、これらが配置されたときの間隔を狭めることができるので、実装面積の縮小化をも図ることができる。

【0040】

また本発明に係る電気光学装置は、互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素と、前記走査ラインを走査駆動する走査駆動回路と、画像データ

50

に基づいて、前記信号ラインを駆動する上記いずれか記載の信号駆動回路とを含むことを特徴とする。

【0041】

本発明によれば、パネルサイズの種類が変更になった場合でも、適切な信号ライン駆動と消費電力の低減とを低コストで実現できる電気光学装置の市場投入をいち早く行うことができる。

【0042】

また本発明は、前記信号ラインの配置と、前記信号駆動回路の信号ライン駆動手段の配置との関係に応じて、前記信号駆動回路の信号ライン駆動手段の出力をハイインピーダンス制御するブロックを異ならせることを特徴とする。

10

【0043】

本発明によれば、電気光学装置の信号ラインの駆動に必要な信号駆動回路を、画素を特定する信号ラインの配置に応じて最適な位置に配置させることができるので、実装面の融通性を向上させることができる。

【0044】

また本発明は、水平走査周期で、画像データをラッチするラインラッチと、前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段とを有し、互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路の信号駆動方法であって、所与の複数の信号ラインごとに分割されたブロックを単位に設定される制御指示データに基づいて、ブロック単位に前記信号ライン駆動手段をハイインピーダンス制御することを特徴とする。

20

【0045】

本発明によれば、ブロック単位に信号ラインへの出力をハイインピーダンス制御することができるので、パネルサイズの種類の変化に柔軟に対応でき、しかも低消費電力化を図ることができる。

【0046】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

30

【0047】

1. 表示装置

1.1 表示装置の構成

図1に、本実施形態における信号駆動回路（信号ドライバ）を適用した表示装置の構成の概要を示す。

【0048】

表示装置としての液晶装置10は、液晶ディスプレイ（Liquid Crystal Display：以下、LCDと略す。）パネル20、信号ドライバ（信号駆動回路）（狭義には、ソースドライバ）30、走査ドライバ（走査駆動回路）（狭義には、ゲートドライバ）50、LCDコントローラ60、電源回路80を含む。

40

【0049】

LCDパネル（広義には、電気光学装置）20は、例えばガラス基板上に形成される。このガラス基板には、Y方向に複数配列されそれぞれX方向に伸びる走査ライン（狭義には、ゲートライン） $G_1 \sim G_N$ （Nは、2以上の自然数）と、X方向に複数配列されそれぞれY方向に伸びる信号ライン（狭義には、ソースライン）信号ライン $S_1 \sim S_M$ （Mは、2以上の自然数）とが配置されている。また、走査ライン G_n （ $1 \leq n \leq N$ 、nは自然数）と信号ライン S_m （ $1 \leq m \leq M$ 、mは自然数）との交差点に対応して、TFT2 2_{nm} （広義には、スイッチング手段）が設けられている。

【0050】

TFT2 2_{nm} のゲート電極は、走査ライン G_n に接続されている。TFT2 2_{nm} のソース

50

電極は、信号ライン S_m に接続されている。TFT 22_{nm} のドレイン電極は、液晶容量（広義には液晶素子） 24_{nm} の画素電極 26_{nm} に接続されている。

【0051】

液晶容量 24_{nm} においては、画素電極 26_{nm} に対向する対向電極 28_{nm} との間に液晶が封入されて形成され、これら電極間の印加電圧に応じて透過率が変化している。

【0052】

対向電極 28_{nm} には、電源回路 80 により生成された対向電極電圧 V_{com} が供給されている。

【0053】

信号ドライバ 30 は、一水平走査単位の画像データに基づいて、LCD パネル 20 の信号ライン $S_1 \sim S_M$ を駆動する。

【0054】

走査ドライバ 50 は、一垂直走査期間内に、水平同期信号に同期して、LCD パネル 20 の走査ライン $G_1 \sim G_N$ を順次走査駆動する。

【0055】

LCD コントローラ 60 は、図示しない中央処理装置（Central Processing Unit：以下、CPU と略す。）等のホストにより設定された内容に従って、信号ドライバ 30、走査ドライバ 50 及び電源回路 80 を制御する。より具体的には、LCD コントローラ 60 は、信号ドライバ 30 及び走査ドライバ 50 に対して、例えば動作モードの設定や内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路 80 に対しては対向電極電圧 V_{com} の極性反転タイミングの供給を行う。

【0056】

電源回路 80 は、外部から供給される基準電圧に基づいて、LCD パネル 20 の液晶駆動に必要な電圧レベルや、対向電極電圧 V_{com} を生成する。このような各種電圧レベルは、信号ドライバ 30、走査ドライバ 50 及び LCD パネル 20 に供給される。また、対向電極電圧 V_{com} は、LCD パネル 20 の TFT の画素電極に対向して設けられた対向電極に供給される。

【0057】

このような構成の液晶装置 10 は、LCD コントローラ 60 の制御の下、外部から供給される画像データに基づいて、信号ドライバ 30、走査ドライバ 50 及び電源回路 80 が協調して LCD パネル 20 を表示駆動する。

【0058】

なお、図 1 では、液晶装置 10 に LCD コントローラ 60 を含めて構成するようにしているが、LCD コントローラ 60 を液晶装置 10 の外部に設けて構成するようにしても良い。或いは、LCD コントローラ 60 と共にホストを液晶装置 10 に含めるように構成することも可能である。

【0059】

（信号ドライバ）

図 2 に、図 1 に示した信号ドライバの構成の概要を示す。

【0060】

信号ドライバ 30 は、シフトレジスタ 32、ラインラッチ 34、36、デジタル・アナログ変換回路（広義には、駆動電圧生成回路）38、信号ライン駆動回路 40 を含む。

【0061】

シフトレジスタ 32 は、複数のフリップフロップを有しており、これらフリップフロップが順次接続される。このシフトレジスタ 32 は、クロック信号 CLK に同期してイネーブル入出力信号 EIO を保持すると、順次クロック信号 CLK に同期して隣接するフリップフロップにイネーブル入出力信号 EIO をシフトする。

【0062】

また、このシフトレジスタ 32 には、シフト方向切り替え信号 SHL が供給される。シフ

10

20

30

40

50

トレジスタ32は、このシフト方向切り替え信号SHLにより、画像データ(DIO)のシフト方向と、イネーブル入出力信号EIOの入出力方向が切り替えられる。したがって、このシフト方向切り替え信号SHLによりシフト方向を切り替えることによって、信号ドライバ30の実装状態により信号ドライバ30に対して画像データを供給するLCDコントローラ60の位置が異なった場合であっても、その配線の引き回しによって実装面積が拡大することなく、柔軟な実装を可能にすることができる。

【0063】

ラインラッチ34は、LCDコントローラ60から例えば18ビット(6ビット(階調データ)×3(RGB各色))単位で画像データ(DIO)が入力される。ラインラッチ34は、この画像データ(DIO)を、シフトレジスタ32の各フリップフロップで順次シフトされたイネーブル入出力信号EIOに同期してラッチする。

10

【0064】

ラインラッチ36は、LCDコントローラ60から供給される水平同期信号LPに同期して、ラインラッチ34でラッチされた一水平走査単位の画像データをラッチする。

【0065】

DAC38は、信号ラインごとに、画像データに基づいてアナログ化された駆動電圧を生成する。

【0066】

信号ライン駆動回路40は、DAC38によって生成された駆動電圧に基づいて、信号ラインを駆動する。

20

【0067】

このような信号ドライバ30は、LCDコントローラ60から順次入力される所与の単位(例えば18ビット単位)の画像データを順次取り込み、水平同期信号LPに同期して一水平走査単位の画像データをラインラッチ36で一旦保持する。そして、この画像データに基づいて、各信号ラインを駆動する。この結果、LCDパネル20のTFTのソース電極には、画像データに基づく駆動電圧が供給される。

【0068】

(走査ドライバ)

図3に、図1に示した走査ドライバの構成の概要を示す。

【0069】

走査ドライバ50は、シフトレジスタ52、レベルシフタ(Level Shifter:以下、L/Sと略す。)54、56、走査ライン駆動回路58を含む。

30

【0070】

シフトレジスタ52は、各走査ラインに対応して設けられたフリップフロップが順次接続される。このシフトレジスタ52は、クロック信号CLKに同期してイネーブル入出力信号EIOをフリップフロップに保持すると、順次クロック信号CLKに同期して隣接するフリップフロップにイネーブル入出力信号EIOをシフトする。ここで入力されるイネーブル入出力信号EIOは、LCDコントローラ60から供給される垂直同期信号である。

【0071】

L/S54は、LCDパネル20の液晶材とTFTのトランジスタ能力とに応じた電圧レベルにシフトする。この電圧レベルとしては、例えば20V~50Vの高い電圧レベルが必要とされるため、他のロジック回路部とは異なる高耐圧プロセスが用いられる。

40

【0072】

走査ライン駆動回路58は、L/S54によってシフトされた駆動電圧に基づいて、CMOS駆動を行う。また、この走査ドライバ50は、L/S56を有しており、LCDコントローラ60から供給される出力イネーブル信号XOEVの電圧シフトが行われる。走査ライン駆動回路58は、L/S56によってシフトされた出力イネーブル信号XOEVにより、オンオフ制御が行われる。

【0073】

このような走査ドライバ50は、垂直同期信号として入力されたイネーブル入出力信号E

50

I Oが、クロック信号CLKに同期してシフトレジスタ52の各フリップフロップに順次シフトされる。シフトレジスタ52の各フリップフロップは、各走査ラインに対応して設けられているため、各フリップフロップに保持された垂直同期信号のパルスにより、走査ラインが択一的に順次選択される。選択された走査ラインは、L/S54によってシフトされた電圧レベルで、走査ライン駆動回路58により駆動される。これにより、LCDパネル20のTFTのゲート電極には、一垂直走査周期で所与の走査駆動電圧が供給されることになる。このとき、LCDパネル20のTFTのドレイン電極は、ソース電極に接続される信号ラインの電位に対応して、ほぼ同等の電位となる。

【0074】

(LCDコントローラ)

10

図4に、図1に示したLCDコントローラの構成の概要を示す。

【0075】

LCDコントローラ60は、制御回路62、ランダムアクセスメモリ(Random Access Memory:以下、RAMと略す。)(広義には、記憶手段)64、ホスト入出力回路(I/O)66、LCD入出力回路68を含む。さらに、制御回路62は、コマンドシーケンサ70、コマンド設定レジスタ72、コントロール信号生成回路74を含む。

【0076】

制御回路62は、ホストによって設定された内容にしたがい、信号ドライバ30、走査ドライバ50及び電源回路80の各種動作モード設定や同期制御等を行う。より具体的には、コマンドシーケンサ70が、ホストからの指示に従って、コマンド設定レジスタ72で設定された内容に基づいて、コントロール信号生成回路74で同期タイミングを生成したり、信号ドライバ等に対して所与の動作モードを設定したりする。

20

【0077】

RAM64は、画像表示を行うためのフレームバッファとしての機能を有するとともに、制御回路62の作業領域にもなる。

【0078】

このLCDコントローラ60は、ホストI/O66を介して、画像データや、信号ドライバ30及び走査ドライバ50を制御するためのコマンドデータが供給される。ホストI/O66には、図示しないCPUや、デジタル信号処理装置(Digital Signal Processor: DSP)或いはマイクロプロセッサユニット(Micro Processor Unit: MPU)が接続される。

30

【0079】

LCDコントローラ60は、画像データとして図示しないCPUより静止画データが供給されたり、DSP或いはMPUより動画データが供給される。また、LCDコントローラ60は、コマンドデータとして図示しないCPUより、信号ドライバ30又は走査ドライバ50を制御するためのレジスタの内容や、各種動作モードを設定するためのデータが供給される。

【0080】

画像データとコマンドデータは、それぞれ別個のデータバスを介してデータを供給するようにしても良いし、データバスを共用化しても良い。この場合、例えばコマンド(CoMmanD: CMD)端子に入力された信号レベルによって、データバス上のデータが、画像データか、或いはコマンドデータかを識別できるようにすることで、画像データとコマンドデータとの共用化を容易に図ることができ、実装面積の縮小化が可能になる。

40

【0081】

LCDコントローラ60は、画像データが供給された場合、この画像データをフレームバッファとしてのRAM64に保持する。一方、コマンドデータが供給された場合、LCDコントローラ60は、コマンド設定レジスタ72若しくはRAM64に保持する。

【0082】

コマンドシーケンサ70は、コマンド設定レジスタ72に設定された内容にしたがって、コントロール信号生成回路74により各種タイミング信号を生成させる。また、コマンド

50

シーケンサ70は、コマンド設定レジスタ72に設定された内容にしたがって、LCD入出力回路68を介して、信号ドライバ30、走査ドライバ50若しくは電源回路80のモード設定を行う。

【0083】

また、コマンドシーケンサ70は、コントロール信号生成回路74で生成された表示タイミングにより、RAM64に記憶された画像データから所与の形式の画像データを生成し、LCD入出力回路68を介して、信号ドライバ30に供給するようになっている。

【0084】

1.2 反転駆動方式

ところで、液晶を表示駆動する場合、液晶の耐久性や、コントラストの観点から、周期的に液晶容量に蓄積される電荷を放電する必要がある。そのため、上述した液晶装置10では、交流化駆動によって、所与の周期で液晶に印加される電圧の極性を反転させることが行われる。この交流化駆動方式としては、例えばフレーム反転駆動方式や、ライン反転駆動方式がある。

【0085】

フレーム反転駆動方式は、フレームごとに液晶容量に印加される電圧の極性を反転する方式である。一方、ライン反転駆動方式は、ラインごとに液晶容量に印加される電圧の極性を反転する方式である。なお、ライン反転駆動方式の場合も、各ラインに着目すれば、フレーム周期で液晶容量に印加される電圧の極性も反転される。

【0086】

図5(A)、(B)に、フレーム反転駆動方式の動作を説明するための図を示す。図5(A)は、フレーム反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 V_{com} の波形を模式的に示したものである。図5(B)は、フレーム反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示したものである。

【0087】

フレーム反転駆動方式では、図5(A)に示すように信号ラインに印加される駆動電圧の極性が1フレーム周期ごとに反転されている。すなわち、信号ラインに接続されるTF Tのソース電極に供給される電圧 V_s は、フレーム f_1 では正極性「 $+V$ 」、後続のフレーム f_2 では負極性の「 $-V$ 」となる。一方、TF Tのドレイン電極に接続される画素電極に対向する対向電極に供給される対向電極電圧 V_{com} も、信号ラインの駆動電圧の極性反転周期に同期して反転される。

【0088】

液晶容量には、画素電極と対向電極との電圧の差が印加されるため、図5(B)に示すようにフレーム f_1 では正極性、フレーム f_2 では負極性の電圧がそれぞれ印加されることになる。

【0089】

図6(A)、(B)に、ライン反転駆動方式の動作を説明するための図を示す。

【0090】

図6(A)は、ライン反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 V_{com} の波形を模式的に示したものである。図6(B)は、ライン反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示したものである。

【0091】

ライン反転駆動方式では、図6(A)に示すように信号ラインに印加される駆動電圧の極性が、各水平走査周期(1H)ごとに、かつ1フレーム周期ごとに反転されている。すなわち、信号ラインに接続されるTF Tのソース電極に供給される電圧 V_s は、フレーム f_1 の1Hでは正極性「 $+V$ 」、2Hでは負極性の「 $-V$ 」となる。なお、当該電圧 V_s は、フレーム f_2 の1Hでは負極性「 $-V$ 」、2Hでは正極性の「 $+V$ 」となる。

【0092】

10

20

30

40

50

一方、TFTのドレイン電極に接続される画素電極に対向する対向電極に供給される対向電極電圧 V_{com} も、信号ラインの駆動電圧の極性反転周期に同期して反転される。

【0093】

液晶容量には、画素電極と対向電極との電圧の差が印加されるため、走査ラインごとに極性を反転することで、図6(B)に示すようにフレーム周期で、各ラインごとに極性が反転する電圧がそれぞれ印加されることになる。

【0094】

一般的に、フレーム反転駆動方式に比べてライン反転駆動方式のほうが、変化の周期が1ライン周期となるため、画質の向上に貢献できるものの、消費電力が大きくなる。

【0095】

1.3 液晶駆動波形

図7に、上述した構成の液晶装置10のLCDパネル20の駆動波形の一例を示す。ここでは、ライン反転駆動方式により駆動する場合を示している。

【0096】

上述したように、液晶装置10では、LCDコントローラ60によって生成された表示タイミングに従って、信号ドライバ30、走査ドライバ50及び電源回路80が制御される。LCDコントローラ60は、信号ドライバ30に対しては一水平走査単位の画像データを順次転送するとともに、内部で生成した水平同期信号や反転駆動タイミングを示す極性反転信号POLを供給する。また、LCDコントローラ60は、走査ドライバ50に対しては、内部で生成した垂直同期信号を供給する。さらに、LCDコントローラ60は、電源回路80に対して対向電極電圧極性反転信号VCOMを供給する。

【0097】

これにより、信号ドライバ30は、水平同期信号に同期して、一水平走査単位の画像データに基づいて信号ラインの駆動を行う。走査ドライバ50は、垂直同期信号をトリガとして、LCDパネル20にマトリクス状に配置されたTFTのゲート電極に接続される走査ラインを、順次駆動電圧 V_g で走査駆動する。電源回路80は、内部で生成した対向電極電圧 V_{com} を、対向電極電圧極性反転信号VCOMに同期して極性反転を行いながら、LCDパネル20の各対向電極に供給する。

【0098】

液晶容量には、TFTのドレイン電極に接続される画素電極と対向電極の電圧 V_{com} との電圧に応じた電荷が充電される。したがって、液晶容量に蓄積された電荷によって保持された画素電極電圧 V_p が、所与の閾値 V_{CL} を越えると画像表示が可能となる。画素電極電圧 V_p が所与の閾値 V_{CL} を越えると、その電圧レベルに応じて画素の透過率が変化し、階調表現が可能となる。

【0099】

2. 信号ドライバ

2.1 ブロック単位のハイインピーダンス制御

図8(A)、(B)に、LCDパネル20のサイズと本実施形態における信号ドライバ30との接続関係を模式的に示す。

【0100】

LCDパネル20のY軸方向に伸びる複数の信号ラインがX軸方向に沿って配列される場合、これら信号ラインを駆動する信号ドライバ30は、一般的に、長辺方向に沿って各信号ラインを駆動する信号ライン駆動回路40が配置される。ここで、LCDパネル20の信号ライン数 N より、信号ドライバ30の出力本数 D が多い場合、左側端部と右側端部を除く中央部付近の信号ライン駆動回路94Aを空けて、LCDパネル20の信号ラインと信号ドライバ30の信号ライン駆動回路とを配線により接続する。こうすることで、配線距離を短くして、LCDパネル20と信号ドライバ30との間隔を狭めることができ、配線エリア90Aを有効活用することができるので、実装面積の縮小化をも図ることができる。

【0101】

10

20

30

40

50

また、図 8 (A) に示すように L C D パネル 2 0 のサイズが大きい場合、パネルサイズに応じた信号ライン数分だけ信号ライン駆動回路を用いる際、左側端部と右側端部を除く中央部付近の信号ライン駆動回路 9 4 A の出力をハイインピーダンス制御する。

【 0 1 0 2 】

一方、図 8 (B) に示すように L C D パネル 2 0 のサイズが小さい場合も同様に、図 8 (A) の場合に比べて増加した余分な信号ライン駆動回路を、左側端部と右側端部を除く中央部付近に配置させることで、信号ライン駆動回路 9 4 B の出力をハイインピーダンス制御する。

【 0 1 0 3 】

そのため、本実施形態における信号ドライバ 3 0 は、所与の複数の信号ラインごとに分割されたブロックを単位として、任意に選択したブロックの信号ライン駆動回路の出力をハイインピーダンス制御することができるようになっている。そこで、本実施形態における信号ドライバ 3 0 は、ブロック出力選択レジスタを有しており、ブロック単位で各ブロックの信号ラインを駆動する信号ライン駆動回路の出力をハイインピーダンス制御するか否かを設定するためのブロック出力選択データ（広義には、制御指示データ）を保持するようになっている。ブロック出力選択データにより、オンに設定されたブロックの信号ラインは信号ライン駆動回路により信号駆動され、オフに設定されたブロックの信号ラインはハイインピーダンス状態となる。したがって、その出力をハイインピーダンス制御する信号ライン駆動回路を変更するだけで、L C D パネル 2 0 のサイズ変更に対して容易に対応でき、駆動不要な信号ライン駆動回路で行われるインピーダンス変換に伴う消費電流を削減することができる。また、左側端部と右側端部を除く中央部付近にその出力をハイインピーダンス制御する信号ライン駆動回路を配置させることで、L C D パネル 2 0 の信号ラインに接続される各配線層の長さをより均等化させることも可能となる。

【 0 1 0 4 】

2 . 2 画像データのバイパス入力

上述したように、実装する L C D パネル 2 0 のサイズに合わせて選択されたブロックの信号ライン駆動回路の出力がハイインピーダンス状態となるように設定された場合、以下のような問題が生じる。

【 0 1 0 5 】

図 9 に、1 フレーム分の画像を L C D パネル 2 0 に表示させる場合の問題点を説明するための図を示す。

【 0 1 0 6 】

例えば、図 8 に示すように、信号ドライバ 3 0 の中央部付近の信号ライン駆動回路 9 4 を空けて、L C D パネル 2 0 の信号ラインと信号ドライバ 3 0 の信号ライン駆動回路とが配線により接続されている場合を考える。

【 0 1 0 7 】

このような信号ドライバ 3 0 に対して、例えばユーザが作成した 1 フレーム分の画像データ 9 6 A に基づいて信号ラインを駆動したとしても、本来 L C D パネル 2 0 には画像 9 6 B のように表示させたいところ、中央部付近に出力がハイインピーダンス状態とされた信号ライン駆動回路 9 4 により、実際には L C D パネル 2 0 には画像 9 6 C が表示され、L C D パネル 2 0 の端部には非表示エリア 9 8 が形成されてしまう。

【 0 1 0 8 】

すなわち、供給すべきでない信号ラインに対応する信号ライン駆動回路 9 4 に対して画像データが供給され、供給すべき信号ラインに対応する信号ライン駆動回路に画像データが供給されない状態で信号ラインを駆動すると、ユーザが意図しない画像が表示されてしまうことを意味する。したがって、このような画像を L C D パネル 2 0 に表示させる場合、ユーザは、出力がハイインピーダンス状態とされたブロックを認識して、信号ドライバ 3 0 に画像データを供給する必要がある。

【 0 1 0 9 】

しかしながら、ユーザにとって、その実装状態に応じて供給すべき画像データを変更する

10

20

30

40

50

ことは極めて不都合となる。

【0110】

そこで、本実施形態における信号ドライバ30は、1水平走査単位の画像データをラッチするため、画像データを順次シフトして取り込む際に、上述したように出力がハイインピーダンス状態となるように設定されたブロックの信号ラインに対応するフリップフロップをバイパスして、順次次のブロックの走査ラインに対応したフリップフロップに画像データをシフトするようになっている。

【0111】

図10(A)、(B)に、このような画像データのバイパス動作の一例を示す。

【0112】

例えば、図10(A)に示すように、各ブロックの出力がハイインピーダンス制御されないように設定されている場合、信号ドライバ30に取り込まれた画像データは、シフトレジスタ32において順次シフトされる。

【0113】

一方、本実施形態では、図10(B)に示すように、出力がハイインピーダンス制御されるブロックの信号ラインに対応するシフトレジスタはバイパスされ、出力がハイインピーダンス制御されないブロックの信号ラインにシフトレジスタに供給される。

【0114】

こうすることで、ユーザは、その実装状態に応じて出力がハイインピーダンス制御されたブロックの設定が変更になった場合でも、供給すべき画像データを変更する必要がなくなり、ユーザにとって使い勝手の良い液晶装置を提供することができる。

【0115】

2.3 ブロック単位の出力制御

本実施形態における信号ドライバ30は、所与の複数の信号ラインごとに分割されたブロックを単位として、画像データに基づく信号駆動を行って、パーシャル表示を実現することができるようになっている。そのため信号ドライバ30は、パーシャル表示選択レジスタを有しており、ブロック単位で各ブロックの出力可否を示すパーシャル表示データを保持するようになっている。パーシャル表示データにより出力がオンに設定されたブロックは、当該ブロックの信号ラインに対して画像データに基づく信号駆動を行う表示エリアとして設定されることになる。一方、パーシャル表示データにより表示がオフに設定されたブロックは、当該ブロックの信号ラインに対して所与の非表示レベル電圧が供給される非表示エリアとして設定されることになる。

【0116】

本実施形態では、このブロックを8ピクセル単位としている。ここで、1ピクセルは、RGB信号の3ビットからなる。したがって、信号ドライバ30は、計24出力(例えば、 $S_1 \sim S_{24}$)を1ブロックとしている。これにより、LCDパネル20の表示エリアをキャラクタ文字(1バイト)単位で設定することができるので、携帯電話機のようなキャラクタ文字の表示を行う電子機器において、効率的な表示エリアの設定及びその画像表示が可能となる。

【0117】

図11(A)、(B)、(C)に、このような本実施形態における信号ドライバにより実現したパーシャル表示の一例を模式的に示す。

【0118】

例えば、図11(A)に示すようにLCDパネル20に対して、Y方向に複数の信号ラインが配列されるように信号ドライバ30を配置し、X方向に複数の走査ラインが配列されるように走査ドライバ50を配置した場合、図11(B)に示すようにブロック単位で非表示エリア100Bを設定する。こうすることで、表示エリア102A、104Aに対応するブロックの信号ラインのみを画像データに基づいて駆動すればよい。

【0119】

或いは、図11(C)に示すようにブロック単位で表示エリア106Aを設定することで

10

20

30

40

50

、非表示エリア108B、110Bに対応するブロックの信号ラインを画像データに基づいて駆動する必要がなくなる。また、図11(B)、(C)において、複数の非表示エリア若しくは表示エリアを設定するようにしても良い。

【0120】

図12(A)、(B)、(C)に、本実施形態による信号ドライバにより実現したパーシャル表示の他の例を模式的に示す。

【0121】

この場合、図12(A)に示すようにLCDパネル20に対して、X方向に複数の信号ラインが配列されるように信号ドライバ30を配置し、Y方向に複数の走査ラインが配列されるように走査ドライバ50を配置すると、図12(B)に示すようにブロック単位で非表示エリア120Bを設定することで、表示エリア122A、124Aに対応するブロックの信号ラインのみを画像データに基づいて駆動すればよい。

10

【0122】

或いは、図12(C)に示すようにブロック単位で表示エリア126Aを設定することで、非表示エリア128B、130Bに対応するブロックの信号ラインを画像データに基づいて駆動する必要がない。なお、図12(B)、(C)において、複数の非表示エリア若しくは表示エリアを設定するようにしても良い。

【0123】

また、各表示エリアは、例えば静止画表示エリアと動画表示エリアとを区切るようにしても良い。こうすることで、ユーザにとって見やすい画面を提供することができるとともに、低消費電力化を図ることが可能となる。

20

【0124】

本実施形態における信号ドライバ30において、信号ライン駆動回路40はブロック単位に制御され、ブロックの信号ラインをボルテージフォロワ接続されたオペアンプ、若しくは非表示レベル電圧供給回路により駆動する。

【0125】

図13(A)、(B)、(C)に、本実施形態における信号ライン駆動回路の制御内容を模式的に示す。

【0126】

ブロック出力選択データ(制御指示データ)により出力がハイインピーダンス制御するように設定されたブロックの信号ラインに対して、図13(A)に示すように、DAC38Aによる駆動電圧の生成制御を停止させるとともに、信号ライン駆動回路40Aにおいてボルテージフォロワ接続されたオペアンプの出力をハイインピーダンス制御する。そして、信号ライン駆動回路40Aの非表示レベル電圧供給回路は、その出力がハイインピーダンス制御される。

30

【0127】

また、ブロック出力選択データ(制御指示データ)により出力がハイインピーダンス制御されないように設定され、パーシャル表示データにより出力がオンに設定された表示エリアに対応するブロックの信号ラインを画像データに基づいて駆動する場合、図13(B)に示すように、DAC38Bにより駆動電圧を生成させ、信号ライン駆動回路40Bにおいてボルテージフォロワ接続されたオペアンプによりインピーダンス変換を行って、当該ブロックに割り当てられた1又は複数の信号ラインを駆動する。この際、信号ライン駆動回路40Bの非表示レベル電圧供給回路は、その出力がハイインピーダンス制御される。

40

【0128】

さらに、ブロック出力選択データ(制御指示データ)により出力がハイインピーダンス制御されないように設定され、パーシャル表示データにより出力がオフに設定された非表示エリアに対応するブロックの信号ラインについては、図13(C)に示すように、DAC38Cによる駆動電圧の生成制御を停止させるとともに、信号ライン駆動回路40Cにおいてボルテージフォロワ接続されたオペアンプの出力をハイインピーダンス制御する。そして、信号ライン駆動回路40Cの非表示レベル電圧供給回路により生成した非表示レベル電

50

圧で、当該ブロックに割り当てられた1又は複数の信号ラインを駆動する。この非表示レベル電圧は、TFTに接続される液晶容量に印加される電圧を、少なくとも画素の透過率が変化して表示可能となる所与の閾値 V_{CL} より小さくするような電圧レベルに設定される。

【0129】

これにより、上述した画像表現による効果に加えて、オペアンプの定常的な電流消費を削減することができるので、従来から問題となっていたTFT液晶を用いたアクティブマトリクス型液晶パネルの消費電力を低減し、バッテリー駆動の携帯型の電子機器への搭載が可能となる。

【0130】

2.4 シフト方向に応じたブロックの入れ替え

本実施形態における信号ドライバ30は、図11(A)~(C)、図12(A)~(C)に示したように、実装対象となる電子機器に応じて、LCDパネル20に対して配置される位置が異なる場合がある。

【0131】

図14(A)、(B)に、LCDパネル20に対して異なる位置に実装される信号ドライバ30を模式的に示す。

【0132】

すなわち、図14(A)に示す場合では、LCDパネル20に対して下側に信号ドライバ30が配置されている。一方、図14(B)に示す場合では、LCDパネル20に対して

【0133】

信号ドライバ30の信号ライン駆動出力側は、固定されているため、図14(A)に示すようにLCDパネル20に対して下側に信号ドライバ30が配置されたときの駆動側の順番が、図14(B)に示すようにLCDパネル20に対して上側に配置されたとき駆動側の順番と逆になる。したがって、実装状態によって信号ドライバ30への配線の引き回しのため実装面積が増大してしまう。このため、シフト方向入れ替え信号SHLによって、画像データのシフト方向を切り替えるようにしている。

【0134】

図15(A)、(B)、(C)に、ラインラッチに保持された画像データと、ブロックの

【0135】

例えば図14(A)に示す位置に信号ドライバ30が配置された場合、シフト方向切り替え信号SHLを「H」にすることで、図15(A)に示すように、シフトレジスタで順次保持されてラインラッチ36でラッチされた一水平走査単位の画像データが、信号ライン $S_1 \sim S_M$ に対応して、画像データP1~PMの並びの順番になるものとする。

【0136】

これに対して図14(B)に示す位置に信号ドライバ30が配置された場合、シフト方向切り替え信号SHLを「L」にすることで、図15(B)に示すように、図15(A)と同じ並びの順番でLCDコントローラ60から供給される画像データに対して、ラインラ

【0137】

ところが、ユーザにとっては、図15(A)、(B)に示すように、複数の信号ラインを分割したブロックの並びの順番は変わらない。したがって、ブロック単位に、上述した画像データを制御する場合、ユーザもシフト方向に応じてブロックの順番の並びが変更することを認識して画像表示制御を行わなければならない。

【0138】

そこで、本実施形態では、ユーザがシフト方向によって入れ替わるブロックの並びの順番を気にすることなく、上述したブロック単位のパーシャル表示制御を可能にするため、図

10

20

30

40

50

15(C)に示すように、これらブロック単位で指定されるパーシャル表示データについてもシフト方向に応じて切り替えるようにしている。すなわち、本実施形態における信号ドライバ30は、シフト方向を切り替えた場合に上述したパーシャル表示選択レジスタに記憶されたパーシャル表示データの順番を逆に入れ替えることができるブロックデータ入れ替え回路を含む。

【0139】

これにより、表示エリア及び非表示エリアが設定されたブロックと、実際のパネルの駆動回路との対応関係を維持し、信号ドライバ30の実装状態に依存することなく、ブロック単位のパーシャル表示切替を実現させることができる。

【0140】

以下では、このような本実施形態における信号ドライバ30の具体的な構成例について説明する。

【0141】

3. 本実施形態における信号ドライバの構成の具体例

3.1 信号ドライバの構成(ブロック単位)

図16に、本実施形態における信号ドライバ30において制御されるブロック単位の構成の概要を示す。

【0142】

本実施形態における信号ドライバ30は、288本の信号ライン出力($S_1 \sim S_{288}$)を有しているものとする。

【0143】

すなわち、本実施形態における信号ドライバ30は、24出力端子単位($S_1 \sim S_{24}$ 、 $S_{25} \sim S_{48}$ 、 \dots 、 $S_{265} \sim S_{288}$)に、図16に示す構成を備えており、計12ブロック(B0~B11)を有している。以下では、図16は、ブロックB0を示すものとして説明するが、他のブロックB1~B11についても同様である。

【0144】

信号ドライバ30のブロックB0は、信号ライン $S_1 \sim S_{24}$ の各信号ラインに対応して、シフトレジスタ140₀を含むデータパイパス回路142₀、ラインラッチ36₀、駆動電圧生成回路38₀、信号ライン駆動回路40₀を含む。ここで、シフトレジスタ140₀は、図2に示すシフトレジスタ32及びラインラッチ34の機能を有する。

【0145】

データパイパス回路142₀は、シフトレジスタ140₀を含む。シフトレジスタ140₀は、各信号ラインに対応して $SR_{0-1} \sim SR_{0-24}$ を含む。ラインラッチ36₀は、各信号ラインに対応して $LAT_{0-1} \sim LAT_{0-24}$ を含む。駆動電圧生成回路38₀は、各信号ラインに対応して $DAC_{0-1} \sim DAC_{0-24}$ を含む。信号ライン駆動回路40₀は、各信号ラインに対応して $SDRV_{0-1} \sim SDRV_{0-24}$ を含む。

【0146】

3.2 ブロック出力選択レジスタ

上述したように、本実施形態における信号ドライバ30は、ブロック単位に、信号ライン駆動回路の出力がハイインピーダンス制御される。そのため、信号ドライバ30は、図17に示すようにブロック出力選択レジスタ148を有する。

【0147】

このブロック出力選択レジスタ148は、LCDコントローラ60によって設定される。LCDコントローラ60は、ホスト(CPU)からの制御によって、所与のタイミングで信号ドライバ30のブロック出力選択レジスタ148の内容を更新することができるようになっており、その都度実装状態に応じて最適な信号駆動回路を構成することができる。

【0148】

ブロック出力選択レジスタ148は、ブロックB0~B11に対応して、各ブロックの信号ライン駆動回路の出力をハイインピーダンス状態にするか否かを示すブロック出力選択データBLK0~BLK11を含む。本実施形態では、ブロック出力選択データBLK0

10

20

30

40

50

～ B L K 1 1のうち、「 1 」に設定されたブロックの信号ライン駆動回路には L C D パネル 2 0 の信号ラインが接続されて画像データに基づく信号駆動を行い、「 0 」に設定されたブロックの信号ライン駆動回路の L C D パネル 2 0 の信号ライン駆動回路には L C D パネル 2 0 の信号ラインが接続されないか、若しくは接続されても信号駆動を行わない。

【 0 1 4 9 】

3 . 3 パーシャル表示選択レジスタ

本実施形態における信号ドライバ 3 0 は、図 1 8 に示すようにパーシャル表示選択レジスタ 1 5 0 を有している。このパーシャル表示選択レジスタ 1 5 0 は、 L C D コントローラ 6 0 によって設定される。 L C D コントローラ 6 0 は、ホスト (C P U) からの制御によって、所与のタイミングで信号ドライバ 3 0 のパーシャル表示選択レジスタ 1 5 0 の内容を更新することができるようになっており、その都度最適なパーシャル表示を実現することができる。

10

【 0 1 5 0 】

パーシャル表示選択レジスタ 1 5 0 は、ブロック B 0 ~ B 1 1 に対応して、各ブロックの信号ラインを画像データに基づいて信号駆動するか否かを示すパーシャル表示データ P A R T 0 ~ P A R T 1 1 を含む。本実施形態では、パーシャル表示データ P A R T 0 ~ P A R T 1 1 のうち、出力がオンであることを示す「 1 」に設定されたブロックを表示エリア、出力がオフであることを示す「 0 」に設定されたブロックを非表示エリアとして、表示制御を行う。

【 0 1 5 1 】

20

上述したように、信号ドライバ 3 0 の実装状態に応じて、ユーザにブロックの順番を気にさせる必要なく、ブロック単位のパーシャル表示を実現させるために、パーシャル表示データをブロック単位で切り替える必要がある。

【 0 1 5 2 】

そこで、本実施形態では、以下に示すブロックデータ入れ替え回路により、ブロック出力選択レジスタ及びパーシャル表示選択レジスタのブロックの並び順を、シフト方向に応じて切り替えるようになっている。

【 0 1 5 3 】

図 1 9 に、ブロックデータ入れ替え回路の構成の一例を示す。

【 0 1 5 4 】

30

ここでは、パーシャル表示データを入れ替える場合を示す。このブロックデータ入れ替え回路は、パーシャル表示データ選択レジスタに設定されたパーシャル表示データ P A R T 0 ~ P A R T 1 1 の並びをシフト方向切り替え信号 S H L に応じて切り替える。より具体的には、ブロックデータ入れ替え回路は、シフト方向切り替え信号 S H L に応じて、パーシャル表示データ P A R T 0 及び P A R T 1 1 のいずれか一方を P A R T 0 ' として選択出力する。同様に、シフト方向切り替え信号 S H L に応じて、パーシャル表示データ P A R T 1 及び P A R T 1 0 のいずれか一方を P A R T 1 ' 、パーシャル表示データ P A R T 2 及び P A R T 9 のいずれか一方を P A R T 2 ' 、 . . . 、パーシャル表示データ P A R T 1 1 及び P A R T 0 のいずれか一方を P A R T 1 1 ' として、それぞれ選択出力する。

【 0 1 5 5 】

40

このようにシフト方向に応じてブロック単位の並び順が切り替えられたパーシャル表示データ P A R T 0 ' ~ P A R T 1 1 ' は、シフト方向に応じて P A R T 0 、 P A R T 1 、 . . . 、 P A R T 1 1 、又は P A R T 1 1 、 P A R T 1 0 、 . . . 、 P A R T 0 のいずれかのデータとして、それぞれ対応する各ブロック B 0 ~ B 1 1 に供給される。各ブロック B 0 ~ B 1 1 は、パーシャル表示データ P A R T 0 ' ~ P A R T 1 1 ' に基づいてパーシャル表示制御を行う。

【 0 1 5 6 】

ブロック B 0 は、パーシャル表示データ P A R T 0 ' に基づいてパーシャル表示制御が行われる。

【 0 1 5 7 】

50

また、ブロック B 0 は、ブロック出力選択データ B L K 0 ' に基づいて各信号ラインを駆動する駆動回路の出力のハイインピーダンス制御が行われる。

【 0 1 5 8 】

3 . 4 データバイパス回路

ブロック B 0 のデータバイパス回路 1 4 2₀ は、図 1 6 に示すように、隣接するブロックから入力される画像データをブロック出力選択データ B L K (B L K 0 ') でマスクする AND 回路 1 5 2₀、1 5 4₀ を含む。

【 0 1 5 9 】

AND 回路 1 5 2₀ は、左方向データ入力信号 L I N を、ブロック出力選択データ B L K (B L K 0 ') でマスクする。AND 回路 1 5 4₀ は、右方向データ入力信号 R I N を、ブロック出力選択データ B L K (B L K 0 ') でマスクする。シフトレジスタ 1 4 0₀ には、AND 回路 1 5 2₀、1 5 4₀ によりマスクされた画像データが供給される。

【 0 1 6 0 】

また、データバイパス回路 1 4 2₀ は、切り替え回路 S W B₀₋₀、S W B₁₋₀ を含む。

【 0 1 6 1 】

切り替え回路 S W B₀₋₀ は、ブロック出力選択データ B L K (B L K 0 ') が「1」(論理レベル「H」) のとき S R₀₋₁ の出力データを左方向データ出力信号 L O U T として出力する。一方、切り替え回路 S W B₀₋₀ は、ブロック出力選択データ B L K (B L K 0 ') が「0」(論理レベル「L」) のとき右方向データ入力信号 R I N として入力されたブロック B 1 からシフトされた画像データを左方向データ出力信号 L O U T として出力する。

【 0 1 6 2 】

切り替え回路 S W B₁₋₀ は、ブロック出力選択データ B L K (B L K 0 ') が「1」(論理レベル「H」) のとき S R₀₋₂₄ の出力データを右方向データ出力信号 R O U T として出力する。一方、切り替え回路 S W B₀₋₀ は、ブロック出力選択データ B L K (B L K 0 ') が「0」(論理レベル「L」) のとき左方向データ入力信号 L I N として入力されたブロックからシフトされた画像データ(ブロック B 0 の場合は、D I O) を右方向データ出力信号 R O U T として出力する。

【 0 1 6 3 】

ブロック B 0 のシフトレジスタ 1 4 0₀ は、クロック信号 C L K に同期して、隣接するブロックのシフトレジスタからシフトされた画像データを順次各 S R においてシフトする。また、シフトレジスタ 1 4 0₀ は、シフト方向切り替え信号 S H L に応じて、左方向データ入力信号 L I N 若しくは右方向データ入力信号 R I N として隣接するブロックのシフトレジスタから入力された画像データを順次シフトする。なお、ブロック B 0 の左方向データ入力信号 L I N 及び左方向データ出力信号 L O U T、ブロック B 1 1 の右方向データ入力信号 R I N 及び右方向データ出力信号 R O U T は、シフト切り替え信号 S H L によって入出力方向が切り替えられる。

【 0 1 6 4 】

図 2 0 (A)、(B) に、このようなデータバイパス回路の動作の一例を模式的に示す。

【 0 1 6 5 】

ここでは、図 2 0 (A) に示すように、ブロック S B 1 ~ S B 5 に対応して設けられたシフトレジスタ S R 1 ~ S R 5 において、シフトレジスタ S R 1 から画像データ (D I O) が順次シフトされる場合について説明する。このとき、ブロック S B 3 が、ブロック出力選択データによりブロック出力非選択が設定されているものとする。

【 0 1 6 6 】

クロック信号 C L K に同期して、ブロック S B 5、S B 4、S B 2、S B 1 の信号ラインに駆動されるべき画像データ (D I O) が順次シフトされる。この際、シフトレジスタ S R 3 はブロック単位でバイパスされるため、シフトレジスタ S R 1 から順次シフトされる画像データは、シフトレジスタ S R 2 の次にシフトレジスタ S R 4 にバイパスされる。

【 0 1 6 7 】

10

20

30

40

50

この結果、ブロックSB5、SB4、SB2、SB1に対応するシフトレジスタSR5、SR4、SR2、SR1には、それぞれ画像データA、B、C、Dが順次保持される。この状態で、水平同期信号LPにより、一水平走査単位としてラインラッチにラッチすることで、ユーザはブロック出力非選択を設定したブロックを意識することなく、画像データを信号ドライバに供給することができるようになる。

【0168】

なお、データバイパス回路は、上述したような動作に限定されるものではない。

【0169】

図21(A)、(B)に、データバイパス回路の動作の他の例を模式的に示す。

【0170】

ここでは、図21(A)に示すように、ブロックSB1～SB5に対応して設けられたシフトレジスタSR1～SR5とラッチLT1～LT5を備え、シフトレジスタSR1～SR5において、イネーブル入出力信号EIOが、クロック信号CLKに同期してシフトされる。各シフトレジスタの出力は、シフトレジスタクロックSRCK1～SRCK5として、ラッチLT1～LT5に供給される。

【0171】

画像データ(DIO)は、シフトレジスタクロックSRCKに同期して入力される。

【0172】

ここで、ブロックSB3が、ブロック出力選択データによりブロック出力非選択が設定されているものとする。

【0173】

クロック信号CLKに同期して、シフトされたイネーブル入出力信号EIOは、シフトレジスタSR3においてブロック単位でバイパスされるため、シフトレジスタSR1から順次シフトされるイネーブル入出力信号は、シフトレジスタSR2の次にシフトレジスタSR4にバイパスされる。

【0174】

したがって、シフトレジスタクロックSRCK1、SRCK2、SRCK4、SRCK5に応じて、画像データ(DIO)を供給することで、ラッチLT1、LT2、LT4、LT5に画像データA、B、C、Dがラッチされる。

【0175】

この状態で、水平同期信号LPにより、一水平走査単位としてラインラッチにラッチすることで、ユーザはブロック出力非選択を設定したブロックを意識することなく、画像データを信号ドライバに供給することができるようになる。

【0176】

次に、このような画像データを順次シフトするシフトレジスタ140₀について説明する。

【0177】

図22に、シフトレジスタ140₀を構成するSR₀₋₁の構成を模式的に示す。

【0178】

ここでは、SR₀₋₁の構成について示すが、他のSR₀₋₂～SR₀₋₂₄についても同様に構成することができる。

【0179】

SR₀₋₁は、FF_{L-R}、FF_{R-L}、SW1を含む。

【0180】

FF_{L-R}は、例えばD端子に入力される左方向データ入力信号LINを、CK端子に入力されるクロック信号の立ち上がりエッジに同期してラッチし、Q端子から右方向データ出力信号ROUTとして、SR₀₋₂のD端子に対して左方向データ入力信号LINを供給する。

【0181】

FF_{R-L}は、例えばD端子に入力される右方向データ入力信号RINを、CK端子に入力

10

20

30

40

50

されるクロック信号の立ち上がりエッジに同期してラッチし、Q端子から左方向データ出力信号L O U Tを出力する。

【0182】

F F_{L-R}のQ端子から出力される右方向データ出力信号R O U Tと、F F_{R-L}のQ端子から出力される左方向出力信号L O U Tとは、S W 1にも供給される。S W 1は、シフト方向切り替え信号S H Lに応じて、右方向データ出力信号R O U Tと、F F_{R-L}のQ端子から出力される左方向出力信号L O U Tのうち、いずれか一方を選択して、ラインラッチ36₀のL A T₀₋₁に供給する。

【0183】

このようにして、シフトレジスタ140₀の各S R₀₋₁~S R₀₋₂₄に保持された画像データは、水平同期信号L Pに同期してそれぞれラインラッチ36₀の各L A T₀₋₁~L A T₀₋₂₄にラッチされる。

10

【0184】

3.5 ラインラッチ

ラインラッチL A T₀₋₁にラッチされた信号ラインS₁に対応する画像データは、駆動電圧生成回路のD A C₀₋₁に供給される。D A C₀₋₁は、D A Cイネーブル信号D A C e nが論理レベル「H」のときに、L A T₀₋₁から供給された例えば6ビットの階調データに基づいて、64レベルの階調電圧を発生する。

【0185】

3.6 駆動電圧生成回路

20

図23に、D A C₀₋₁によって生成される階調電圧を説明するための図を示す。

【0186】

D A C₀₋₁は、電源回路80から例えばV₀~V₈の各レベルの基準電圧が供給されている。D A C₀₋₁は、D A Cイネーブル信号D A C e nが論理レベル「H」になると、各信号ラインの画像データとしての6ビットの階調データのうち例えば上位3ビットからV₀~V₈によって分割された電圧範囲のうちの一つを選択する。ここで、例えば基準電圧V₂とV₃との間を選択すると、6ビットの階調データのうち例えば下位3ビットによって特定されるV₂とV₃の間の8レベルのうちいずれか一つであるV_{2.3}を選択する。

【0187】

このように、信号ラインS₁に対応するD A C₀₋₁に選択された駆動電圧は、信号ライン駆動回路40₀のS D R V₀₋₁に供給される。同様に、他の信号ラインS₂~S₂₄についても、駆動電圧の供給が行われる。

30

【0188】

本実施形態では、D A Cイネーブル信号D A C e nが、イネーブル信号d a c e n₀と、ブロック出力選択レジスタのブロックB₀の信号ラインをハイインピーダンス状態にするか否かを示すブロック出力選択データB L K (B L K₀)との論理積により生成される。このイネーブル信号d a c e n₀は、信号ドライバ30の図示しない制御回路で生成されたD A C制御信号d a c e nと、パーシャル表示選択レジスタのブロックB₀のパーシャル表示の可否を示すパーシャル表示データP A R T (P A R T₀)との論理積により生成される。

40

【0189】

すなわち、D A Cイネーブル信号D A C e nは、ブロック出力選択データB L K (B L K₀)が「0」の場合には、パーシャル表示データP A R T (P A R T₀)の設定値にかかわらず、B L K₀の駆動電圧生成回路38₀は動作を停止する。また、ブロック出力選択データB L K (B L K₀)が「1」の場合には、パーシャル表示エリアとして設定された場合にのみD A C動作を行う一方、パーシャル非表示エリアとして設定された場合、D A C動作を停止してラダー抵抗に流れる電流消費を削減する。

【0190】

なお、このD A Cイネーブル信号D A C e nは、他の信号ラインS₂~S₂₄に対応するD A C₀₋₂~D A C₀₋₂₄にも同様に供給され、ブロック単位でD A Cの動作制御が行われる

50

。

【0191】

3.7 信号駆動回路

信号ライン駆動回路40₀のSDRV₀₋₁は、インピーダンス変換手段としてのボルテージフォロワ接続されたオペアンプOP₀₋₁と、パーシャル非表示レベル電圧供給回路VG₀₋₁を含む。

【0192】

3.7.1 オペアンプ

ボルテージフォロワ接続されたオペアンプOP₀₋₁は、その出力端子が負帰還され、オペアンプの入力インピーダンスも極めて大きくなり、入力電流はほとんど流れなくなる。そして、オペアンプイネーブル信号OPenが論理レベル「H」のときに、DAC₀₋₁によって生成された駆動電圧をインピーダンス変換して、信号ラインS₁を駆動する。これにより、信号ラインS₁の出力負荷に依存することなく、信号駆動を行うことができる。

10

【0193】

本実施形態では、オペアンプイネーブル信号OPenが、イネーブル信号open₀と、ブロック出力選択レジスタのブロックB₀の信号ラインをハイインピーダンス状態にするか否かを示すブロック出力選択データBLK(BLK₀′)との論理積により生成される。このイネーブル信号open₀は、信号ドライバ30の図示しない制御回路で生成されたDAC制御信号dacenと、パーシャル表示選択レジスタのブロックB₀のパーシャル表示の可否を示すパーシャル表示データPART(PART₀′)との論理積により生成される。

20

【0194】

すなわち、オペアンプイネーブル信号OPenは、ブロック出力選択データBLK(BLK₀′)が「0」の場合には、パーシャル表示データPART(PART₀′)の設定値にかかわらず、BLK₀のオペアンプは動作を停止する(オペアンプの電流源を停止して、消費電流を削減する)。また、ブロック出力選択データBLK(BLK₀′)が「1」の場合には、パーシャル表示エリアとして設定された場合にのみ駆動電圧生成回路で生成された駆動電圧を、インピーダンス変換して対応する信号ラインを駆動する一方、パーシャル非表示エリアとして設定された場合、オペアンプの動作を停止して、電流消費を削減する。

30

【0195】

図24に、ボルテージフォロワ接続されたオペアンプOP₀₋₁の構成の一例を示す。

【0196】

このオペアンプOP₀₋₁は、差動増幅部160₀₋₁と、出力増幅部170₀₋₁を含む。このオペアンプOP₀₋₁は、オペアンプイネーブル信号OPenにしたがって、DAC₀₋₁から供給された入力電圧VINをインピーダンス変換して、出力電圧VOUTを出力する。

【0197】

差動増幅部160₀₋₁は、第1及び第2の差動増幅回路162₀₋₁、164₀₋₁を含む。

【0198】

第1の差動増幅回路162₀₋₁は、p型トランジスタQP1、QP2と、n型トランジスタQN1、QN2を少なくとも含む。

40

【0199】

第1の差動増幅回路162₀₋₁において、p型トランジスタQP1、QP2のソース端子は、電源電圧レベルVDDに接続されている。また、p型トランジスタQP1、QP2のゲート端子は互いに接続され、これらゲート端子はさらにp型トランジスタQP1のドレイン端子に接続されてカレントミラー構造となっている。p型トランジスタQP1のドレイン端子は、n型トランジスタQN1のドレイン端子に接続される。p型トランジスタQP2のドレイン端子は、n型トランジスタQN2のドレイン端子に接続される。

【0200】

n型トランジスタQN1のゲート端子には、出力電圧VOUTが供給され、負帰還されて

50

いる。n型トランジスタQN2のゲート端子には、入力電圧VINが供給されている。

【0201】

n型トランジスタQN1、QN2のソース端子は、基準電圧選択信号VREFN1～VREFN3のいずれかが論理レベル「H」になることで形成される電流源166₀₋₁を介して、接地レベルVSSに接続される。

【0202】

第2の差動増幅回路164₀₋₁は、p型トランジスタQP3、QP4と、n型トランジスタQN3、QN4を少なくとも含む。

【0203】

第2の差動増幅回路164₀₋₁において、n型トランジスタQN3、QN4のソース端子は、接地レベルVSSに接続されている。また、n型トランジスタQN3、QN4のゲート端子は互いに接続され、これらゲート端子はさらにn型トランジスタQN3のドレイン端子に接続されてカレントミラー構造となっている。n型トランジスタQN3のドレイン端子は、p型トランジスタQP3のドレイン端子に接続される。n型トランジスタQN4のドレイン端子は、p型トランジスタQP4のドレイン端子に接続される。

10

【0204】

p型トランジスタQP3のゲート端子には、出力電圧VOUTが供給され、負帰還されている。p型トランジスタQP4のゲート端子には、入力電圧VINが供給されている。

【0205】

p型トランジスタQP3、QP4のソース端子は、基準電圧選択信号VREFP1～VREFP3のいずれかが論理レベル「L」になることで形成される電流源168₀₋₁を介して、電源電圧レベルVDDに接続される。

20

【0206】

また、出力増幅部170₀₋₁は、p型トランジスタQP11、QP12、n型トランジスタQN11、QN12を含む。

【0207】

出力増幅部170₀₋₁において、p型トランジスタQP11のソース端子には電源電圧レベルVDDが接続され、ゲート端子にはオペアンプイネーブル信号Openが供給される。また、p型トランジスタQP11のドレイン端子は、p型トランジスタQP2のドレイン端子と、p型トランジスタQP12のゲート端子に接続される。

30

【0208】

p型トランジスタQP12のソース端子は、駆動電圧レベルVDD_DRVに接続され、ドレイン端子から出力電圧VOUTが出力される。

【0209】

また、n型トランジスタQN11のソース端子に接地レベルVSSが接続され、ゲート端子にオペアンプイネーブル信号Openの反転信号が供給される。また、n型トランジスタQN11のドレイン端子は、n型トランジスタQN4のドレイン端子と、n型トランジスタNP12のゲート端子に接続される。

【0210】

n型トランジスタQN12のソース端子は駆動接地レベルVSS_DRVに接続され、ドレイン端子から出力電圧VOUTが出力される。

40

【0211】

図25に、第1及び第2の差動増幅回路162₀₋₁、164₀₋₁に供給される基準電圧選択信号生成回路の構成の概要を示す。

【0212】

本実施形態では、基準電圧選択信号VREF1～VREF3により、出力負荷に応じた最適な電流駆動能力を有する電流源を形成することができるようになっている。そのため、基準電圧選択信号生成回路は、基準電圧選択信号VREF1～VREF3により、p型トランジスタ用の基準電圧選択信号VREFP1～VREFP3と、n型トランジスタ用の基準電圧選択信号VREFN1～VREFN3を生成する。

50

【0213】

この際、オペアンプイネーブル信号O P e nの論理レベルが「H」のときにのみ、基準電圧選択信号V R E F 1 ~ V R E F 3の状態に応じて、p型トランジスタ用の基準電圧選択信号V R E F P 1 ~ V R E F P 3と、n型トランジスタ用の基準電圧選択信号V R E F N 1 ~ V R E F N 3により、電流源166₀₋₁、168₀₋₁を制御する。一方、オペアンプイネーブル信号O P e nの論理レベルが「L」のときには、基準電圧選択信号V R E F 1 ~ V R E F 3をマスクする。そのため、電流源166₀₋₁、168₀₋₁は、電流源に流れる電流がなくなり、差動増幅動作を停止する。

【0214】

次に、このような構成のボルテージフォロワ接続されたオペアンプO P₀₋₁の動作の概要を説明する。

10

【0215】

オペアンプイネーブル信号O P e nの論理レベルが「H」の場合、出力電圧V O U Tが入力電圧V I Nより低いとき、第1の差動増幅回路162₀₋₁において、n型トランジスタQ N 2のドレイン端子が低くなって、p型トランジスタQ P 1 2を介して出力電圧V O U Tの電位を高くする。

【0216】

これに対して、出力電圧V O U Tが入力電圧V I Nより高い場合、第2の差動増幅回路164₀₋₁において、p型トランジスタQ P 4のドレイン端子の電位が高くなって、n型トランジスタQ N 1 2を介して出力電圧V O U Tの電位を低くする。

20

【0217】

一方、オペアンプイネーブル信号O P e nの論理レベルが「L」の場合、図25に示したように基準電圧選択信号V R E F 1 ~ V R E F 3がマスクされるため、電流源166₀₋₁、168₀₋₁の各トランジスタはオフとなるとともに、p型トランジスタQ P 1 1のドレイン端子が電源電圧レベルV D Dに接続され、n型トランジスタQ N 1 1のドレイン端子が接地レベルV S Sに接続される。したがって、出力電圧V O U Tはハイインピーダンス状態となる。この場合、本来出力電圧V O U Tが供給される信号ラインには、後述するパーシャル非表示レベル電圧供給回路V G₀₋₁により生成された所与のパーシャル非表示レベル電圧が供給されることになる。

【0218】

3.7.2 パーシャル非表示レベル電圧供給回路

パーシャル非表示レベル電圧供給回路V G₀₋₁は、非表示レベル電圧供給イネーブル信号L E V e nが論理レベル「H」の場合に、上述したパーシャル表示選択レジスタにおいて非表示エリア（出力がオフ）に設定されたとき、信号ラインに供給する所与の非表示レベル電圧V_{PART-LEVEL}を生成する。

30

【0219】

ここで、非表示レベル電圧V_{PART-LEVEL}は、画素の透過率が変化する所与の閾値V_{CL}と、この画素電極に対向する対向電極の対向電極電圧V_{com}に対して、次の(1)式の関係性を有する。

【0220】

$$|V_{\text{PART-LEVEL}} - V_{\text{com}}| < V_{\text{CL}} \quad \dots (1)$$

40

【0221】

すなわち、非表示レベル電圧V_{PART-LEVEL}は、駆動対象の信号ラインに接続されたT F Tのドレイン電極に接続される画素電極に印加された場合、液晶容量の印加電圧が、所与の閾値V_{CL}を越えないような電圧レベルとなっている。

【0222】

なお、この非表示レベル電圧V_{PART-LEVEL}は、電圧レベルの生成及び制御の容易さから、対向電極電圧V_{com}と同等の電圧レベルであることが望ましい。したがって、本実施形態では、対向電極電圧V_{com}と同等の電圧レベルを供給する。この場合、LCDパネル20の非表示エリアには、液晶がオフのときの色が表示される。

50

【 0 2 2 3 】

また、本実施形態における非表示レベル電圧供給回路 $V_{G_{0-1}}$ は、階調レベル電圧の両端の電圧レベル V_0 若しくは V_8 のいずれかを非表示レベル電圧 $V_{PART-LEVEL}$ として選択出力することができるようになっている。ここで、階調電圧レベルの両端の電圧レベル V_0 若しくは V_8 は、反転駆動方式によりフレームごとに交互に出力するための電圧レベルである。本実施形態では、ユーザによって指定された選択信号 SEL により、非表示レベル電圧 $V_{PART-LEVEL}$ として、上述した対向電極電圧 V_{com} が、階調レベル電圧の両端の電圧レベル V_0 若しくは V_8 かを選択できるようにする。これにより、ユーザは、非表示エリアの色の選択の自由度を高めることができる。

【 0 2 2 4 】

本実施形態では、非表示レベル電圧供給イネーブル信号 $LEVEN$ が、信号ドライバ 30 の図示しない制御回路で生成された非表示レベル電圧供給回路制御信号 $leven$ と、パースシャル表示選択レジスタのブロック B0 のパースシャル表示の可否を示すパースシャル表示データ $PART(PART0')$ の反転との論理積により生成される。すなわち、非表示エリア（出力がオフ）として設定された場合にのみ所与の非表示レベル電圧を信号ラインに駆動し、表示エリア（出力がオン）として設定された場合、非表示レベル電圧供給回路 $V_{G_{0-1}}$ の出力はハイインピーダンス状態となって信号ラインの駆動を行わない。

【 0 2 2 5 】

なお、このオペアンブイネーブル信号 $OPEN$ 及び非表示レベル電圧供給イネーブル信号 $LEVEN$ は、他の信号ライン $S_2 \sim S_{24}$ に対応する $SDRV_{0-2} \sim SDRV_{0-24}$ にも同様に供給され、ブロック単位で信号ラインの駆動制御が行われる。

【 0 2 2 6 】

図 26 に、本実施形態における非表示レベル電圧供給回路 $V_{G_{0-1}}$ の構成の一例を示す。

【 0 2 2 7 】

非表示レベル電圧供給回路 $V_{G_{0-1}}$ は、非表示レベル電圧供給イネーブル信号 $LEVEN$ により対向電極電圧と同等の電圧 V_{com} を出力するためのトランスファー回路 180_{0-1} 、インバータ回路 182_{0-1} と、スイッチ回路 $SW2$ を含む。

【 0 2 2 8 】

インバータ回路 182_{0-1} は、互いにドレイン端子が接続された n 型トランジスタ $QN21$ 及び p 型トランジスタ $QP21$ を含む。n 型トランジスタ $QN21$ のソース端子には、電圧レベル V_8 が接続される。p 型トランジスタ $QP21$ のソース端子には、電圧レベル V_0 が接続される。n 型トランジスタ $QN21$ のゲート端子及び p 型トランジスタ $QP21$ のゲート端子は、XOR 回路 184_{0-1} が接続される。XOR 回路 184_{0-1} は、極性反転のタイミングを示す極性反転信号 POL と、現在の位相を示す $Phase$ との排他的論理和が演算される。

【 0 2 2 9 】

このようなインバータ回路 182_{0-1} は、極性反転信号 POL のタイミングにしたがって、現在の位相を示す $Phase$ の論理レベルが反転し、電圧レベル V_0 若しくは V_8 のいずれかがスイッチ回路 $SW2$ に供給される。

【 0 2 3 0 】

スイッチ回路 $SW2$ は、選択信号 SEL によって、トランスファー回路 180_{0-1} の出力、インバータ回路 182_{0-1} の出力、又はハイインピーダンス状態のいずれか 1 つを非表示レベル電圧 $V_{PART-LEVEL}$ として出力する。

【 0 2 3 1 】

3.8 動作例

図 27 に、本実施形態における信号ドライバ 30 の各部の上述した制御内容を示す。

【 0 2 3 2 】

本実施形態における信号ドライバ 30 では、図 17 及び図 18 に示したようにブロック出力選択レジスタ 148 及びパースシャル表示選択レジスタ 150 において、ブロック単位にブロック出力をするか否か、パースシャル表示をするか否かを選択することができる。

10

20

30

40

50

【0233】

ブロック出力選択レジスタ148でブロック出力非選択(BLK=0)を設定した場合、当該ブロックのパーシャル表示データの設定値にかかわらず、シフトレジスタにおいて画像データのバイパスを行うとともに、当該ブロックの信号ラインに対応して設けられている駆動電圧生成回路及び信号ライン駆動回路の動作を停止させる。

【0234】

一方、ブロック出力選択レジスタ148でブロック出力選択(BLK=1)を設定した場合、当該ブロックのパーシャル表示データの設定値にかかわらず、シフトレジスタにおいて画像データのバイパス機能をオフにする。

【0235】

この場合、パーシャル表示選択(PART=1)が設定されている場合は、駆動電圧生成回路及びオペアンプを動作させ、非表示レベル電圧供給回路の動作を停止させる。

【0236】

また、パーシャル表示非選択(PART=0)が設定されている場合は、駆動電圧生成回路及びオペアンプの動作を停止させ、非表示レベル電圧供給回路で生成した非表示レベル電圧を当該ブロックの信号ラインに供給する。

【0237】

図28に、本実施形態における信号ドライバ30の動作の一例を示す。

【0238】

シフトレジスタは、クロック信号CLKに同期して、イネーブル入出力信号EIOがシフトされて、EIO1~EIO L(Lは、2以上の自然数)を生成する。そして、各EIO1~EIO Lに同期してラインラッチに、画像データ(DIO)が順次ラッチされる。

【0239】

ラインラッチ36は、水平同期信号LPの立ち上がり同期して、一水平走査単位の画像データをラッチし、その立ち下がりからDAC38及び信号ライン駆動回路40により信号ラインの駆動を行う。

【0240】

本実施形態では、上述したようにブロック単位で画像データに基づいて信号ラインの駆動を行うか否かを選択できるようになっており、これにより表示エリア及び非表示エリアの設定が可能となる。表示エリアに設定されたブロックの信号ラインについては、階調データに基づいて生成された駆動電圧に基づいて信号ラインが駆動される。非表示エリアに設定されたブロックの信号ラインについては、対向電極電圧Vcom若しくは、階調電圧レベルの両端の電圧のうち的一方が選択出力される。

【0241】

また、ブロック出力非選択が選択されたブロックの信号ラインは、ハイインピーダンス状態に設定される(図示せず)。

【0242】

このような本実施系形態における信号ドライバを用いることにより、液晶パネルのサイズの種類が変更になっても、柔軟に対応でき、低消費電力化を図る信号駆動回路を提供することができる。しかも、再度設計変更する必要がないので、市場投入を遅らせることなく、製品の提供を行うことができる。

【0243】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述したLCDパネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用可能である。

【0244】

また、本実施形態では、隣接する24出力を1ブロックとして分割するものとして説明したが、これに限定されるものではない。24出力以下であっても良い、24出力以上であっても良い。また、隣接する複数の信号ラインごとに分割する必要もなく、所与の信号ライン間隔で選択した複数の信号ラインを1ブロックとして扱うようにしても良い。

10

20

30

40

50

【 0 2 4 5 】

さらにまた、本実施形態における信号ドライバは、ライン反転駆動方式に限らず、フレーム反転駆動方式にも適用することができる。

【 0 2 4 6 】

また、本実施形態では、表示装置に、LCDパネル、走査ドライバ及び信号ドライバを含むように構成したが、これに限定されるものではない。例えば、LCDパネルに、走査ドライバ及び信号ドライバを含んで構成するようにしても良い。

【 0 2 4 7 】

さらに、本実施形態では、TFT液晶を用いたアクティブマトリクス型液晶パネルを例に説明したが、これに限定されるものではない。

10

【 図面の簡単な説明 】

【 図 1 】 本実施形態における信号駆動回路（信号ドライバ）を適用した表示装置の構成の概要を示すブロック図である。

【 図 2 】 図 1 に示した信号ドライバの構成の概要を示すブロック図である。

【 図 3 】 図 1 に示した走査ドライバの構成の概要を示すブロック図である。

【 図 4 】 図 1 に示したLCDコントローラの構成の概要を示すブロック図である。

【 図 5 】 図 5 (A) は、フレーム反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 V_{com} の波形を模式的に示す模式図である。図 5 (B) は、フレーム反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示す模式図である。

20

【 図 6 】 図 6 (A) は、ライン反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 V_{com} の波形を模式的に示す模式図である。図 6 (B) は、ライン反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示す模式図である。

【 図 7 】 液晶装置のLCDパネルの駆動波形の一例を示す説明図である。

【 図 8 】 図 8 (A)、(B) は、LCDパネルと信号ドライバとの接続関係を模式的に示す説明図である。

【 図 9 】 1 フレーム分の画像をLCDパネルに表示させる場合の問題点を説明するための説明図である。

【 図 10 】 図 10 (A)、(B) は、本実施形態における画像データのバイパス動作の一例を示す説明図である。

30

【 図 11 】 図 11 (A)、(B)、(C) は、本実施形態における信号ドライバにより実現したパーシャル表示の一例を模式的に示す説明図である。

【 図 12 】 図 12 (A)、(B)、(C) は、本実施形態における信号ドライバにより実現したパーシャル表示の他の例を模式的に示す説明図である。

【 図 13 】 図 13 (A)、(B)、(C) は、本実施形態における信号ライン駆動回路の制御内容を模式的に示す説明図である。

【 図 14 】 図 14 (A)、(B) は、LCDパネルに対して異なる位置に実装される信号ドライバを模式的に示す説明図である。

【 図 15 】 図 15 (A)、(B)、(C) は、ラインラッチに保持された画像データと、ブロックの対応関係を模式的に示す説明図である。

40

【 図 16 】 本実施形態における信号ドライバにおいて制御されるブロック単位の構成の概要を示す構成図である。

【 図 17 】 本実施形態における信号ドライバが有するブロック出力選択レジスタを示す説明図である。

【 図 18 】 本実施形態における信号ドライバが有するパーシャル表示選択レジスタを示す説明図である。

【 図 19 】 本実施形態におけるブロックデータ入れ替え回路の構成の一例を示す構成図である。

【 図 20 】 図 20 (A)、(B) は、本実施形態におけるデータバイパス回路の動作の一

50

例を模式的に示す説明図である。

【図 2 1】図 2 1 (A)、(B) は、本実施形態におけるデータバイパス回路の動作の他の例を模式的に示す説明図である。

【図 2 2】本実施形態におけるシフトレジスタを構成する S R の構成の一例を示す構成図である。

【図 2 3】本実施形態における D A C によって生成される階調電圧を説明するための説明図である。

【図 2 4】本実施形態におけるボルテージフォロワ接続されたオペアンプ O P の構成の一例を示す回路構成図である。

【図 2 5】本実施形態におけるボルテージフォロワ接続されたオペアンプ O P の第 1 及び第 2 の差動増幅回路に供給される基準電圧選択信号生成回路の構成の一例を示す回路構成図である。 10

【図 2 6】本実施形態における非表示レベル電圧供給回路の構成の一例を示す構成図である。

【図 2 7】本実施形態における信号ドライバの制御内容を示す説明図である。

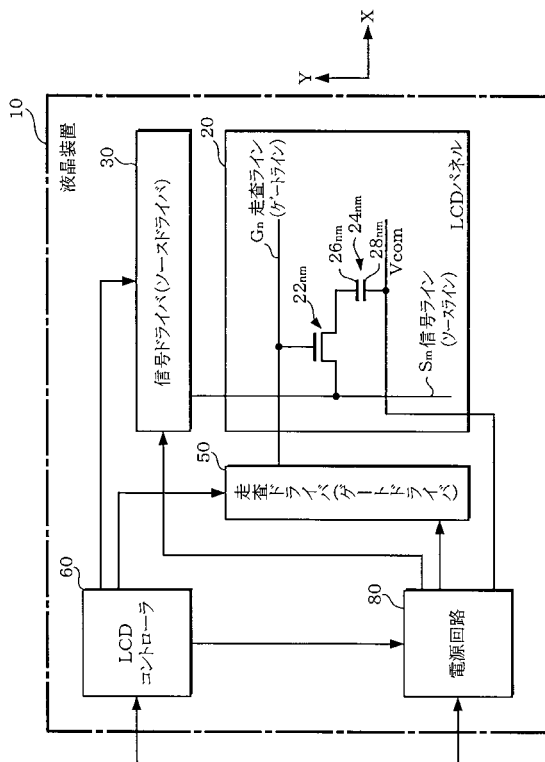
【図 2 8】本実施形態における信号ドライバの動作波形の一例を示すタイミング図である。

【符号の説明】

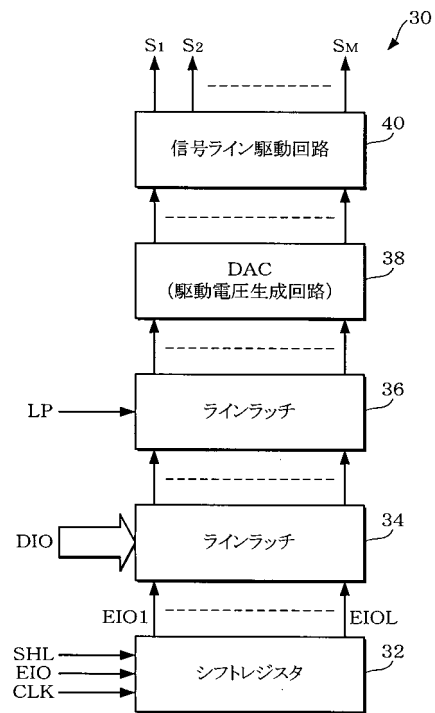
1 0	液晶装置 (表示装置)	
2 0	L C D パネル (電気光学装置)	20
2 2 _{nm}	T F T	
2 4 _{nm}	液晶容量	
2 6 _{nm}	画素電極	
2 8 _{nm}	対向電極	
3 0	信号ドライバ	
3 2、5 2、1 4 0、1 4 0 ₀	シフトレジスタ	
3 4、3 6、3 6 ₀	ラインラッチ	
3 8、3 8 ₀	駆動電圧生成回路 (D A C)	
4 0、4 0 ₀	信号ライン駆動回路	
5 0	走査ドライバ	30
5 4、5 6	L / S	
5 8	走査ライン駆動回路	
6 0	L C D コントローラ	
6 2	制御回路	
6 4	R A M	
6 6	ホスト I / O	
6 8	L C D I / O	
7 0	コマンドシーケンサ	
7 2	コマンド設定レジスタ	
7 4	コントロール信号生成回路	40
8 0	電源回路	
1 0 0 B、1 0 8 B、1 2 0 B、1 2 8 B	非表示エリア	
1 0 2 A、1 0 6 A、1 2 2 A、1 2 6 A	表示エリア	
1 4 2 ₀	データバイパス回路	
1 4 8	ブロック出力選択レジスタ	
1 5 0	パーシャル表示選択レジスタ	
1 6 0 ₀	差動増幅部	
1 6 2 ₀	第 1 の差動増幅回路	
1 6 4 ₀	第 2 の差動増幅回路	
1 6 6 ₀ 、1 6 8 ₀	電流源	50

- 170₀ 出力増幅部
- 180₀ トランスファー回路
- 182₀ インバータ回路
- 184₀ XOR回路
- CLK クロック信号
- DACen DACイネーブル信号
- dacen DAC制御信号
- EIO イネーブル入出力信号
- LEven 非表示レベル電圧供給イネーブル信号
- leven 非表示レベル電圧供給回路制御信号
- LP 水平同期信号
- Open オペアンプイネーブル信号
- open オペアンプ制御信号
- POL 極性反転信号
- SHL シフト方向切り替え信号
- XOE V 出力イネーブル信号

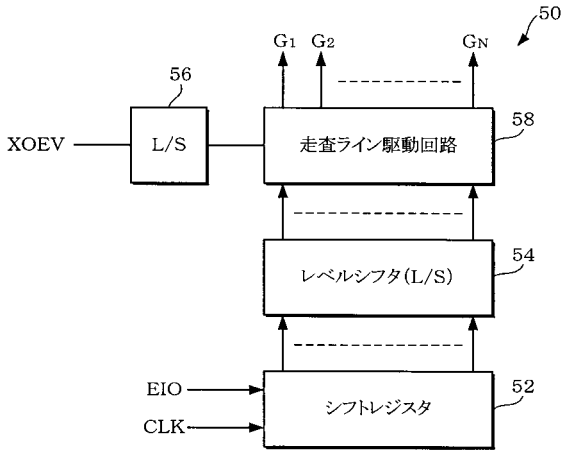
【 図 1 】



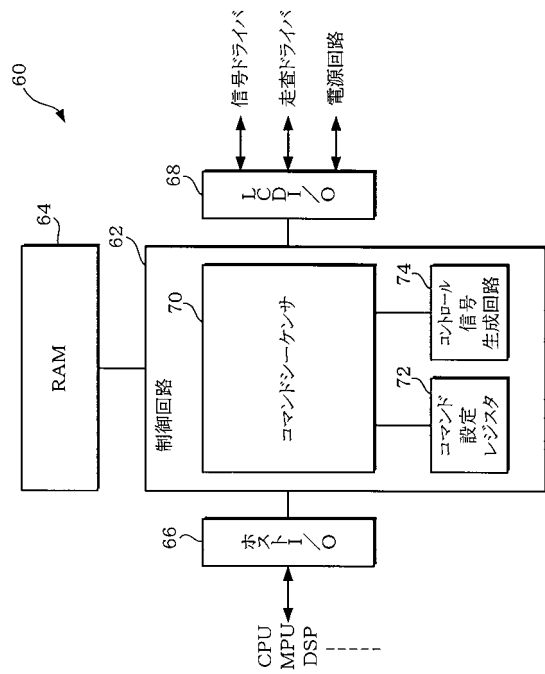
【 図 2 】



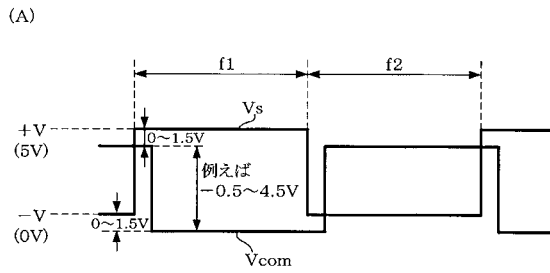
【図3】



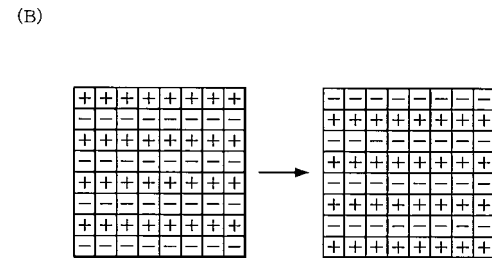
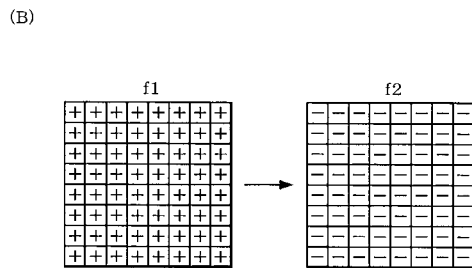
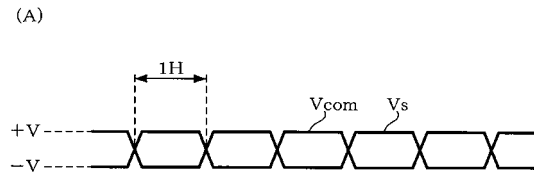
【図4】



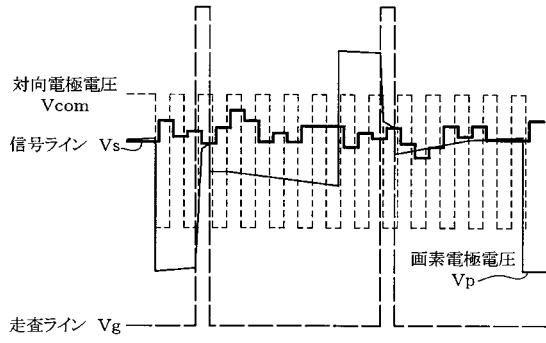
【図5】



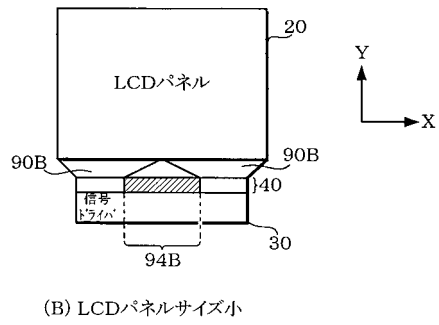
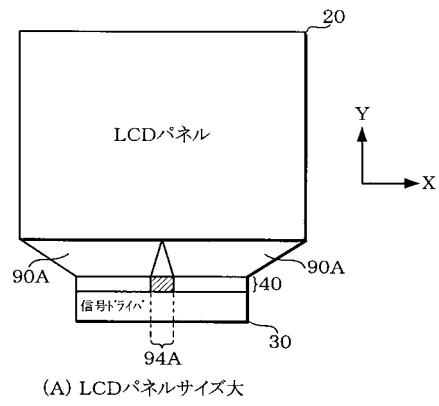
【図6】



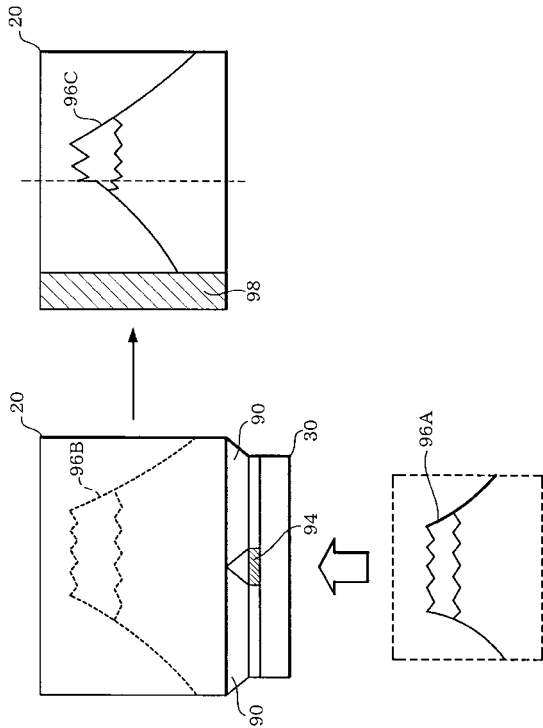
【 図 7 】



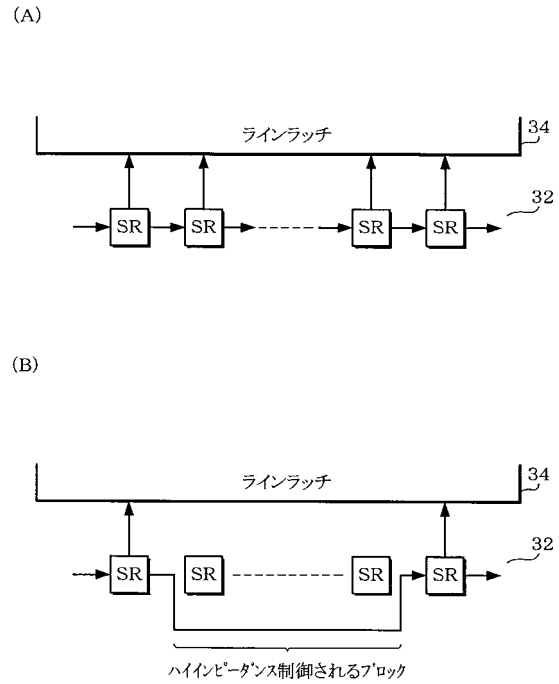
【 図 8 】



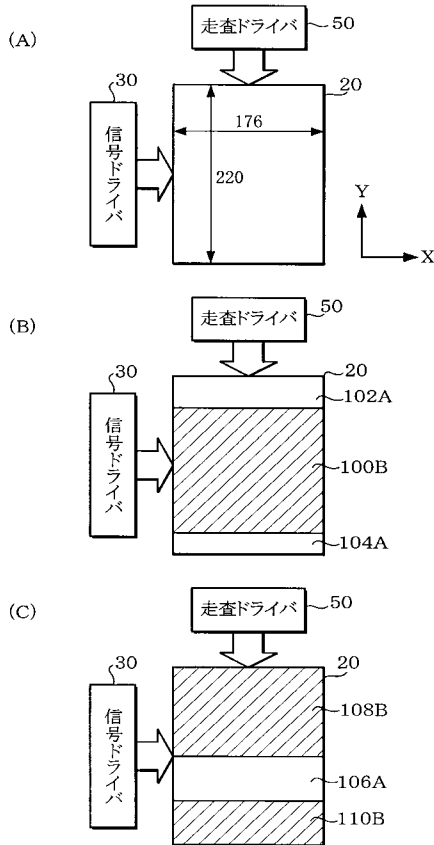
【 図 9 】



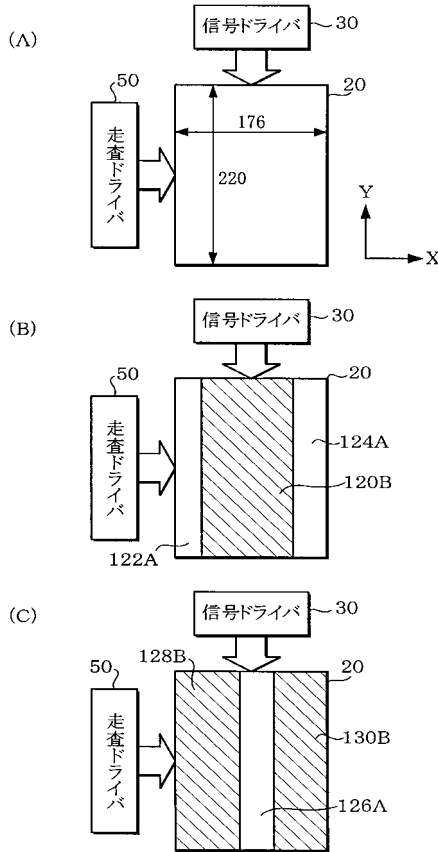
【 図 10 】



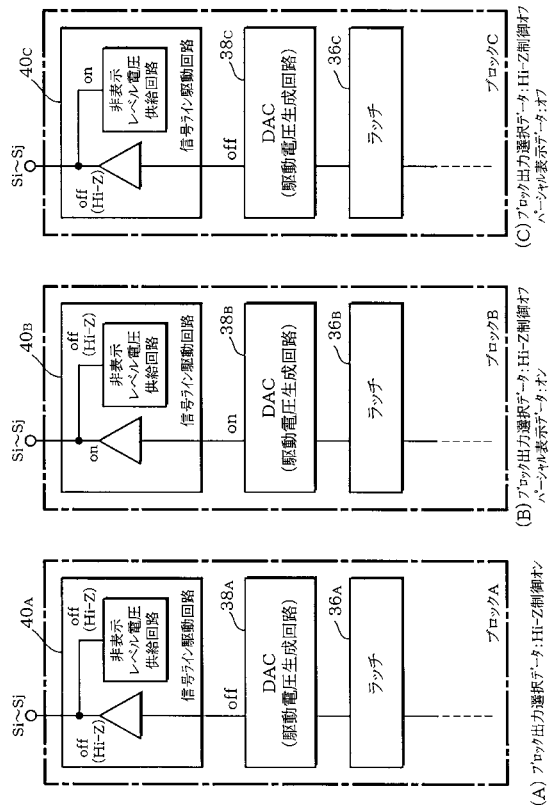
【 図 1 1 】



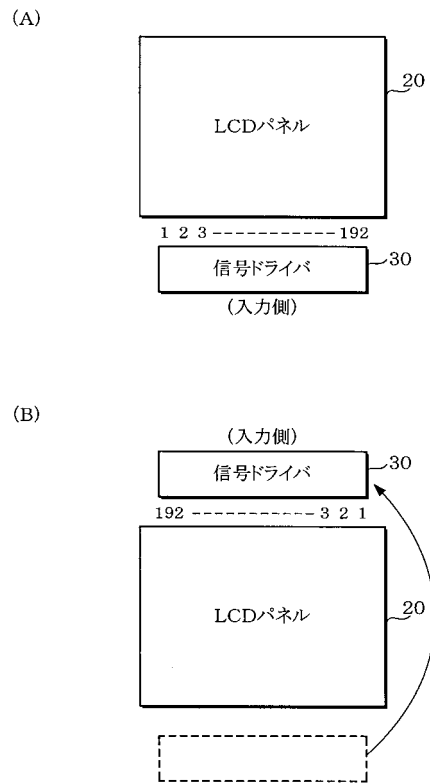
【 図 1 2 】



【 図 1 3 】

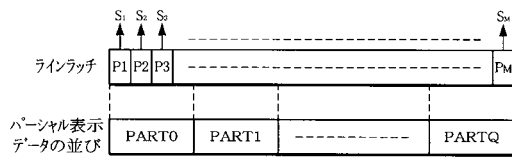


【 図 1 4 】



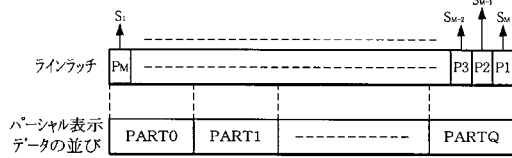
【図15】

(A) SHL=「H」



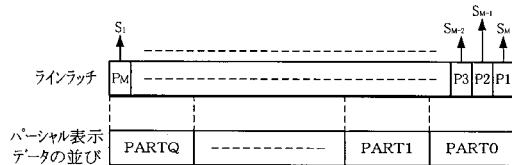
(B) SHL=「L」

データ入れ替えなし

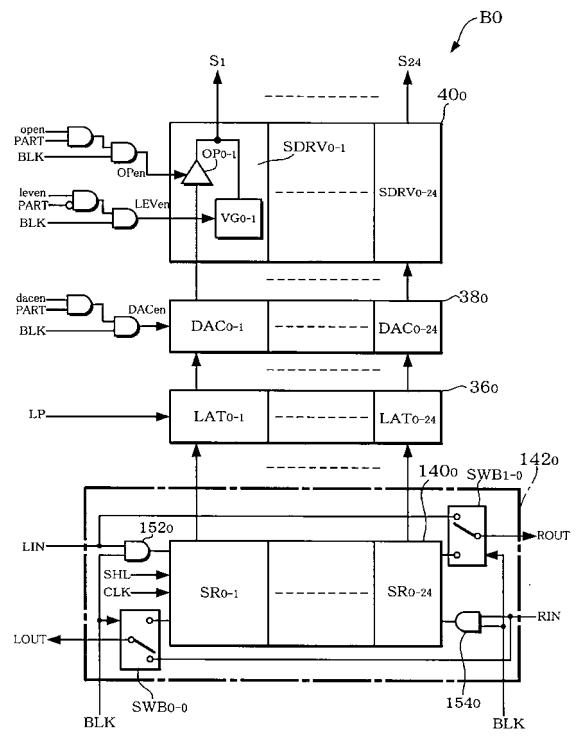


(C) SHL=「L」

データ入れ替えあり

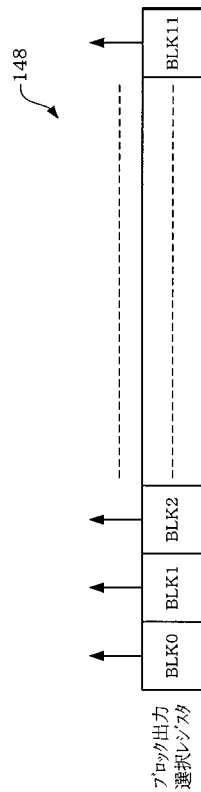


【図16】



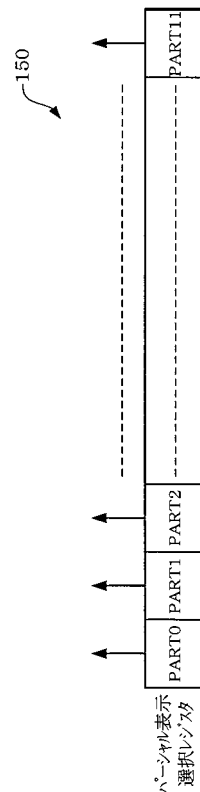
信号ドライバの構成(ブロック単位)

【図17】



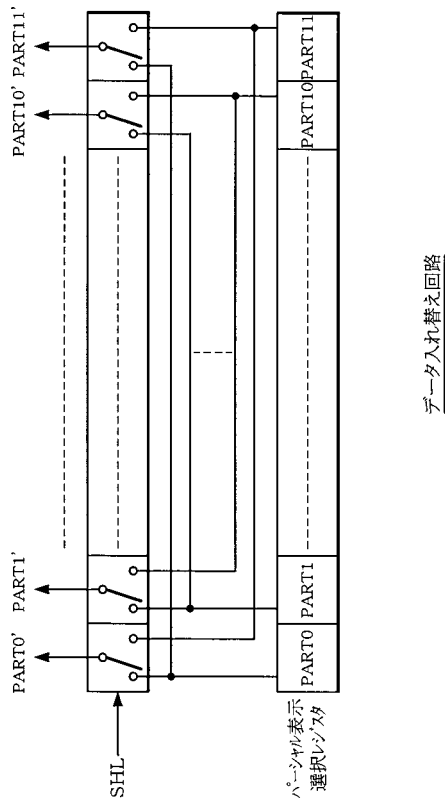
ブロック出力
選択レジスタ

【図18】

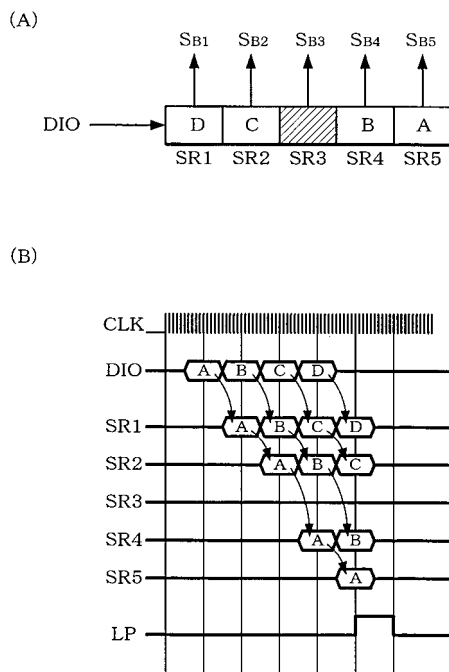


パージナル表示
選択レジスタ

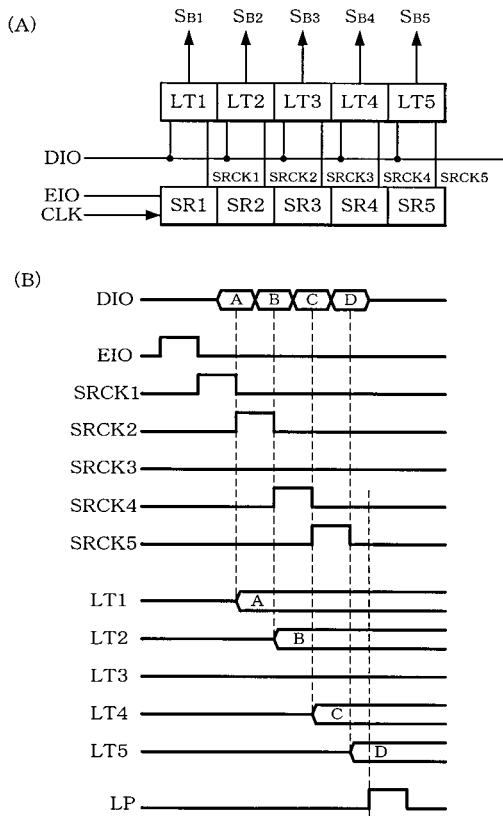
【 図 19 】



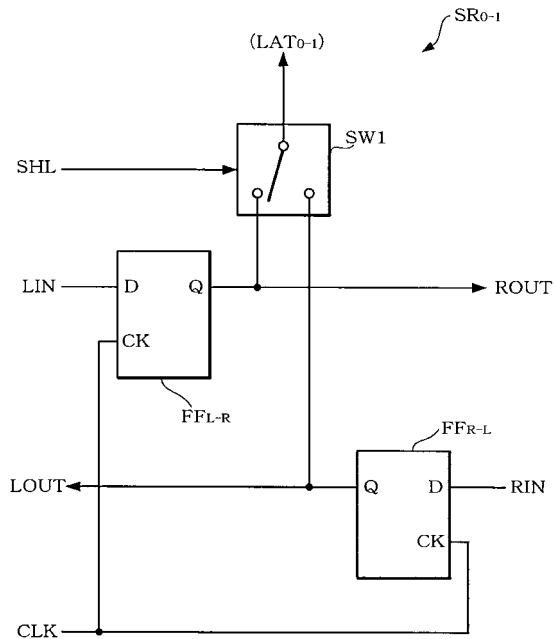
【 図 20 】



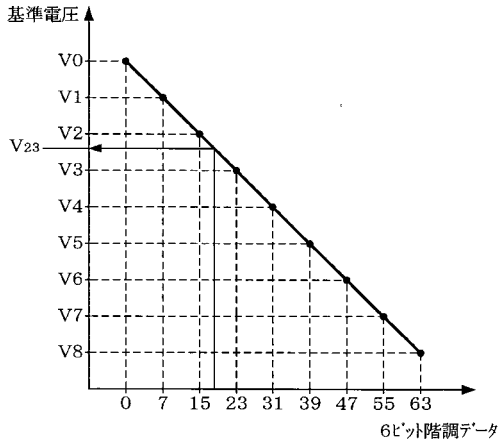
【 図 21 】



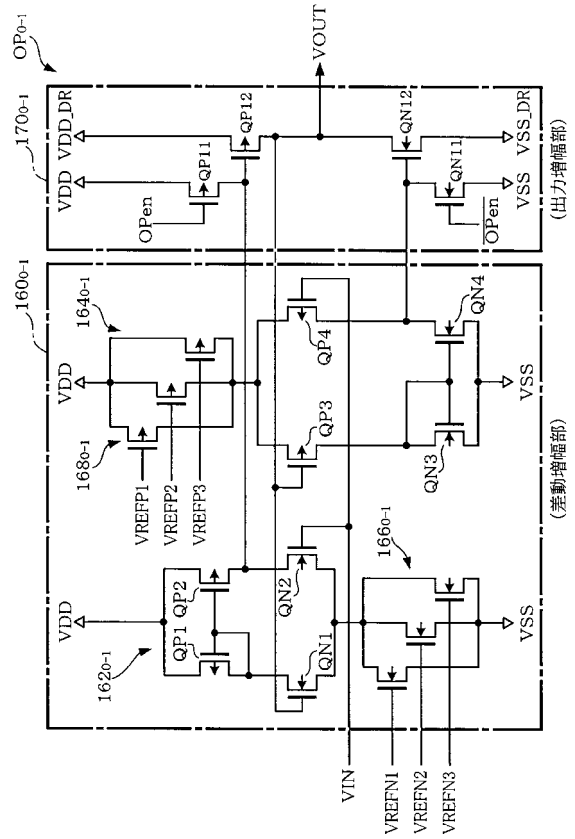
【 図 22 】



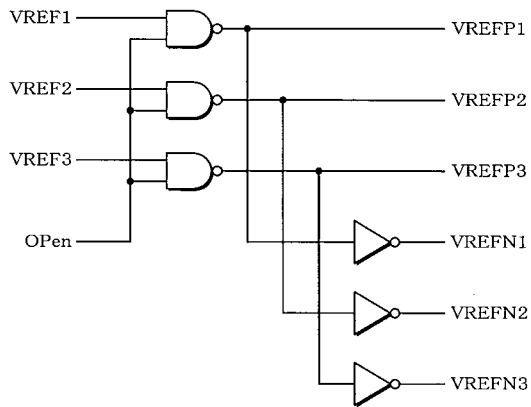
【 図 2 3 】



【 図 2 4 】

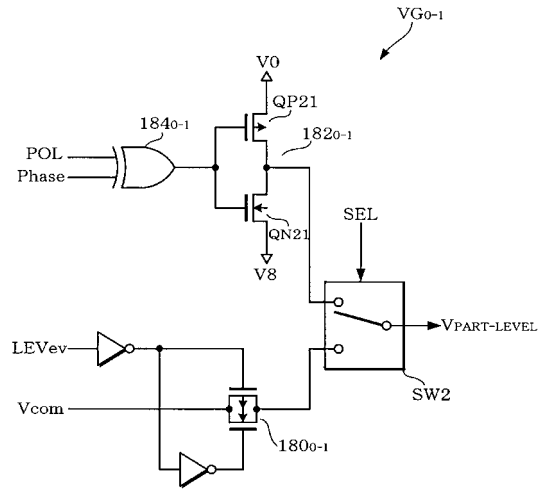


【 図 2 5 】



基準電圧選択信号生成回路

【 図 2 6 】

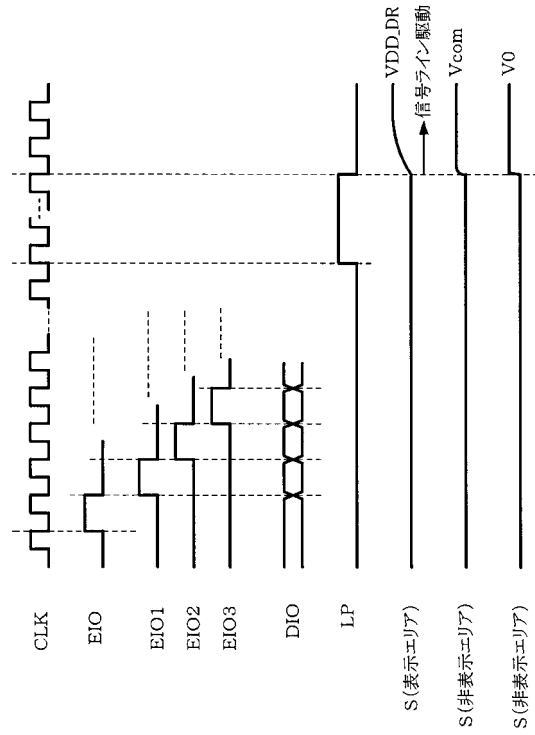


非表示レベル電圧供給回路

【 図 2 7 】

ブロック出力 選択レジスタ	ハッシュ表示 選択レジスタ	データハイパス	DAC	オプアンプ	ハッシュ非表 示レベル出力
ブロック出力 選択 (BLK=1)	ハッシュ 表示選択 (PART=1)	disable	enable	enable	disable
	ハッシュ 表示非選択 (PART=0)	disable	disable	disable	enable
ブロック出力非選択 (BLK=0)	ハッシュ 表示選択 (PART=1)	enable	disable	disable	disable
	ハッシュ 表示非選択 (PART=0)	enable	disable	disable	disable

【 図 2 8 】



フロントページの続き

- (56)参考文献 特開平10 - 161595 (JP, A)
国際公開第97/022036 (WO, A1)
特開2002 - 162946 (JP, A)
特開2001 - 125071 (JP, A)
特開平11 - 183880 (JP, A)
特開平08 - 286170 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00- 3/38
G02F 1/133 505-580