



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I476934 B

(45)公告日：中華民國 104 (2015) 年 03 月 11 日

(21)申請案號：101126770

(22)申請日：中華民國 101 (2012) 年 07 月 25 日

(51)Int. Cl. : H01L29/786 (2006.01)

G02F1/1368 (2006.01)

(71)申請人：群康科技(深圳)有限公司(中國大陸) INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. (CN)

中國大陸

群創光電股份有限公司(中華民國) INNOLUX CORPORATION (TW)

苗栗縣竹南鎮新竹科學工業園區科學路 160 號

(72)發明人：周政旭 CHOU, CHENG HSU (TW)

(74)代理人：莊志強

(56)參考文獻：

TW 200941729A1

TW 201227834A1

審查人員：徐欽民

申請專利範圍項數：18 項 圖式數：11 共 29 頁

(54)名稱

薄膜電晶體基板、其顯示器及其製造方法

THIN FILM TRANSISTOR SUBSTRATE、DISPLAY THEREOF AND MANUFACTURING METHOD THEREOF

(57)摘要

一種薄膜電晶體基板，其包括基板及複數個薄膜電晶體。所述多個薄膜電晶體包括第一電極層、第一絕緣層、氧化物半導體層、第二電極層及第二絕緣層。第一電極層形成於基板上，其包括閘極部。第一絕緣層覆蓋第一電極層。氧化物半導體層形成於第一絕緣層上。第二電極層形成於氧化物半導體層上，其包括源極部及汲極部位於對應閘極部的兩端，源極部及汲極部之間具有第一間隔。第二絕緣層覆蓋氧化物半導體層與第二電極層。其中，第二電極層邊緣位於氧化物半導體層邊緣之內，第二電極層包括銅。

A thin film transistor substrate includes a substrate and plurality of thin film transistor. The thin film transistor includes a first electrode layer, a first insulating layer, an oxide semiconductor layer, a second electrode layer and a second insulating layer. The first electrode layer with gate portions is formed on the substrate. The first insulating layer covers the first electrode layer. The oxide semiconductor layer is formed on the first insulating layer. The second electrode layer with drain portions and source portions on the opposite side relative to the gate portion separated with a first gap is formed on the oxide semiconductor layer. The second insulating layer covers the oxide semiconductor layer and the second electrode layer. The boundary of the second electrode layer is within the boundary of the oxide semiconductor layer. The second electrode layer includes copper.

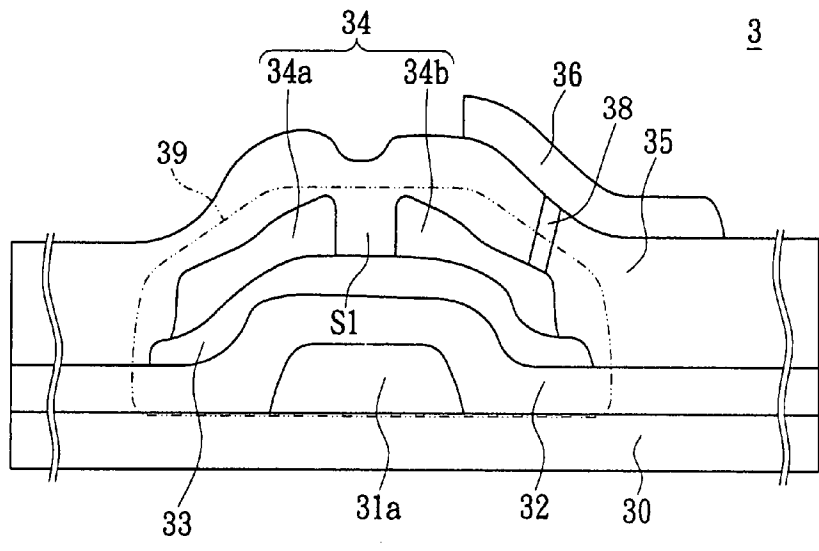


圖3

- 3 . . . 薄膜電晶體基板
- 30 . . . 基板
- 31a . . . 閘極部
- 32 . . . 第一絕緣層
- 33 . . . 氧化物半導體層
- 34 . . . 第二電極層
- 34a . . . 汲極部
- 34b . . . 源極部
- 35 . . . 第二絕緣層
- 36 . . . 畫素電極層
- 38 . . . 接觸孔洞
- 39 . . . 薄膜電晶體
- S1 . . . 第一間隔

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101126770

※申請日：

※IPC 分類：

H01L21/1786 :2006.01

一、發明名稱：101.7:25
(中文/英文)

G02F 1/368 :2006.01

薄膜電晶體基板、其顯示器及其製造方法/THIN FILM
TRANSISTOR SUBSTRATE、DISPLAY THEREOF AND
MANUFACTURING METHOD THEREOF

二、中文發明摘要：

一種薄膜電晶體基板，其包括基板及複數個薄膜電晶體。所述多個薄膜電晶體包括第一電極層、第一絕緣層、氧化物半導體層、第二電極層及第二絕緣層。第一電極層形成於基板上，其包括閘極部。第一絕緣層覆蓋第一電極層。氧化物半導體層形成於第一絕緣層上。第二電極層形成於氧化物半導體層上，其包括源極部及汲極部位於對應閘極部的兩端，源極部及汲極部之間具有第一間隔。第二絕緣層覆蓋氧化物半導體層與第二電極層。其中，第二電極層邊緣位於氧化物半導體層邊緣之內，第二電極層包括銅。

三、英文發明摘要：

A thin film transistor substrate includes a substrate and

plurality of thin film transistor. The thin film transistor includes a first electrode layer, a first insulating layer, an oxide semiconductor layer, a second electrode layer and a second insulating layer. The first electrode layer with gate portions is formed on the substrate. The first insulating layer covers the first electrode layer. The oxide semiconductor layer is formed on the first insulating layer. The second electrode layer with drain portions and source portions on the opposite side relative to the gate portion separated with a first gap is formed on the oxide semiconductor layer. The second insulating layer covers the oxide semiconductor layer and the second electrode layer. The boundary of the second electrode layer is within the boundary of the oxide semiconductor layer. The second electrode layer includes copper.

四、指定代表圖：

(一)本案指定代表圖為：圖3。

(二)本代表圖之元件符號簡單說明：

3：薄膜電晶體基板

30：基板

31a：閘極部

32：第一絕緣層

33：氧化物半導體層

34：第二電極層

34a：汲極部

34b：源極部

35：第二絕緣層

36：畫素電極層

38：接觸孔洞

39：薄膜電晶體

S1：第一間隔

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明有關於一種顯示器，且特別是有關於包含銅及氧化物半導體之薄膜電晶體基板、其顯示器及其製造方法。

【先前技術】

平面薄型的液晶顯示器或有機電激發光二極體（OLED）顯示器由於功率消耗低，因此被廣泛使用於電子設備上。主動式（Active）液晶顯示器或有機電激發光二極體顯示器上的基板上具有複數個薄膜電晶體（Thin-Film Transistor, TFT），以控制每一個畫素（pixel）單元之出光效果，顯示畫面灰階。

薄膜電晶體之主動層如果使用氧化物半導體，例如為氧化銦鎵鋅（Indium Gallium Zinc Oxide, IGZO），相較於一般常用的非晶矽（a-Si）半導體而言具有較大的電子遷移率、較低的功率消耗與較小的電晶體面積的優點，而相較於一般低溫多晶矽半導體（LTPS）而言則具有較低的製程成本與較易大型化的優點。故於大尺寸或高解析度的顯示器中，使用氧化物半導體薄膜電晶體是未來的趨勢。

如圖 1 所示的傳統顯示器其薄膜電晶體基板的剖面圖，薄膜電晶體基板 1 包括基板 10 及薄膜電晶體。薄膜電晶體包括閘極部 11、閘極絕緣層 12、中介金屬層 13、氧化物半導體層 14、源極部 15a、汲極部 15b、絕緣保護層

(passivation layer) 16、接觸孔洞 (via) 19 以及畫素電極 (pixel electrode) 17。其中，源極部 15a 與汲極部 15b 的材料為銅 (Copper, Cu)。

閘極部 11 形成於基板 10 上。閘極絕緣層 12 為矽的氧化物或氮化物 (例如 SiO_x 或 SiN_x)，且整層覆蓋基板 10 與閘極部 11。氧化物半導體層 14 形成於閘極絕緣層 12 上，且位於相對應之閘極 11 上方。

為了避免汲極部 15a 與源極部 15b 的銅離子擴散至閘極絕緣層 12 形成移動離子，影響薄膜電晶體的電特性及可靠性，因此一中介金屬層 13 會先形成於閘極絕緣層 12 上，且位於相對應之汲極部 15a 與源極部 15b 之下。除此之外，汲極部 15a、源極部 15b 的銅金屬與閘極絕緣層 12 的附著性 (adhesion) 不佳，透過中介金屬層 13 的設置，可以增加附著性避免劈裂 (peeling)。

絕緣保護層 16 為矽的氧化物或氮化物 (例如 SiO_x 或 SiN_x)，且整層覆蓋汲極部 15a、源極部 15b、氧化物半導體層 14 與閘極絕緣層 12，以達到保護絕緣的效果。接著，於絕緣保護層 16 上方定義接觸孔洞 19，並且形成於畫素電極 17 於絕緣保護層 16 上，其中接觸孔洞 19 用以使畫素電極 17 往下延伸而電性連接源極部 15b。

另外，請參照圖 2，圖 2 為另一種薄膜電晶體基板的剖面圖。相較於圖 1，圖 2 的薄膜電晶體基板 1' 之薄膜電晶體更包括蝕刻停止層 (Etch Stop Layer, ESL) 18 形成於

氧化物半導體層 14 之上，以防止蝕刻過程對氧化物半導體層 14 背通道 (back channel) 部分的傷害。

上述中介金屬層 13 例如為鉬 (Molybdenum, Mo) 或鈦 (Titanium, Ti)。在閘極絕緣層 12 形成之後，鉬或鈦會整層連續沉積並覆蓋閘極絕緣層 12，上方再覆蓋銅，接著透過蝕刻過程，將可以形成上述汲極部 15a、源極部 15b 及中介金屬層 13。然而，於蝕刻過程中，部分鉬或鈦可能未被蝕刻而殘留，因此造成薄膜電晶體電性異常甚至功能失效，影響其可靠性與良率。

【發明內容】

本發明提供一種薄膜電晶體基板，此薄膜電晶體基板包括基板及複數個薄膜電晶體。薄膜電晶體包括第一電極層、第一絕緣層、氧化物半導體層、第二電極層以及第二絕緣層。第一電極層形成於基板上，其包括閘極部。第一絕緣層覆蓋第一電極層。氧化物半導體層形成於閘極絕緣層上。第二電極層形成於氧化物半導體上，其包括源極部及汲極部位於對應閘極部的兩端，源極部及汲極部之間具有第一間隔。第二絕緣層覆蓋氧化物半導體層與第二電極層。其中，第二電極層邊緣於氧化物半導體層邊緣之內，第二電極層包括銅。

本發明提供一種顯示器，其包括顯示面板、驅動電路及外觀件。顯示面板包括薄膜電晶體基板。薄膜電晶體基

板包括基板、複數個薄膜電晶體、複數條相互平行的掃描線以及複數條相互平行的資料線。薄膜電晶體包括第一電極層、第一絕緣層、氧化物半導體層、第二電極層以及第二絕緣層。第一電極層形成於基板上，其包括閘極部。第一絕緣層覆蓋第一電極層。氧化物半導體層形成於閘極絕緣層上。第二電極層形成於氧化物半導體上，其包括源極部及汲極部位於對應閘極部的兩端，源極部及汲極部之間具有第一間隔。第二絕緣層覆蓋氧化物半導體層與第二電極層。其中，第二電極層邊緣於氧化物半導體層邊緣之內，第二電極層包括銅。

本發明提供一種薄膜電晶體基板的製造方法。首先，提供基板。接著形成第一電極層於基板上，且第一電極層包括閘極部。之後，形成第一絕緣層覆蓋第一電極層。形成氧化物半導體層於第一絕緣層上。接著，形成第二電極層於氧化物半導體層上，第二電極層包括位於對應閘極部的兩端的源極部及汲極部，源極部及汲極部之間具有第一間隔。最後，形成第二絕緣層覆蓋氧化物半導體層與第二電極層。其中，第二電極層邊緣於氧化物半導體層邊緣之內，第二電極層包括銅。

綜上所述，本發明實施例提供一種薄膜電晶體基板、其顯示器與其製造方法，其中所述薄膜電晶體的第二電極層係形成於氧化物半導體層上，且所述第二電極層與氧化物半導體層之間具有良好的黏著性。相較於傳統薄膜電晶

體，本發明實施例的薄膜電晶體使用單純的銅作為第二電極層，省略了中介金屬層，故具有較低的成本、較為簡化的製程、較佳的良率與較好的穩定度。

為使能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，但是此等說明與所附圖式僅係用來說明本發明，而非對本發明的權利範圍作任何的限制。

【實施方式】

圖 3 是本發明實施例之薄膜電晶體基板之剖面圖，而圖 4 是本發明實施例之薄膜電晶體基板的平面圖，其中圖 3 的剖面圖係根據圖 4 的剖面線 AA 進行剖面而獲得。薄膜電晶體基板 3 係由位於基板 30 上的多個矩陣排列的薄膜電晶體 39、相互平行而沿著第一軸向（例如 X 軸）排列的多條掃描線 41 與相互平行而沿著第二軸向（例如 Y 軸）向排列的多條資料線 42 所構成。掃描線 41 及資料線 42 交錯排列，並間隔形成複數畫素單元。薄膜電晶體 39 位於掃描線 41 及資料線 42 的交錯位置，藉由掃描線 41 及資料線 42 提供之驅動訊號，控制各畫素單元出光情況，以顯示灰階畫面。

薄膜電晶體基板 3 包括基板 30、薄膜電晶體 39 及畫素電極層 36。薄膜電晶體 39 包括第一電極層 31、第一絕緣層 32、氧化物半導體層 33、第二電極層 34 及第二絕緣

層 35。此實施例之薄膜電晶體 39 係為底閘極構造。

基板 30 之作用係為承載薄膜及元件，其表面必須具有足夠的平坦性，其材料可以是透光或是不透光之絕緣材料，例如是玻璃、塑膠、玻璃纖維或包覆絕緣表層的金屬薄板 (metal foil)。

圖案化之第一電極層 31 位於基板 30 上，具有導線部及閘極部 31a，其中導線部可以是掃描線 41，而閘極部凸出於掃描線 41 或是屬於掃描線 41 其中一部分，預定形成薄膜電晶體 39 之閘極 (gate)。閘極部 31a 與掃描線 41 係為電性相連。第一電極層 31 的材料可以是鋁、銅、鈾、鈦、銀、鎂等金屬，以單層、複數層疊或合金方式構成。

第一絕緣層 32 亦稱作閘極絕緣層，其位於第一電極層 31 及基板 30 的上方，且第一絕緣層 32 必須完整覆蓋第一電極層 31 以隔絕電極間的電性導通及產生適當的薄膜電晶體通道效應。第一絕緣層 32 可部分或完整覆蓋基板 30。第一絕緣層 32 的材料可以是 SiN_x 、 SiO_x 或者是其複合層疊之組合。然而本發明不限定基板 30、第一電極層 31 以及第一絕緣層 32 所使用的材料。

氧化物半導體層 33 位於第一絕緣層 32 的上方，並且部分覆蓋第一絕緣層 32，其中部分氧化物半導體層 33 必須位於相對閘極部 31a 之上，以形成薄膜電晶體之通道。氧化物半導體層 33 的材料可以是以離子鍵鍵結的半導體材料，其本身具有較高的載子遷移率，以作為感應通道之

用，例如是氧化鋅 (ZnO)、氧化銦鋅 (IZO)、氧化銦鎵鋅 (IGZO)、氧化銦錫鋅 (ITZO)、氧化鋁錫鋅 (ATZO)、氧化鈣銦鋅 (HIZO) 或其組合。

圖案化之第二電極層 34 位於氧化物半導體層 33 的上方，其對應於閘極部 31a 相對之兩端具有源極部 34b 以及汲極部 34a，源極部 34b 及汲極部 34a 之間具有第一間隔 S1 以電性分離，並產生適當之薄膜電晶體通道效應。第二電極層 34 另外具有導線部，其可以是資料線 42。此實施例第二電極層 34 之源極部 34b、汲極部 34a 與資料線 42 下方與第一絕緣層 32 之接觸面，皆具有氧化物半導體層 33 介於其中作為附著強化層，氧化物半導體層 33 面積至少大於第二電極層 34 面積，第二電極層 34 的圖形邊緣與氧化物半導體層 33 的圖形邊緣切齊或是第二電極層 34 的圖形邊緣在的氧化物半導體層 33 的圖形邊緣內。更佳的是，氧化物半導體層 33 的圖形邊緣之內，位於第二電極層 34 之資料線 42 下方的氧化物半導體層 33 圖形具有一個以上的第二間隔 S2，用以電性隔離氧化物半導體層 33 可能的導電路徑，避免漏電產生影響顯示畫面。第二電極層 34 的材料可以是鋁、銅、鈾、鈦、銀、鎂等金屬，以單層、複數層疊或合金方式構成。此實施例之第二電極層 34 為單層銅金屬。

第二絕緣層 35 位於第二電極層 34 及氧化物半導體層 33 上，且必須完整覆蓋第二電極層 34 及氧化物半導體層

33 以達到絕緣保護之功效。第二絕緣層 35 的材料可以是 SiN_x 、 SiO_x 或者是其複合層疊之組合。由第一電極層 31 至第二絕緣層 35 的結構即為一完整的薄膜電晶體 39，可執行開關之功效。

值得說明的是，由於第一絕緣層 32 的材料是 SiN_x 、 SiO_x 等非導體材料，與第二電極層 34 的金屬材料附著力差，而氧化物半導體層 33 的材質是以離子鍵鍵結的半導體材料，對於第二電極層 34 的金屬材料及第一絕緣層 32 的非導體材料皆具有良好的附著性，因此介於其中可以增加第二電極層 34 與第一絕緣層 32 的附著性。此外，氧化物半導體層 33 還可以作為擴散阻擋層，以防止氧化物半導體層 33 上方第二電極層 34 的金屬離子進入氧化物半導體層 33 下方的第一絕緣層 32，形成移動載子而降低第一絕緣層 32 之絕緣特性，進而影響半導體元件的可靠性。

除此之外，本實施例使用氧化物半導體層 33 取代一般薄膜電晶體基板使用之中介金屬層，可以解決傳統中介金屬層於蝕刻流程產生殘留物的問題。由於第二電極層 34 可以是單一層金屬銅，蝕刻液的選擇及蝕刻流程較為單純容易，且不容易產生殘留物的問題。因此，相較於先前技術，本實施例薄膜電晶體基板的良率較佳，且其製程得以簡化以減少成本。

另外，第二絕緣層 35 具有接觸孔洞 38，且位在相對於源極部 34b 上方的位置（如圖 4 所示）。畫素電極層 36

位於第二絕緣層 35 上方，且覆蓋部分之第二絕緣層 35 以及全部之接觸孔洞 38，其中畫素電極層 36 藉由接觸孔洞 38 往下延伸而電性連接源極 34b，接收驅動訊號。各畫素之畫素電極層 36 必須電性隔離，並以各薄膜電晶體 39 進行驅動操作顯示層（未繪示）以顯示灰階畫面。完成第一電極層 31 至畫素電極層 36 之結構即完成薄膜電晶體基板之主要部分（可增加其他層別以具有其他特性）。薄膜電晶體基板係為顯示面板的主體，搭配顯示層（例如液晶、有機電激發光材料、電泳粒子等）、彩色濾光片基板即成為一顯示面板。而顯示面板可搭配驅動電路及外觀件成為一顯示器。

在此請注意，氧化物半導體層 33 於本實施例中，其邊緣僅略凸出於（亦可切齊）第二電極層 34 之源極 34b、汲極 34a 與資料線 42 的邊緣，此外，位於資料線 42 下方之氧化物半導體 33 可電性相連或具有第二間隔 S2 而電性不相連（如圖 9 所示）。需要說明的是，氧化物半導體層 33 於其他實施例中，將可以不被定義，而係為整層覆蓋第一絕緣層 32。

請接著參照圖 5，圖 5 是本發明另一實施例之液晶面板的薄膜電晶體基板 3' 之剖面圖。相較於圖 4 的實施例，圖 5 的薄膜電晶體 39' 更包括蝕刻停止層 37 形成於氧化物半導體層 33 之上，且對應於閘極部 31a 的位置及介於源極部 34b 與汲極部 34a 之間，用以封閉氧化物半導體層 33 未

被源極部 34b 與汲極部 34a 覆蓋之開口，以保護蝕刻過程中蝕刻液對氧化物半導體層 33 背通道的傷害，從而提升薄膜電晶體的良率及導電特性。蝕刻停止層 37 的材料可以是 SiN_x 、 SiO_x 或者是其複合層疊之組合。

請參照圖 6，圖 6 是本發明另一實施例之薄膜電晶體基板之剖面圖。相較於圖 4 的實施例，薄膜電晶體 39'' 的氧化物半導體層 33' 係為整層覆蓋第一絕緣層 32，而未被定義。

請參照圖 7，圖 7 是本發明另一實施例之薄膜電晶體基板之剖面圖。相較於圖 5 的實施例，薄膜電晶體 39''' 的氧化物半導體層 33' 係為整層覆蓋第一絕緣層 32，而未被定義。

請接著依序參照圖 8 至圖 11 與圖 4，圖 8 至圖 11 為顯示器之薄膜電晶體基板的製造方法之部分步驟所形成之半成品的平面圖。然而，需要說明的是，下述的製造方法僅是本發明的其中一種實施例，其步驟與順序皆非用以限制本發明。

於圖 8 中，首先，提供基板 30。然後，形成圖案化具有複數閘極部 31a 及複數掃描線 41（導線部）之第一電極層 31 於基板 30 上，其中掃描線 41 沿著第一軸向排列，且每一掃描線 41 電性連接多個閘極部 31a。接著，形成第一絕緣層 32 覆蓋基板 30、掃描線 41 以及閘極部 31a。

接著，請參照圖 9，形成氧化物半導體層 33 於第一絕

緣層 32 上。然後，對氧化物半導體層 33 進行定義，於其他實施例中，亦可以增加複數第二間隔 S2 或不對氧化物半導體層 33 進行定義。

在此請注意，於其他實施例中，更可以包括形成蝕刻停止層 37 於對應於閘極部上方的氧化物半導體層 33 上。

然後，請參照圖 10，形成圖案化之第二電極層 34 於氧化物半導體層 33 上，第二電極層 34 的邊緣於氧化物半導體層 33 的邊緣之內，第二電極層 34 包括複數條相互平行的資料線 42、複數個汲極 34a 以及複數個相對應的源極 34b，彼此具有第一間隔 S1，其中資料線 42 沿著第二軸向排列，且每一資料線 42 電性連接多個汲極 34a。接著，請參照圖 11，形成第二絕緣層 35，並定義出多個接觸孔洞 38。最後，請參照圖 4，形成對應所述多個畫素區域之薄膜電晶體的多個像素電極層 36。

綜合以上所述，本發明實施例提供一種薄膜電晶體基板、其顯示器與其製造方法，其中所述薄膜電晶體的第二電極層係形成於氧化物半導體層上，且所述第二電極層與氧化物半導體層之間具有良好的黏著性。相較於傳統薄膜電晶體，本發明實施例使用單純的銅作為第二電極層，省略了中介金屬層，且可以使用單純的金屬蝕刻液來定義第二電極層，故具有較低的成本、較為簡化的製程、較佳的良率與較好的穩定度。

以上所述僅為本發明的實施例，其並非用以限定本發

明的專利保護範圍。任何熟習相像技藝者，在不脫離本發明的精神與範圍內，所作的更動及潤飾的等效替換，仍為本發明的專利保護範圍內。

【圖式簡單說明】

圖 1 為傳統液晶面板之薄膜電晶體基板的剖面圖。

圖 2 為傳統液晶面板之另一種薄膜電晶體基板的剖面圖。

圖 3 是本發明實施例之薄膜電晶體基板之剖面圖。

圖 4 是本發明實施例之薄膜電晶體基板的平面圖

圖 5 是本發明另一實施例之薄膜電晶體基板之剖面圖。

圖 6 是本發明另一實施例之薄膜電晶體基板之剖面圖。

圖 7 是本發明另一實施例之薄膜電晶體基板之剖面圖。

圖 8 至圖 11 為薄膜電晶體基板製造方法之部分步驟所形成之半成品的平面圖。

【主要元件符號說明】

1、1'：傳統薄膜電晶體基板

3、3'、3''、3'''：薄膜電晶體基板

10、30：基板

11、31：第一電極層

- 12、32：第二絕緣層
- 13：中介金屬層
- 14、33、33'：氧化物半導體層
- 31a：閘極部
- 34：第二電極層
- 15a、34a：汲極部
- 15b、34b：源極部
- 16、35：第二絕緣層
- 17、36：畫素電極層
- 18、37：蝕刻停止層
- 19、38：接觸孔洞
- 39、39'、39''、39'''：薄膜電晶體
- 41：掃描線
- 42：資料線
- S1：第一間隔
- S2：第二間隔

七、申請專利範圍：

1. 一種薄膜電晶體基板，包括：

一基板；

一第一電極層，位於該基板上，包括一閘極部；

一第一絕緣層，覆蓋該第一電極層；

一氧化物半導體層，位於該第一絕緣層上，包括一第二間隔；以及

一第二電極層，位於該氧化物半導體層上，包括一源極部、一汲極部及一導線部，該源極部及該汲極部位於對應該閘極部之兩端；

其中，該第二電極層的邊緣於該氧化物半導體層的邊緣之內，該第二間隔位於該導線部的下方。

2. 如申請專利範圍第 1 項所述之薄膜電晶體基板，其中該氧化物半導體層係整面覆蓋該第一絕緣層。

3. 如申請專利範圍第 1 項所述之薄膜電晶體基板，其中該氧化物半導體層係為 ZnO、IZO、IGZO、ITZO、ATZO、HIZO 或其組合。

4. 如申請專利範圍第 1 項所述之薄膜電晶體基板，其中該第二電極層的材料為單層銅。

5. 如申請專利範圍第 1 項所述之薄膜電晶體基板，更包括一蝕刻停止層，該蝕刻停止層位於該氧化物半導體層上方。

6. 如申請專利範圍第 1 項所述之薄膜電晶體基板，更包括一第二絕緣層，該第二絕緣層覆蓋該第二電極層與該氧化物半導體層。

7. 如申請專利範圍第 6 項所述之薄膜電晶體基板，其中該第二絕緣層具有一接觸孔洞，該接觸孔洞相對於該源極部。
8. 如申請專利範圍第 7 項所述之薄膜電晶體基板，其中該第二絕緣層上具有一畫素電極層，該畫素電極層經由該接觸孔洞往下延伸而電性連接該源極部。
9. 一種顯示器，包括：
 - 一驅動電路；
 - 一外觀件；以及
 - 一顯示面板，包括一薄膜電晶體基板；該薄膜電晶體基板，包括：
 - 一基板；一第一電極層，位於該基板上，包括一閘極部；一第一絕緣層，覆蓋該第一電極層；一氧化物半導體層，位於該第一絕緣層上，包括一第二間隔；以及一第二電極層，位於該氧化物半導體層上，包括一源極部、一汲極部及一導線部，該源極部及該汲極部位於對應該閘極部之兩端；其中，該第二電極層的邊緣於該氧化物半導體層的邊緣之內，該第二間隔位於該導線部的下方。
10. 如申請專利範圍第 9 項所述之顯示器，其中該氧化物半導體層係整面覆蓋該第一絕緣層。
11. 如申請專利範圍第 9 項所述之顯示器，其中該氧化物半導體層係為 ZnO、IZO、IGZO、ITZO、ATZO、HIZO 或其組合。
12. 如申請專利範圍第 9 項所述之顯示器，其中該第二電極

層的材料係為銅。

13. 如申請專利範圍第 9 項所述之顯示器，其中該薄膜電晶體基板更包括一蝕刻停止層，該蝕刻停止層位於該氧化物半導體層上。
14. 如申請專利範圍第 9 項所述之顯示器，其中該薄膜電晶體基板更包括一第二絕緣層，該第二絕緣層覆蓋該第二電極層與該氧化物半導體層。
15. 如申請專利範圍第 14 項所述之顯示器，其中該第二絕緣保護層具有一接觸孔洞，該接觸孔洞相對於該源極部。
16. 如申請專利範圍第 15 項所述之顯示器，其中該第二絕緣層上具有一畫素電極層，該畫素電極層經由該接觸孔洞往下延伸而電性連接該源極部。
17. 一種薄膜電晶體基板的製造方法，包括下列步驟：
 - 提供一基板；
 - 形成一第一電極層於該基板上，該第一電極層包括一閘極部；
 - 形成一第一絕緣層覆蓋該第一電極層；
 - 形成一氧化物半導體層於該第一絕緣層上，該氧化物半導體層包括一第二間隔；
 - 形成一第二電極層於該氧化物半導體層上，該第二電極層包括一源極部、一汲極部及一導線部，且該源極部及該汲極部位於對應該閘極部之兩端；以及
 - 形成一第二絕緣層覆蓋該氧化物半導體層與該第二電極層；
 - 形成一接觸孔洞於該第二絕緣層，其中該接觸孔洞係

相對於該源極部；

形成一畫素電極層於該第二絕緣層上，其中該畫素電極層透過該接觸孔洞電性連接該源極部；

其中，該第二電極層的邊緣於該氧化物半導體層的邊緣之內，該第二間隔位於該導線部的下方。

18. 如申請專利範圍第 17 項所述之薄膜電晶體基板的製造方法，更包括：

形成一蝕刻停止層於該氧化物半導體層上方，其中該蝕刻停止層位於該氧化物半導體層上。

八、圖式：

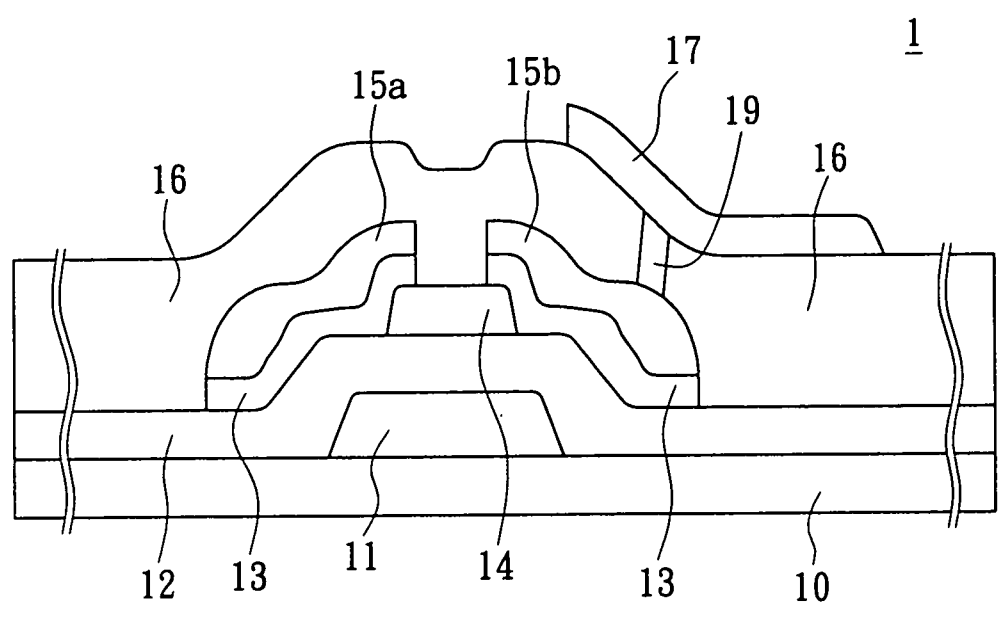


圖 1

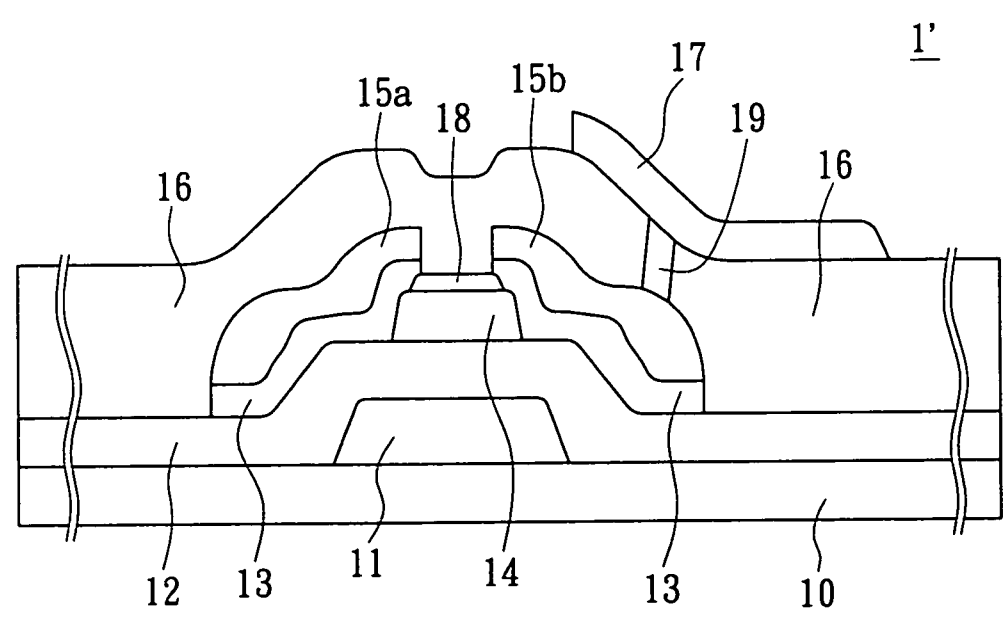


圖 2

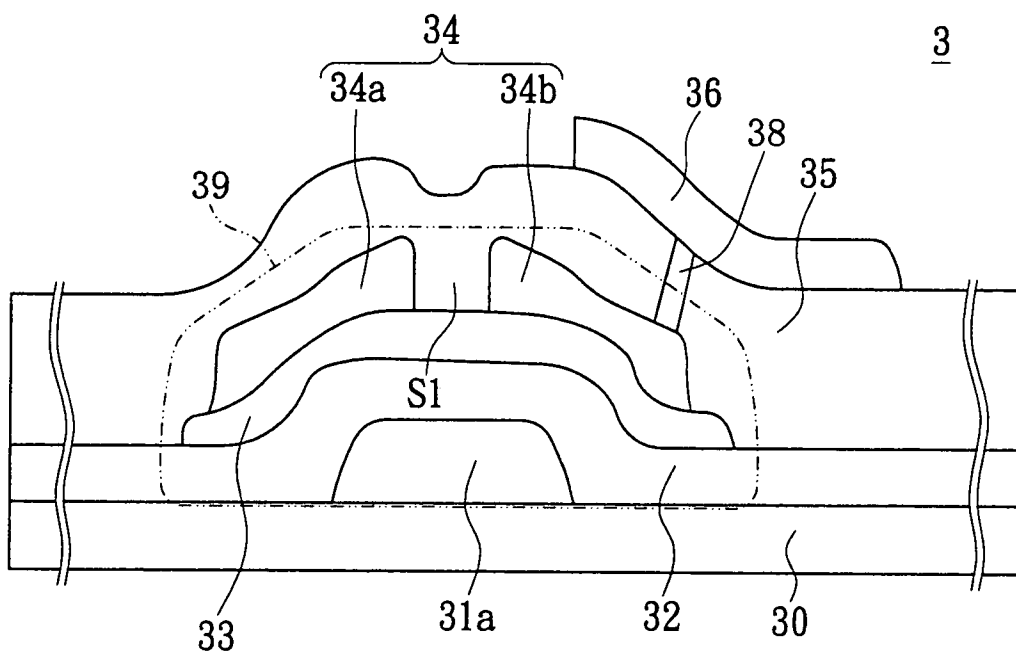


圖3

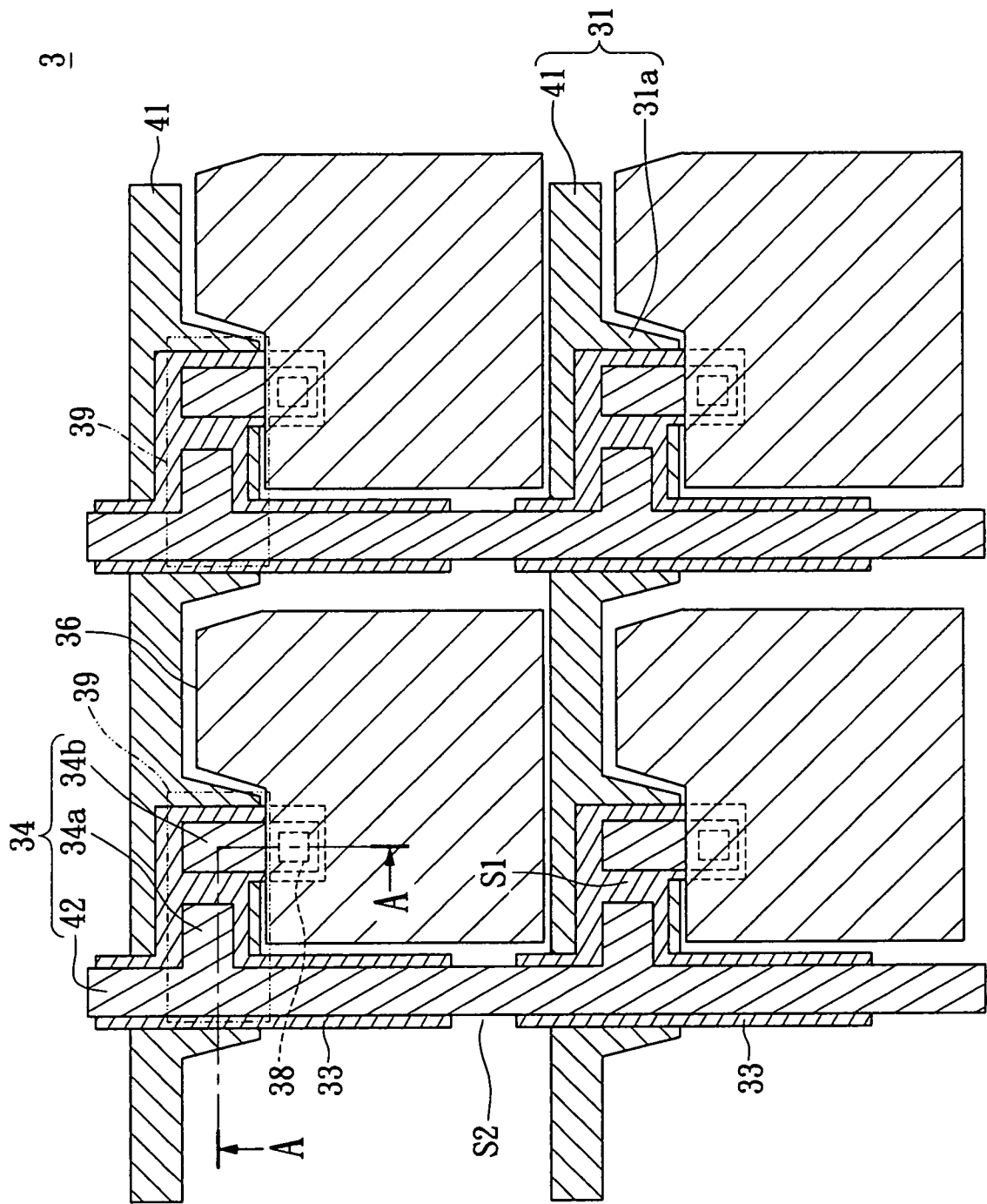


圖4

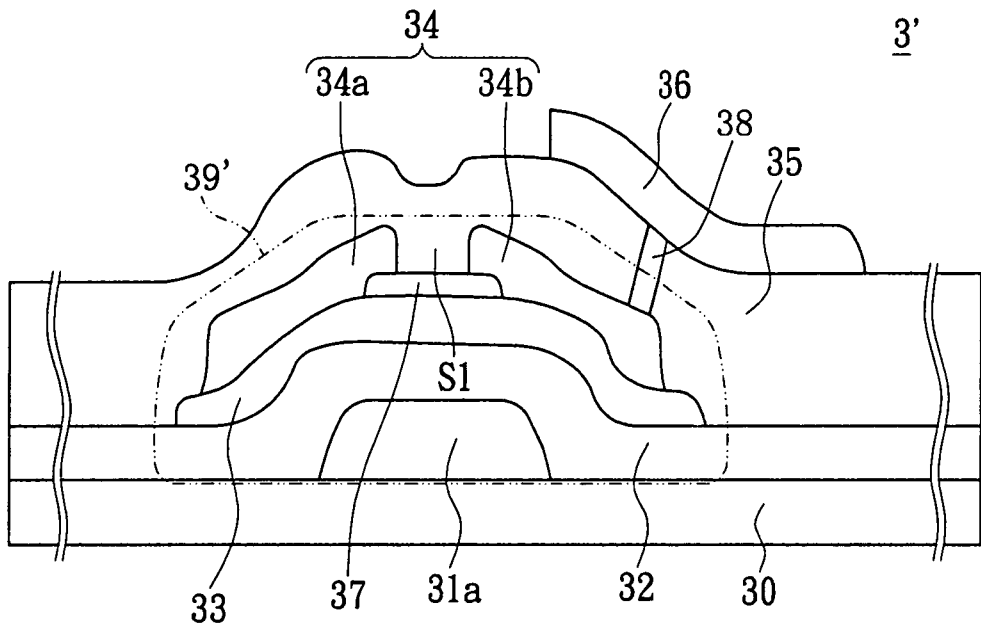


圖5

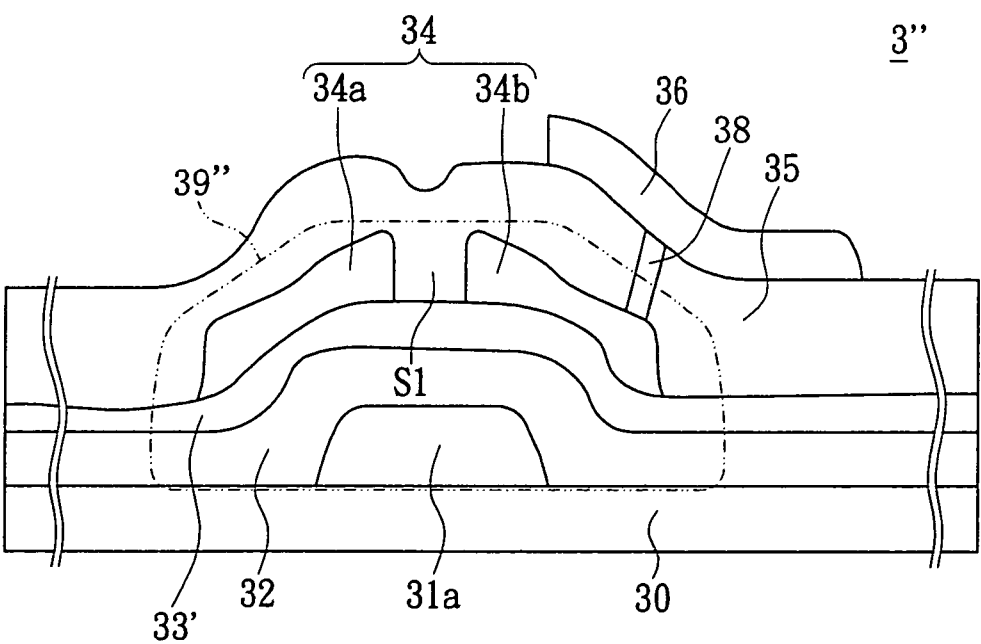


圖6

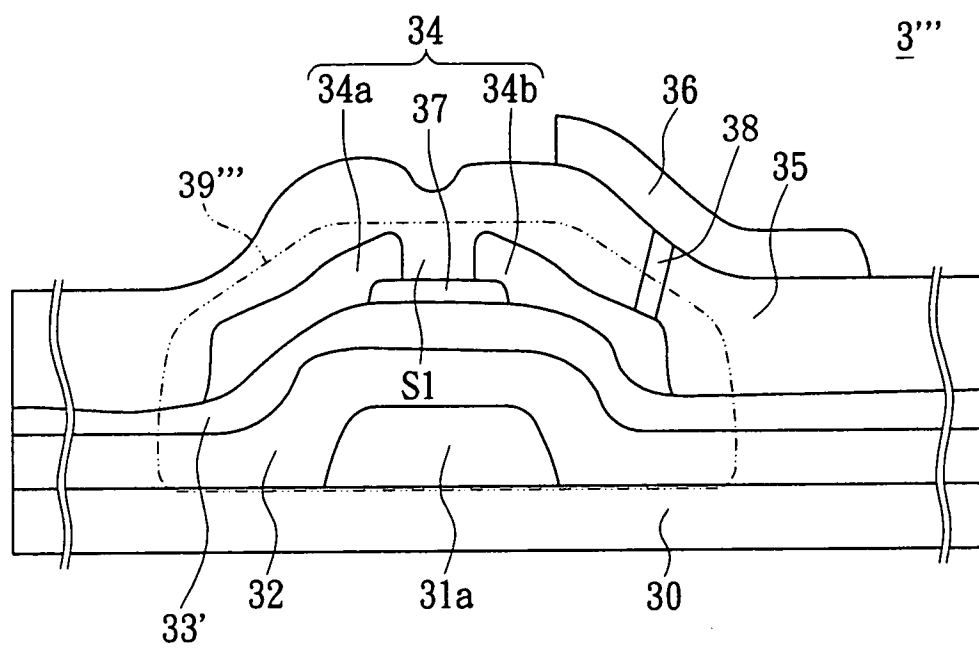


圖7

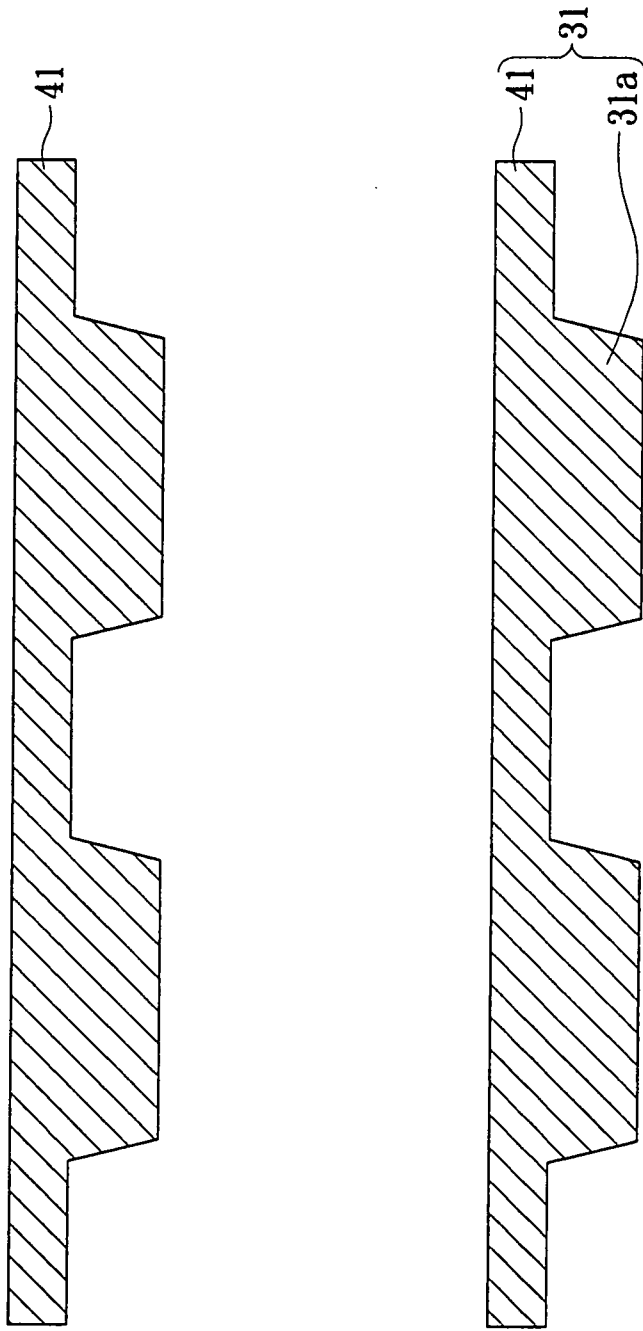


圖 8

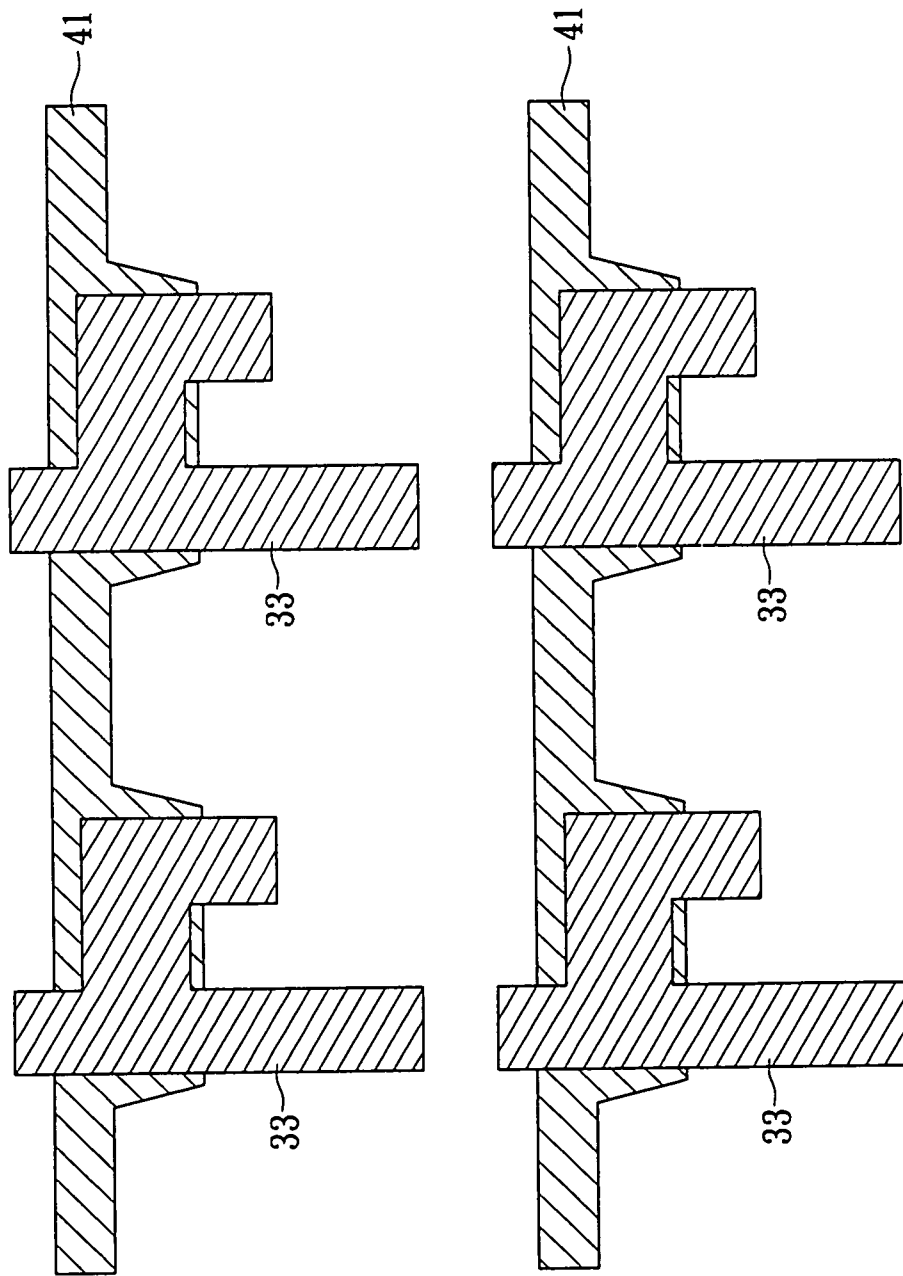


圖9

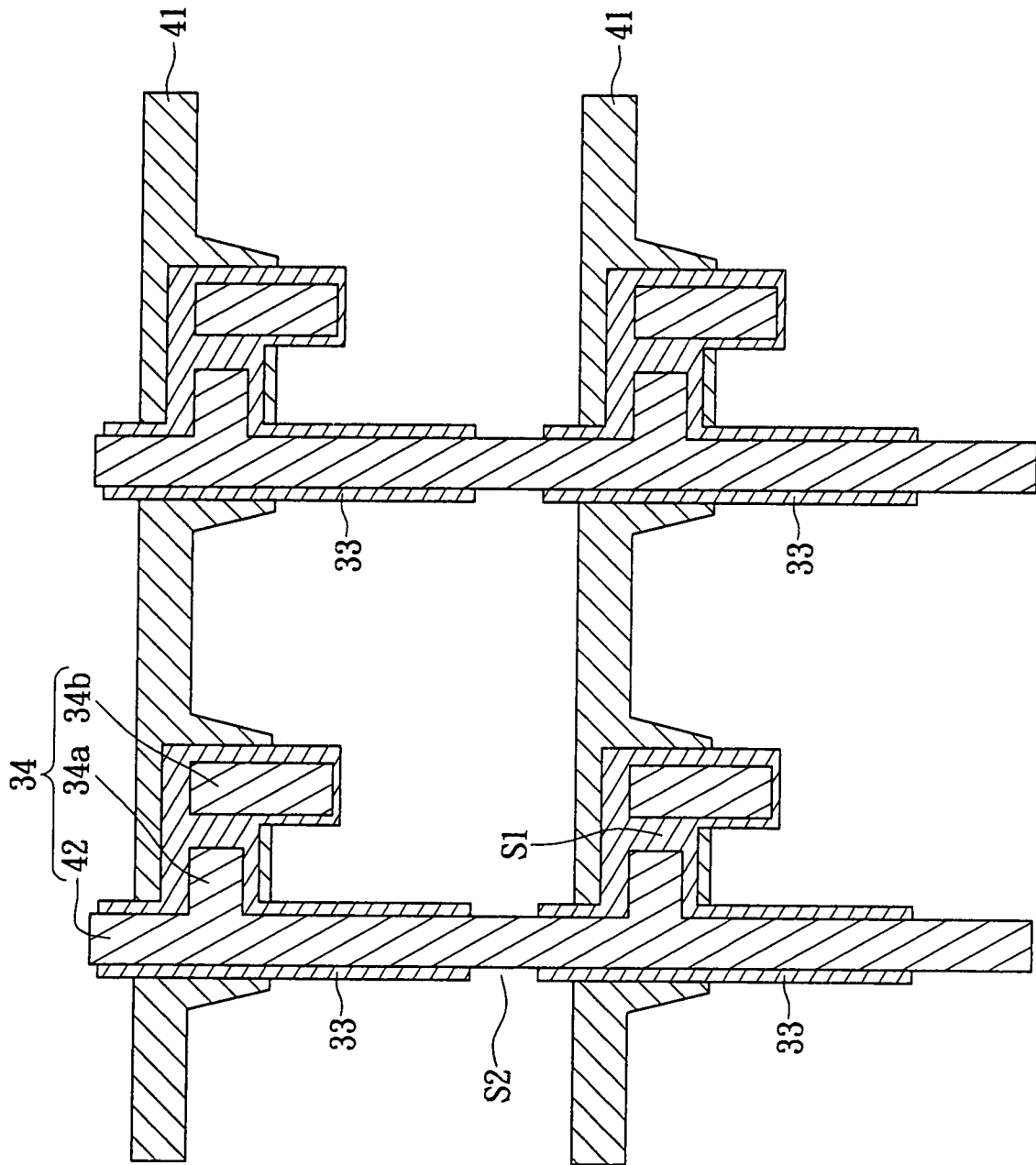


圖10

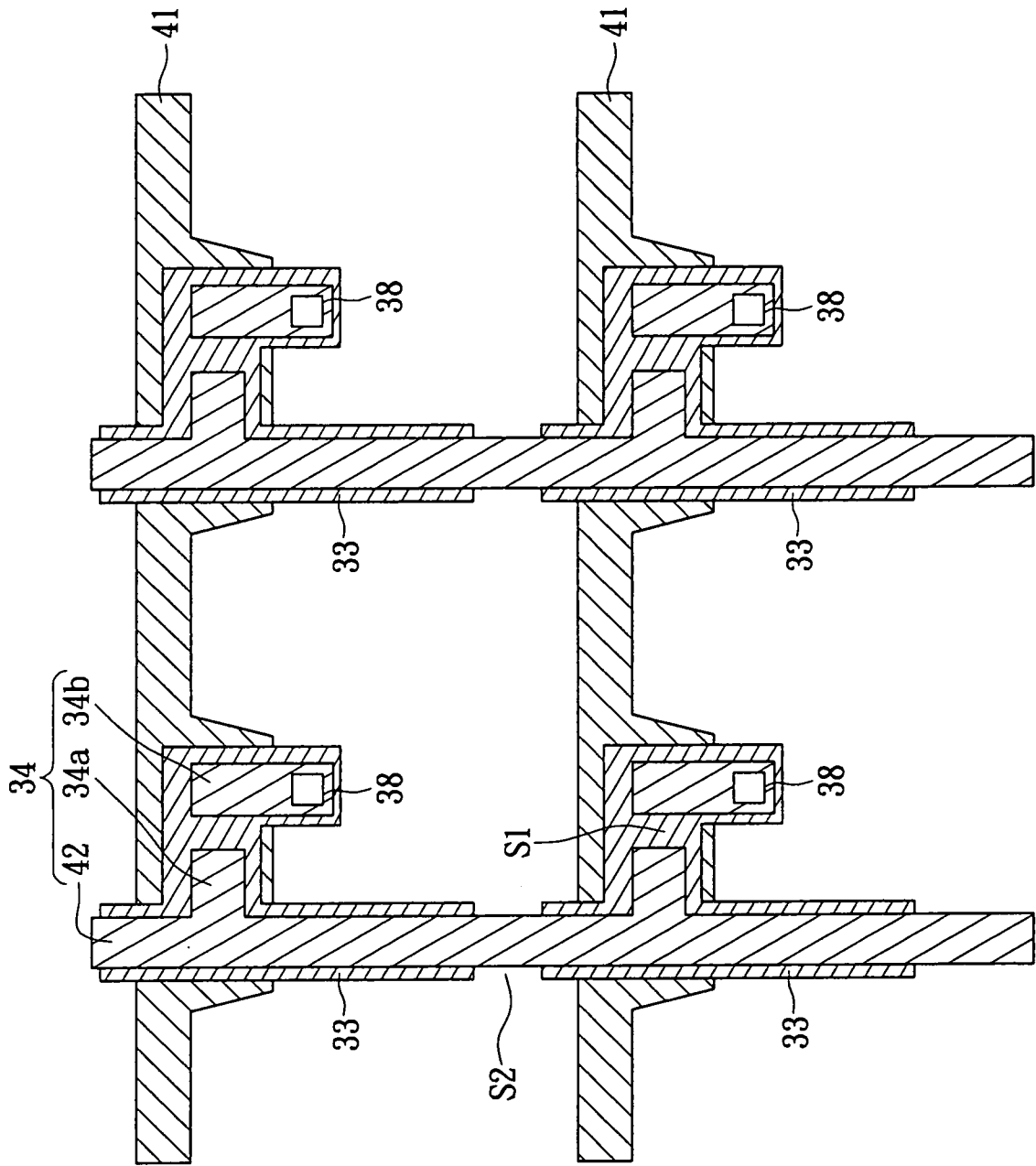


圖11