



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월31일
(11) 등록번호 10-2149768
(24) 등록일자 2020년08월25일

(51) 국제특허분류(Int. Cl.)
G11C 16/26 (2006.01) G11C 16/06 (2006.01)
(21) 출원번호 10-2014-0051695
(22) 출원일자 2014년04월29일
심사청구일자 2018년11월02일
(65) 공개번호 10-2015-0124751
(43) 공개일자 2015년11월06일
(56) 선행기술조사문헌
KR1020080062174 A*
KR1020130114354 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
임효택
경기도 수원시 권선구 곡선로49번길 30 702호
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

심사관 : 한선경

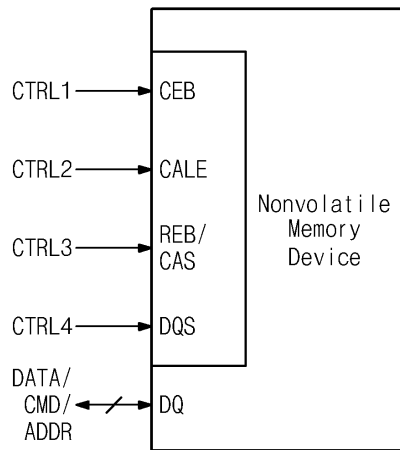
(54) 발명의 명칭 불휘발성 메모리 시스템

(57) 요약

본 발명의 실시 예에 따른 불휘발성 메모리 시스템은 불휘발성 메모리 장치; 및 불휘발성 메모리 장치를 메모리 장치를 제어하는 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 불휘발성 메모리 장치로 제 1 내지 제 4 제어 신호들을 전송하고, 데이터 라인을 통해 커맨드, 어드레스, 및 입력 데이터를 전송하고, 데이터 라인을 통해 출력 데이터를 수신한다. 불휘발성 메모리 장치는 제 1 내지 제 4 제어 신호들을 수신하고, 수신된 제 1 내지 제 3 제어 신호들에 응답하여 제 4 제어 신호의 상승 에지 또는 하강 에지에 데이터 라인을 통해 수신된 신호들을 커맨드, 어드레스, 및 입력 데이터 중 어느 하나로 식별하거나 또는 제 4 제어 신호를 기반으로 데이터 라인을 통해 출력 데이터를 메모리 컨트롤러로 전송한다.

대표도 - 도2

120



명세서

청구범위

청구항 1

커맨드 입력 상태, 어드레스 입력 상태, 및 데이터 입출력 상태 중 어느 하나를 가리키는 제1 제어 신호 및 제2 제어 신호를 각각 전송하도록 구성된 제1 제어 핀 및 제2 제어 핀;

메모리 장치와 커맨드 신호, 어드레스 신호, 및 데이터 신호를 송수신하도록 구성된 복수의 데이터 핀들;

상기 커맨드 신호, 상기 어드레스 신호, 및 상기 데이터 신호의 래치 타이밍을 가리키는 데이터 스트로브 신호를 상기 메모리 장치와 송수신하도록 구성된 제3 제어 핀을 포함하고,

상기 복수의 데이터 핀들 전부와 상기 커맨드 신호, 상기 어드레스 신호, 및 상기 데이터 신호를 송수신하는 메모리 컨트롤러.

청구항 2

제 1 항에 있어서,

상기 제1 제어 핀은 상기 복수의 데이터 핀들로부터 전송되는 신호가 상기 커맨드 신호 또는 상기 어드레스 신호임을 가리키는 커맨드 어드레스 래치 활성화 신호를 전송하는 메모리 컨트롤러.

청구항 3

제 2 항에 있어서,

상기 제2 제어 핀은 상기 복수의 데이터 핀들로부터 전송되는 신호가 상기 커맨드 신호 및 상기 어드레스 신호 중 어느 것인지를 가리키는 커맨드 어드레스 선택 신호를 전송하는 메모리 컨트롤러.

청구항 4

제 2 항에 있어서,

상기 제2 제어 핀은, 상기 메모리 컨트롤러가 상기 복수의 데이터 핀들로부터의 상기 데이터 신호를 수신할 때 토글하는 읽기 활성화 신호를 전송하는 메모리 컨트롤러.

청구항 5

제 4 항에 있어서,

상기 메모리 컨트롤러는 상기 메모리 장치로부터 수신된 데이터 스트로브 신호와 동기된 상기 데이터 신호를 수신하는 메모리 컨트롤러.

청구항 6

커맨드 입력 상태, 어드레스 입력 상태, 및 데이터 입출력 상태 중 어느 하나를 가리키는 제1 및 제2 제어 신호들을 각각 수신하도록 구성된 제1 제어 핀 및 제2 제어 핀;

메모리 컨트롤러와 커맨드 신호, 어드레스 신호, 및 데이터 신호를 송수신하도록 구성된 복수의 데이터 핀들; 및

상기 어드레스 신호, 상기 커맨드 신호, 및 상기 데이터 신호의 래치 타이밍을 가리키는 데이터 스트로브 신호를 상기 컨트롤러와 송수신하도록 구성된 제3 데이터 핀을 포함하고,

상기 어드레스 신호, 상기 커맨드 신호, 및 상기 데이터 신호는 상기 데이터 스트로브 신호와 동기되고,

상기 커맨드 입력 상태, 상기 어드레스 입력 상태, 및 상기 데이터 입출력 상태는 상기 복수의 핀들이 상기 커맨드 신호를 수신하는지, 상기 어드레스 신호를 수신하는지, 또는 상기 데이터 신호를 송수신하는지를 가리키는

메모리 장치.

청구항 7

제 6 항에 있어서,

상기 제1 제어 핀은 상기 커맨드 신호 또는 상기 어드레스 신호가 상기 복수의 데이터 핀들로부터 수신됨을 가리키는 커맨드 어드레스 래치 활성화 신호를 수신하는 메모리 장치.

청구항 8

제 7 항에 있어서,

상기 제2 제어 핀은 상기 복수의 데이터 핀들로부터 수신된 신호가 상기 커맨드 신호인지 또는 어드레스 신호인지를 가리키는 커맨드 어드레스 선택 신호를 수신하는 메모리 장치.

청구항 9

제 7 항에 있어서,

상기 제2 제어 핀은 상기 메모리 장치가 상기 복수의 데이터 핀들을 통해 상기 데이터 신호를 상기 메모리 컨트롤러로 전송할 때 토글하는 읽기 활성화 신호를 수신하는 메모리 장치.

청구항 10

제 6 항에 있어서,

상기 메모리 장치는 상기 데이터 스트로브 신호의 상승 에지 및 하강 에지 중 적어도 하나에 응답하여, 상기 복수의 데이터 핀들을 통해 수신되는 상기 어드레스 신호, 상기 커맨드 신호, 및 상기 데이터 신호를 래치하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리에 관한 것으로 더욱 상세하게는 불휘발성 메모리 장치 및 메모리 컨트롤러를 포함하는 불휘발성 메모리 시스템에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, gallium arsenide), 인화 인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억 장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile Memory Device) 및 불휘발성 메모리 장치(Nonvolatile Memory Device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리 장치, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다.

[0004] 최근 기술이 발달함에 따라 전자 기기들의 크기가 소형화되고 있다. 이에 따라, 전자 기기에서 사용되는 반도체 메모리 장치의 크기 또한 소형화가 요구되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 감소된 제어 신호를 사용함으로써 감소된 면적 및 감소된 비용을 갖는 불휘발성 메모리 시스템을 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 불휘발성 메모리 시스템은 불휘발성 메모리 장치; 및 상기 불휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는 상기 불휘발성 메모리 장치로 제 1 내지 제 4 제어 신호들을 전송하고, 데이터 라인을 통해 커맨드, 어드레스, 및 입력 데이터를 전송하고, 상기 데이터 라인을 통해 출력 데이터를 수신하고,

[0007] 상기 불휘발성 메모리 장치는 상기 제 1 내지 제 4 제어 신호들을 수신하고, 상기 수신된 제 1 내지 제 3 제어 신호들에 응답하여 상기 제 4 제어 신호의 상승 에지 또는 하강 에지에 상기 데이터 라인을 통해 수신된 신호들을 상기 커맨드, 상기 어드레스, 및 상기 입력 데이터 중 어느 하나로 식별하거나 또는 상기 제 4 제어 신호를 기반으로 상기 데이터 라인을 통해 상기 출력 데이터를 상기 메모리 컨트롤러로 전송하고, 상기 제 4 제어 신호는 데이터 스트로브 신호(DQS)이다.

[0008] 실시 예로서, 상기 제 1 제어 신호는 칩 활성화 신호이고, 상기 제 2 제어 신호는 커맨드 어드레스 래치 활성화 신호이고, 상기 제 3 제어 신호는 읽기 활성화 및 커맨드 어드레스 선택 신호이다.

[0009] 실시 예로서, 상기 불휘발성 메모리 장치는 메모리 셀 어레이; 상기 메모리 셀 어레이와 복수의 워드 라인들을 통해 연결된 어드레스 디코더; 상기 메모리 셀 어레이와 복수의 비트 라인들을 통해 연결된 페이지 버퍼; 상기 데이터 라인을 통해 신호를 수신하는 입출력 회로; 및 상기 제 1 내지 제 4 제어 신호들을 수신하고, 상기 수신된 제 1 내지 제 4 제어 신호들을 기반으로 상기 어드레스 디코더, 상기 페이지 버퍼, 및 상기 입출력 회로를 제어하는 제어 로직 및 전압 발생기를 포함한다.

[0010] 실시 예로서, 상기 제 1 제어 신호가 로직 로우이고, 상기 제 2 제어 신호가 로직 하이이고, 상기 제 3 제어 신호가 로직 하이인 경우, 상기 불휘발성 메모리 장치는 커맨드 입력 상태로 동작하고, 상기 입출력 회로는 상기 제 4 제어 신호의 상승 에지에서 상기 데이터 라인을 통해 수신된 신호를 상기 제어 로직 및 전압 발생기로 전달하고, 상기 커맨드 입력 상태는 상기 데이터 라인을 통해 수신된 신호를 상기 커맨드로 식별하는 상태를 가리킨다.

[0011] 실시 예로서, 상기 제 1 제어 신호가 로직 로우이고, 상기 제 2 제어 신호가 로직 하이이고, 상기 제 3 제어 신호가 로직 로우인 경우, 상기 불휘발성 메모리 장치는 어드레스 입력 상태로 동작하고, 상기 입출력 회로는 상기 제 4 제어 신호의 상승 에지에서 상기 데이터 라인을 통해 수신된 신호를 상기 어드레스 디코더로 전달하고, 상기 어드레스 입력 상태는 상기 데이터 라인을 통해 수신된 신호를 상기 어드레스 식별하는 상태를 가리킨다.

[0012] 실시 예로서, 상기 제 1 제어 신호가 로직 로우이고, 상기 제 2 제어 신호가 로직 로우이고, 상기 제 3 제어 신호가 로직 하이인 경우, 상기 불휘발성 메모리 장치는 데이터 입력 상태로 동작하고, 상기 입출력 회로는 상기 제 4 제어 신호의 상승 에지 및 하강 에지에서 상기 데이터 라인을 통해 수신된 신호를 상기 페이지 버퍼로 전달하고, 상기 데이터 입력 상태는 상기 데이터 라인을 통해 수신된 신호를 상기 입력 데이터로 식별하는 상태를 가리킨다.

[0013] 실시 예로서, 상기 제 1 제어 신호가 로직 로우이고, 상기 제 2 제어 신호가 로직 로우이고, 상기 제 3 제어 신호가 펄스 신호인 경우, 상기 불휘발성 메모리 장치는 데이터 출력 상태로 동작하고, 상기 페이지 버퍼는 상기 제 3 제어 신호의 상승 에지 및 하강 에지에서 상기 메모리 셀 어레이로부터 읽은 출력 데이터를 상기 입출력 회로로 전송하고, 상기 입출력 회로는 상기 제 4 제어 신호를 기반으로 상기 페이지 버퍼로부터 수신된 출력 데이터를 상기 메모리 컨트롤러로 전송하고, 상기 데이터 출력 상태는 상기 데이터 라인을 통해 상기 메모리 셀 어레이로부터 읽은 출력 데이터를 상기 메모리 컨트롤러 전송하는 상태를 가리킨다.

[0014] 본 발명의 다른 실시 예에 따른 불휘발성 메모리 시스템은 불휘발성 메모리 장치; 및 상기 불휘발성 메모리를 제어하는 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는 제 1 내지 제 3 제어 신호들을 상기 불휘발성 메모리 장치로 전송하고, 커맨드, 어드레스 및 입력 데이터를 데이터 라인을 통해 상기 불휘발성 메모리 장치로 전송하고, 상기 불휘발성 메모리 장치는 상기 제 1 내지 제 3 제어 신호들에 응답하여 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태 중 어느 하나의 상태로 동작하고, 상기 커맨드 입력 상태는 상기 데이터 라인을 통해 수신된 신호를 상기 커맨드로 식별하는 상태를 가리키고, 상기 어드레스 입력 상태는 상기 데이터 라인을 통해 수신된 신호를 상기 어드레스로 식별하는 상태를 가리키고, 상기 데이터 입력

상태는 상기 데이터 라인을 통해 수신된 신호를 상기 입력 데이터로 식별하고, 상기 데이터 출력 상태는 상기 데이터 라인을 통해 출력 데이터를 메모리 컨트롤러로 전송하는 상태를 가리킨다.

- [0015] 실시 예로서, 상기 제 1 제어 신호는 칩 활성화 신호이고, 상기 불휘발성 메모리 장치는 상기 제 1 제어 신호에 응답하여 활성화된다.
- [0016] 실시 예로서, 상기 제 2 제어 신호는 커맨드 어드레스 래치 활성화 신호이고, 상기 불휘발성 메모리 장치는 상기 제 2 제어 신호에 응답하여 상기 데이터 라인을 통해 수신된 신호를 상기 커맨드 및 상기 어드레스로 식별한다.
- [0017] 실시 예로서, 상기 제 3 제어 신호는 읽기 활성화 및 커맨드 어드레스 선택 신호이고, 상기 불휘발성 메모리 장치는 상기 제 3 제어 신호에 응답하여 상기 커맨드 및 상기 어드레스로 식별된 신호를 상기 커맨드 및 상기 어드레스 중 어느 하나로 식별한다.
- [0018] 실시 예로서, 상기 제 3 제어 신호는 읽기 활성화 및 커맨드 어드레스 선택 신호이고, 상기 불휘발성 메모리 장치는 상기 제 3 제어 신호에 응답하여 상기 출력 데이터를 상기 메모리 컨트롤러로 전송한다.
- [0019] 실시 예로서, 상기 메모리 컨트롤러는 상기 불휘발성 메모리 장치로 제 4 제어 신호를 더 전송하고, 상기 제 4 제어 신호는 데이터 스트로브 신호(DQS)이고, 상기 불휘발성 메모리 장치는 상기 제 4 제어 신호를 기반으로 상기 출력 데이터를 상기 메모리 컨트롤러로 전송한다.
- [0020] 실시 예로서, 상기 메모리 컨트롤러는 상기 불휘발성 메모리 장치로 제 4 제어 신호를 더 전송하고, 상기 제 4 제어 신호는 데이터 스트로브 신호(DQS)이고, 상기 불휘발성 메모리 장치는 상기 제 4 제어 신호의 상승 에지 또는 하강 에지에 상기 데이터 라인을 통해 수신된 신호를 캡처한다.
- [0021] 실시 예로서, 상기 불휘발성 메모리 장치는 외부 장치로부터 모드 제어 신호를 수신하고, 상기 수신된 모드 제어 신호에 응답하여 노멀 모드로 동작하고, 상기 불휘발성 메모리 장치가 상기 노멀 모드로 동작하는 경우, 상기 메모리 컨트롤러는 상기 불휘발성 메모리 장치로 제 5 및 제 6 제어 신호들을 전송하고, 상기 불휘발성 메모리 장치는 상기 제 1 내지 제 6 제어 신호들을 수신하고, 상기 수신된 제 1 내지 제 6 제어 신호들을 기반으로 상기 커맨드 입력 상태, 상기 어드레스 입력 상태, 상기 데이터 입력 상태, 및 상기 데이터 출력 상태 중 어느 하나로 동작한다.
- [0022] 실시 예로서, 상기 불휘발성 메모리 장치는 모드 정보를 저장하는 저장 회로를 더 포함하고, 상기 불휘발성 메모리 장치는 상기 모드 정보를 기반으로 노멀 모드로 동작하고, 상기 불휘발성 메모리 장치가 상기 노멀 모드로 동작하는 경우, 상기 메모리 컨트롤러는 상기 불휘발성 메모리 장치로 제 5 및 제 6 제어 신호들을 전송하고, 상기 불휘발성 메모리 장치는 상기 제 1 내지 제 6 제어 신호들을 수신하고, 상기 수신된 제 1 내지 제 6 제어 신호들을 기반으로 상기 커맨드 입력 상태, 상기 어드레스 입력 상태, 상기 데이터 입력 상태, 및 상기 데이터 출력 상태 중 어느 하나로 동작한다.
- [0023] 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리 시스템은 불휘발성 메모리 장치; 및 상기 불휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는 외부 장치로부터 제 1 내지 제 4 제어 신호들을 수신하고, 제 1 데이터 라인을 통해 커맨드, 어드레스, 및 입력 데이터를 수신하고, 상기 제 1 데이터 라인을 통해 출력 데이터를 전송하고, 상기 메모리 컨트롤러는 상기 외부 장치로부터 수신된 제 1 내지 제 4 제어 신호들을 상기 불휘발성 메모리 장치로 전송하고, 제 2 데이터 라인을 통해 상기 커맨드, 상기 어드레스, 및 상기 입력 데이터를 불휘발성 메모리 장치로 전송하고, 상기 제 2 데이터 라인을 통해 상기 출력 데이터를 수신하고, 상기 불휘발성 메모리 장치는 상기 제 1 내지 제 4 제어 신호들을 수신하고, 상기 수신된 제 1 내지 제 3 제어 신호들에 응답하여 상기 제 4 제어 신호의 상승 에지 또는 하강 에지에 상기 데이터 라인을 통해 수신된 신호들을 상기 커맨드, 상기 어드레스, 및 상기 입력 데이터 중 어느 하나로 식별하거나 또는 상기 제 4 제어 신호를 기반으로 상기 데이터 라인을 통해 상기 출력 데이터를 상기 메모리 컨트롤러로 전송하고, 상기 제 4 제어 신호는 데이터 스트로브 신호(DQS)이다.

발명의 효과

- [0024] 본 발명에 따른 불휘발성 메모리 시스템은 종래의 불휘발성 메모리 시스템과 비교하여 감소된 개수의 제어 신호를 사용한다. 따라서, 신호를 송수신하기 위한 핀의 개수가 감소되므로, 감소된 비용 및 감소된 면적을 갖는 불휘발성 메모리 시스템이 제공된다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 실시 예에 따른 불휘발성 메모리 시스템을 보여주는 블록도이다.
- 도 2은 도 3에 도시된 불휘발성 메모리 장치의 동작을 설명하기 위한 블록도이다.
- 도 3는 도 1에 도시된 불휘발성 메모리 장치를 상세하게 보여주는 블록도이다.
- 도 4는 도 2에 도시된 제 1 내지 제 4 제어 신호들에 따른 불휘발성 메모리 장치의 동작 상태를 보여주는 도면이다.
- 도 5는 도 4에 도시된 커맨드 입력 상태를 설명하기 위한 타이밍도이다.
- 도 6은 도 4에 도시된 어드레스 입력 상태를 설명하기 위한 타이밍도이다.
- 도 7은 도 4에 도시된 데이터 입력 상태를 설명하기 위한 타이밍도이다.
- 도 8은 도 4에 도시된 데이터 출력 상태를 설명하기 위한 타이밍도이다.
- 도 9는 도 3에 도시된 불휘발성 메모리 장치의 쓰기 동작을 설명하기 위한 타이밍도이다.
- 도 10은 도 3에 도시된 불휘발성 메모리 장치의 읽기 동작을 설명하기 위한 타이밍도이다.
- 도 11은 본 발명의 다른 실시 예에 따른 불휘발성 메모리 시스템을 보여주는 블록도이다.
- 도 12는 도 11에 도시된 불휘발성 메모리 장치를 상세하게 보여주는 블록도이다.
- 도 13은 도 12에 도시된 불휘발성 메모리 장치의 동작 상태 및 제 1 내지 제 6 제어 신호들의 관계를 보여주는 도면이다.
- 도 14는 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리 시스템을 보여주는 블록도이다.
- 도 15는 본 발명의 실시 예에 따른 불휘발성 메모리 장치가 적용된 솔리드 스테이트 드라이브(SSD) 시스템을 보여주는 블록도이다.
- 도 16은 본 발명에 따른 메모리 시스템이 적용된 사용자 시스템을 보여주는 블록도이다.
- 도 17은 본 발명의 다른 실시 예에 따른 사용자 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하에서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세하게 설명하기 위하여 본 발명의 실시 예들을 첨부된 도면들을 참조하여 설명하기로 한다.
- [0027] 본 발명의 실시 예에 따른 불휘발성 메모리 장치는 제 1 내지 제 4 제어 신호들에 응답하여 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태 중 어느 하나의 동작 상태로 동작할 수 있다.
- [0028] 도 1은 본 발명의 실시 예에 따른 불휘발성 메모리 시스템을 보여주는 블록도이다. 도 1을 참조하면, 불휘발성 메모리 시스템(100)은 메모리 컨트롤러(110) 및 불휘발성 메모리 장치(120)를 포함한다. 메모리 컨트롤러(110)는 어드레스(ADDR), 커맨드(CMD), 및 복수의 제어 신호들(CTRLs)을 불휘발성 메모리 장치(120)로 전송할 수 있다. 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)와 데이터(DATA)를 주고 받을 수 있다. 예시적으로, 메모리 컨트롤러(110) 및 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 어드레스(ADDR), 커맨드(CMD), 또는 데이터(DATA)를 주고 받을 수 있다. 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)로부터 수신된 신호들에 응답하여 동작을 수행할 수 있다. 예를 들어, 불휘발성 메모리 장치(120)는 수신된 신호들에 응답하여 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태 중 어느 하나의 상태로 동작할 수 있다. 즉, 불휘발성 메모리 장치(120)는 복수의 제어 신호들(CTRLs)을 수신하고, 수신된 복수의 제어 신호들(CTRLs)에 응답하여 데이터 라인을 통해 수신된 신호들을 커맨드(CMD), 어드레스(ADDR), 또는 데이터(DATA)로 식별할 수 있다.
- [0029] 비록 도면에 도시되지는 않았으나, 메모리 컨트롤러(110)는 외부 장치(예를 들어, 호스트, Application Processor 등)로부터 논리적 어드레스를 수신하고, 수신된 논리적 어드레스를 불휘발성 메모리 장치(120)에서 사용 가능한 물리적 어드레스로 변환할 수 있다. 예시적으로, 메모리 컨트롤러(110)에서 불휘발성 메모리 장치(120)로 전송되는 어드레스(ADDR)는 물리 어드레스일 수 있다. 메모리 컨트롤러(110)의 어드레스 변환 동작은

플래시 변환 계층(FTL)에서 수행된다.

- [0030] 도 2은 도 3에 도시된 불휘발성 메모리 장치의 동작을 설명하기 위한 블록도이다. 도 3 및 도 2을 참조하면, 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)로부터 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 수신할 수 있다. 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)로부터 수신된 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 각각 칩 활성화 신호(CEB; Command Enable Signal), 커맨드 어드레스 래치 활성화 신호(CALE; Command Address Latch Enable Signal), 읽기 활성화 및 커맨드 어드레스 선택 신호(REB/CAS; Read Enable & Command Address Select Signal) 및 데이터 스트로브 신호(DQS; DQ strobe Signal)로 사용할 수 있다.
- [0031] 예시적으로, 불휘발성 메모리 장치(120)는 제 1 제어 신호(CTRL1, 다시 말해서, 칩 활성화 신호(CEB))에 응답하여 활성화될 수 있다.
- [0032] 예시적으로, 불휘발성 메모리 장치(120)는 제 2 제어 신호(CTRL2, 다시 말해서, 커맨드 어드레스 래치 활성화 신호(CALE))에 응답하여, 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD) 및 어드레스(ADDR)로 식별할 수 있다.
- [0033] 예시적으로, 불휘발성 메모리 장치(120)는 제 3 제어 신호(CTRL3, 다시 말해서, 읽기 활성화 및 커맨드 어드레스 선택 신호(REB/CAS))에 응답하여, 커맨드 및 어드레스로 식별된 신호를 커맨드 및 어드레스 중 어느 하나로 식별하거나 또는 데이터 라인을 통해 출력 데이터를 메모리 컨트롤러(110)로 전송할 수 있다.
- [0034] 예시적으로, 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4, 다시 말해서, 데이터 스트로브 신호(DQS))에 응답하여, 데이터 라인(DQ)을 통해 수신된 신호를 캡처하거나 또는 데이터 라인을 통해 출력 데이터를 메모리 컨트롤러(110)로 전송할 수 있다.
- [0035] 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 메모리 컨트롤러(110)로부터 데이터(DATA), 커맨드(CMD), 및 어드레스(ADDR)를 수신할 수 있다. 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 메모리 컨트롤러(110)로 데이터(DATA)를 전송할 수 있다. 불휘발성 메모리 장치(120)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)에 따라 데이터 라인(DQ)을 통해 수신된 신호를 데이터(DATA), 커맨드(CMD), 및 어드레스(ADDR) 중 어느 하나로 식별할 수 있다. 또는 불휘발성 메모리 장치(120)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)에 따라 데이터 라인(DQ)을 통해 데이터(DATA)를 메모리 컨트롤러(110)로 전송할 수 있다.
- [0036] 도 3는 도 1에 도시된 불휘발성 메모리 장치를 상세하게 보여주는 블록도이다. 도 1 및 도 3를 참조하면, 불휘발성 메모리 장치(120)는 메모리 셀 어레이(121), 어드레스 디코더(122), 제어 로직 및 전압 발생기(123), 페이지 버퍼(124), 및 입출력 회로(125)를 포함한다.
- [0037] 메모리 셀 어레이(121)는 복수의 메모리 블록들을 포함한다. 복수의 메모리 블록들 각각은 복수의 셀 스트링들을 포함한다. 복수의 셀 스트링들 각각은 복수의 메모리 셀들을 포함하고, 복수의 비트 라인들(BL)과 연결된다. 복수의 메모리 셀들 각각은 복수의 워드 라인들(WL)과 연결된다. 메모리 셀 어레이에 포함된 메모리 셀들은 1-비트를 저장하는 싱글 레벨 셀(SLC; Single Level Cell) 또는 적어도 3-비트를 저장하는 멀티 레벨 셀(MLC; Multi Level Cell)로 제공될 수 있다.
- [0038] 어드레스 디코더(122)는 스트링 선택 라인(SSL), 복수의 워드 라인들(WL), 및 접지 선택 라인(GSL)을 통해 메모리 셀 어레이(121)와 연결된다. 어드레스 디코더(122)는 입출력 회로(125)로부터 어드레스(ADDR)를 수신하고, 수신된 어드레스(ADDR)로부터 열 어드레스를 디코딩할 수 있다. 어드레스 디코더(122)는 디코딩된 열 어드레스를 기반으로 복수의 워드 라인들(WL)의 워드 라인 전압을 제어할 수 있다. 예시적으로, 어드레스 디코더(122)는 열 어드레스를 디코딩하고, 디코딩된 열 어드레스를 페이지 버퍼(124)로 전송할 수 있다.
- [0039] 제어 로직 및 전압 발생기(123)는 어드레스 디코더(122), 페이지 버퍼(124), 및 입출력 회로(125)를 제어할 수 있다. 예를 들어, 제어 로직 및 전압 발생기(123)는 메모리 컨트롤러(110)로부터 복수의 제어 신호들(CTRL1~CTRL4)을 수신하고, 입출력 회로(125)로부터 커맨드(CMD)를 수신할 수 있다. 제어 로직 및 전압 발생기(123)는 수신된 복수의 제어 신호들(CTRL1~CTRL4) 및 커맨드(CMD)를 기반으로 어드레스 디코더(122), 페이지 버퍼(124), 및 입출력 회로(125)를 제어할 수 있다.
- [0040] 제어 로직 및 전압 발생기(123)는 불휘발성 메모리 장치(120)가 동작하는데 요구되는 다양한 고전압을 생성할 수 있다. 예를 들어, 제어 로직 및 전압 발생기(123)는 복수의 선택 읽기 전압들, 복수의 비선택 읽기 전압들, 복수의 프로그램 전압들, 패스 전압, 소거 전압 등과 같이 불휘발성 메모리 장치(120)가 동작하는데 요구되는 다양한 전압들을 생성할 수 있다.

- [0041] 페이지 버퍼(124)는 복수의 비트 라인들(BL)을 통해 메모리 셀 어레이(121)와 연결된다. 페이지 버퍼(124)는 메모리 셀 어레이(121)에 기입된 데이터(DATA) 또는 메모리 셀 어레이(121)에 기입될 데이터(DATA)를 임시 저장할 수 있다.
- [0042] 입출력 회로(125)는 메모리 컨트롤러(110)로부터 제 4 제어 신호(CTRL4)를 수신할 수 있다. 입출력 회로(125)는 데이터 라인(DQ)을 통해 메모리 컨트롤러(110)로부터 커맨드(CMD) 및 어드레스(ADDR)를 수신할 수 있다. 입출력 회로(125)는 데이터 라인을 통해 메모리 컨트롤러(110)와 데이터(DATA)를 주고 받을 수 있다. 예시적으로, 입출력 회로(125)는 글로벌 버퍼(미도시)를 포함할 수 있다.
- [0043] 예시적으로, 제어 로직 및 전압 발생기(123)는 복수의 제어 신호들(CTRLs)을 기반으로 데이터 라인을 통해 수신된 신호들이 커맨드(CMD), 어드레스(ADDR), 또는 데이터(DATA)인지 판별할 수 있다. 판별 결과에 따라, 제어 로직 및 전압 발생기(123)는 데이터 라인을 통해 수신된 신호가 어드레스 디코더(122), 제어 로직 및 전압 발생기(123), 또는 페이지 버퍼(124)로 전송되도록 입출력 회로(125)를 제어할 수 있다.
- [0044] 예를 들어, 판별 결과에 따라 데이터 라인(DQ)을 통해 수신된 신호가 어드레스(ADDR)인 경우, 제어 로직 및 전압 발생기(123)의 제어에 의해 입출력 회로(125)는 데이터 라인을 통해 수신된 신호를 어드레스(ADDR)로서 어드레스 디코더(122)로 전송한다. 판별 결과에 따라 데이터 라인을 통해 수신된 신호가 커맨드(CMD)인 경우, 제어 로직 및 전압 발생기(123)의 제어에 따라 입출력 회로(125)는 데이터 라인을 통해 수신된 신호를 커맨드(CMD)로서 제어 로직 및 전압 발생기(123)로 전송한다. 판별 결과에 따라 데이터 라인을 통해 수신된 신호가 데이터(DATA)인 경우, 제어 로직 및 전압 발생기(123)의 제어에 따라 입출력 회로(125)는 데이터 라인을 통해 수신된 신호를 데이터(DATA)로서 페이지 버퍼(124)로 전송한다.
- [0045] 예시적으로, 입출력 회로(125)는 페이지 버퍼(124)로부터 수신된 데이터(DATA)를 제어 로직 및 전압 발생기(123)의 제어에 따라 메모리 컨트롤러(110)로 전송할 수 있다.
- [0046] 도 4는 도 2에 도시된 제 1 내지 제 4 제어 신호들에 따른 불휘발성 메모리 장치의 동작 상태를 보여주는 도면이다. 간결한 설명을 위하여, 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)은 로직 하이(H), 로직 로우(L), 또는 펄스 신호를 갖는 것으로 가정한다. 그러나, 본 발명의 범위가 이에 한정되는 것은 아니다. 또한, 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)은 도 4에 도시된 신호에 국한되는 것은 아니며, 다양한 조합으로 변형될 수 있다.
- [0047] 도 3 내지 도 4를 참조하면, 제 1 제어 신호(CTRL1)는 칩 활성화 신호(CEB)일 수 있다. 제 2 제어 신호(CTRL2)는 커맨드 어드레스 래치 활성화 신호(CALE)일 수 있다. 제 3 제어 신호(CTRL3)는 읽기 활성화 및 커맨드 어드레스 선택 신호(REB/CAS)일 수 있다. 제 4 제어 신호(CTRL4)는 데이터 스트로브 신호(DQS)일 수 있다.
- [0048] 제 1 제어 신호(CTRL1)가 로직 로우(L)이고, 제 2 제어 신호(CTRL2)가 로직 하이(H)이고, 제 3 제어 신호(CTRL3)가 로직 하이(H)인 경우, 불휘발성 메모리 장치(120)는 커맨드(CMD) 입력 상태로 동작할 수 있다. 이 경우, 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 수신된 신호를 제 4 제어 신호(CTRL4)의 상승 에지(rising edge)에서 획득하고, 획득한 신호를 커맨드(CMD)로 식별할 수 있다. 예시적으로, 불휘발성 메모리 장치(120)는 커맨드(CMD)로 식별된 신호를 제어 로직 및 전압 발생기(123)로 전송할 수 있다.
- [0049] 제 1 제어 신호(CTRL1)가 로직 로우(L)이고, 제 2 제어 신호(CTRL2)가 로직 하이(H)이고, 제 3 제어 신호(CTRL3)가 로직 로우(L)인 경우, 불휘발성 메모리 장치(120)는 어드레스(ADDR) 입력 상태로 동작할 수 있다. 이 경우, 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 수신된 신호를 제 4 제어 신호(CTRL4)의 상승 에지(rising edge)에서 획득하고, 획득한 신호를 어드레스(ADDR)로 식별할 수 있다. 예시적으로, 불휘발성 메모리 장치(120)는 어드레스(ADDR)로 식별된 신호를 어드레스 디코더(122)로 전송할 수 있다.
- [0050] 제 1 제어 신호(CTRL1)가 로직 로우(L)이고, 제 2 제어 신호(CTRL2)가 로직 로우(L)이고, 제 3 제어 신호(CTRL3)가 로직 하이(H)인 경우, 불휘발성 메모리 장치(120)는 데이터(DATA) 입력 상태로 동작할 수 있다. 이 경우, 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 수신된 신호를 제 4 제어 신호(CTRL4)의 하강 에지(falling edge) 및 상승 에지(rising edge)에서 획득하고, 획득한 신호를 입력 데이터(DATA)로 식별할 수 있다. 예시적으로, 불휘발성 메모리 장치(120)는 입력 데이터(DATA)로 식별된 신호를 페이지 버퍼(124)로 전송할 수 있다.
- [0051] 제 1 제어 신호(CTRL1)가 로직 로우(L)이고, 제 2 제어 신호(CTRL2)가 로직 로우(L)이고, 제 3 제어 신호(CTRL3)가 일정 주기를 갖는 펄스 신호인 경우, 불휘발성 메모리 장치(120)는 데이터(DATA) 출력 상태로 동작할 수 있다. 이 경우, 불휘발성 메모리 장치(120)는 메모리 셀 어레이(121)에 저장된 데이터(DATA)를 읽고, 읽은

데이터(DATA)를 제 4 제어 신호(CTRL4)에 따라 데이터 라인(DQ)을 통해 메모리 컨트롤러(110)로 전송할 수 있다.

- [0052] 상술된 바와 같이 본 발명의 실시 예에 따른 불휘발성 메모리 장치(120)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)에 따라 커맨드(CMD) 입력 상태, 어드레스(ADDR) 입력 상태, 데이터(DATA) 입력 상태, 및 데이터(DATA) 출력 상태 중 어느 하나의 상태로 동작할 수 있다. 이하의 도면들을 참조하여, 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)에 따른 동작 상태가 더욱 상세하게 설명된다.
- [0053] 도 5는 도 4에 도시된 커맨드 입력 상태를 설명하기 위한 타이밍도이다. 도 2 내지 도 5를 참조하면, 불휘발성 메모리 장치(120)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 수신할 수 있다. 제 1 제어 신호(CTRL1)는 로직 로우(LOW)이고, 제 2 제어 신호(CTRL2)는 로직 하이(HIGH)이고, 제 3 제어 신호(CTRL3)는 로직 하이(HIGH)이고, 제 4 제어 신호(CTRL4)는 펄스 신호이다. 이 경우, 도 4를 참조하여 설명된 바와 같이 불휘발성 메모리 장치(120)는 커맨드(CMD) 입력 상태로 동작할 것이다.
- [0054] 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 커맨드(CMD)에 대응하는 신호를 수신할 수 있다. 불휘발성 메모리 장치(120)는 제 1 시점(t1, 다시 말해서, 제 4 제어 신호(CTRL4)의 상승 에지에서 데이터 라인(DQ)을 통해 수신된 신호를 획득하고, 획득한 신호를 커맨드(CMD)로 인식할 것이다.
- [0055] 도 6은 도 4에 도시된 어드레스 입력 상태를 설명하기 위한 타이밍도이다. 도 2, 도 4, 및 도 6을 참조하면, 불휘발성 메모리 장치(120)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 수신할 수 있다. 제 1 제어 신호(CTRL1)는 로직 로우(LOW)이고, 제 2 제어 신호(CTRL2)는 로직 하이(HIGH)이고, 제 3 제어 신호(CTRL3)는 로직 로우(LOW)이고, 제 4 제어 신호(CTRL4)는 펄스 신호이다. 이 경우, 도 4를 참조하여 설명된 바와 같이 불휘발성 메모리 장치(120)는 어드레스(ADDR) 입력 상태로 동작할 것이다.
- [0056] 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 어드레스(ADDR)에 대응하는 신호를 수신할 수 있다. 불휘발성 메모리 장치(120)는 제 2 시점(t2, 다시 말해서, 제 4 제어 신호(CTRL4)의 상승 에지에서)데이터 라인(DQ)을 통해 수신된 신호를 획득하고, 획득한 신호를 어드레스(ADDR)로 인식할 것이다.
- [0057] 도 7은 도 4에 도시된 데이터 입력 상태를 설명하기 위한 타이밍도이다. 도 2, 도 4, 및 도 7을 참조하면, 불휘발성 메모리 장치(120)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 수신할 수 있다. 제 1 제어 신호(CTRL1)는 로직 로우(LOW)이고, 제 2 제어 신호(CTRL2)는 로직 로우(LOW)이고, 제 3 제어 신호(CTRL3)는 로직 하이(HIGH)이고, 제 4 제어 신호(CTRL4)는 펄스 신호이다. 이 경우, 도 4를 참조하여 설명된 바와 같이 불휘발성 메모리 장치(120)는 데이터(DATA) 입력 상태로 동작할 것이다.
- [0058] 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 입력 데이터(D_in)와 대응되는 신호들을 수신할 수 있다. 불휘발성 메모리 장치(120)는 제 3 시점(t3) 내지 제 4 시점(t4) 동안 제 4 제어 신호(CTRL4)의 상승 에지 및 하강 에지에서 데이터 라인(DQ)을 통해 수신된 신호들을 획득하고, 획득한 신호들을 입력 데이터(D_in)로 식별할 것이다.
- [0059] 예시적으로, 제 4 제어 신호(CTRL4)는 입력 데이터(D_in)를 식별하기 전에 소정의 시간동안 프리앰블(preamble) 상태일 수 있다. 프리앰블 상태는 불휘발성 메모리 장치(120)가 입력 데이터(D_in)를 수신하는 채널(즉, 데이터 라인)의 안정화를 위한 상태를 가리킨다. 예시적으로, 제 4 제어 신호(CTRL4)는 프리앰블 상태동안 로직 로우일 수 있다.
- [0060] 예시적으로, 제 4 제어 신호(CTRL4)는 입력 데이터(D_in)를 모두 식별한 이 후에 소정의 시간동안 포스트앰블(postamble) 상태일 수 있다. 포스트앰블 상태는 불휘발성 메모리 장치(120)가 입력 데이터(D_in)를 모두 수신한 이 후에 채널의 안정화를 위한 상태를 가리킨다. 예시적으로, 제 4 제어 신호(CTRL4)는 포스트앰블 상태 동안 로직 로우일 수 있다.
- [0061] 도 8은 도 4에 도시된 데이터 출력 상태를 설명하기 위한 타이밍도이다. 도 2, 도 4, 및 도 8을 참조하면, 불휘발성 메모리 장치(120)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 수신할 수 있다. 제 1 제어 신호(CTRL1)는 로직 로우(LOW)이고, 제 2 제어 신호(CTRL2)는 로직 로우(LOW)이고, 제 3 및 제 4 제어 신호들(CTRL3, CTRL4)은 펄스 신호일 수 있다. 이 경우, 도 4를 참조하여 설명된 바와 같이 불휘발성 메모리 장치(120)는 데이터(DATA) 출력 상태로 동작할 수 있다.
- [0062] 불휘발성 메모리 장치(120)는 제 1 내지 제 3 제어 신호들(CTRL1~CTRL3)에 응답하여 불휘발성 메모리 장치(120)에 저장된 데이터(D_out)를 읽고, 제 4 제어 신호(CTRL4)를 기반으로 데이터(D_out)를 메모리 컨트롤러(110)

로 전송할 수 있다. 예를 들어, 불휘발성 메모리 장치(120)는 페이지 버퍼(124)에 저장된 출력 데이터(D_{out})를 제 3 제어 신호(CTRL3)의 상승 에지 또는 하강 에지에 획득하여 입출력 회로(125)로 전송할 수 있다. 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL)를 기반으로 제 5 시점(t₅) 내지 제 6 시점(t₆) 동안 입출력 회로(125)에 저장된 출력 데이터(D_{out})를 메모리 컨트롤러(110)로 전송할 수 있다. 예시적으로, 메모리 컨트롤러(110)는 제 4 제어 신호(CTRL4)를 기반으로 불휘발성 메모리 장치(120)로부터 출력 데이터(D_{out})를 수신할 수 있다.

[0063] 예시적으로, 제 3 제어 신호(CTRL3)는 출력 데이터(D_{out})를 입출력 회로(125)로 전송하기 전에 소정의 시간동안 프리앰블 상태일 수 있다. 제 4 제어 신호(CTRL4)는 출력 데이터(D_{out})를 메모리 컨트롤러(110)로 전송하기 전에 소정의 시간동안 프리앰블 상태일 수 있다.

[0064] 예시적으로, 제 3 제어 신호(CTRL3)는 모든 출력 데이터(D_{out})를 입출력 회로(125)로 전송한 이후에, 소정의 시간동안 포스트앰블 상태일 수 있다. 제 4 제어 신호(CTRL)는 모든 출력 데이터(D_{out})를 메모리 컨트롤러(110)로 전송한 이후에 소정의 시간동안 포스트앰블 상태일 수 있다.

[0065] 상술된 본 발명의 실시 예에 따르면, 불휘발성 메모리 시스템(100)은 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 사용하여 불휘발성 메모리 장치(120)의 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태를 제어할 수 있다. 따라서, 감소된 제어 신호를 사용하여 종래의 불휘발성 메모리 시스템과 동일한 동작을 지원할 수 있다. 따라서, 불휘발성 메모리 장치에 포함된 핀(pin)의 개수가 감소되므로, 감소된 면적 및 감소된 비용을 갖는 불휘발성 메모리 시스템이 제공된다.

[0066] 도 9는 도 3에 도시된 불휘발성 메모리 장치의 쓰기 동작을 설명하기 위한 타이밍도이다. 간결한 설명을 위하여, 페이지 프로그램 동작을 기반으로 불휘발성 메모리 장치(120)의 쓰기 동작이 설명된다. 그러나, 본 발명의 범위가 이에 한정되는 것은 아니다.

[0067] 도 1, 도 3, 및 도 9를 참조하면, 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)로부터 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 수신할 수 있다. 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 커맨드(CMD), 어드레스(ADDR), 입력 데이터(D_{in})를 메모리 컨트롤러(110)로부터 수신할 수 있다. 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 출력 데이터(D_{out})를 메모리 컨트롤러(110)로 전송할 수 있다. 예시적으로, 출력 데이터(D_{out})는 프로그램 검증 결과를 가리키는 데이터일 수 있다.

[0068] 먼저, 제 1 제어 신호(CTRL1)는 로직 로우이고, 제 2 제어 신호(CTRL2)는 로직 하이이고, 제 3 제어 신호(CTRL3)는 로직 하이이고, 제 4 제어 신호(CTRL4)는 펄스 신호일 수 있다. 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)의 상승 에지에 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD)로 식별할 수 있다. 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)의 상승 에지에서(즉, 제 1 시점(t_{1w})에서) 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD)로서 제어 로직 및 전압 발생기(123)로 전송할 수 있다. 예시적으로, 제 1 시점(t_{1w})에서 수신된 커맨드(CMD)는 제 1 페이지 프로그램 커맨드일 수 있다.

[0069] 이 후, 제 3 제어 신호(CTRL3)가 로직 로우로 천이될 수 있다. 이 때, 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)의 상승 에지에서 데이터 라인(DQ)을 통해 수신된 신호를 어드레스(ADDR)로 식별할 수 있다. 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)의 상승 에지에 데이터 라인(DQ)을 통해 수신된 신호를 어드레스(ADDR)로서 어드레스 디코더(122)로 전송할 수 있다. 예시적으로, 불휘발성 메모리 장치(120)는 제 2 시점(t_{2w}) 내지 제 3 시점(t_{3w}) 동안 제 4 제어 신호(CTRL4)의 상승 에지들에서 데이터 라인(DQ)을 통해 수신된 신호를 어드레스(ADDR)로 식별할 수 있다. 즉, 불휘발성 메모리 장치(120)는 소정의 시간동안 복수의 어드레스들(ADDR)을 수신할 수 있다. 예시적으로, 복수의 어드레스들(ADDR)은 복수의 열 어드레스, 복수의 행 어드레스, 페이지 어드레스, 블록 어드레스 등을 포함할 수 있다.

[0070] 이 후, 제 2 제어 신호(CTRL2)는 로직 로우로 천이되고, 제 3 제어 신호(CTRL3)는 로직 하이로 천이된다. 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)의 상승 에지 및 하강 에지에서 데이터 라인(DQ)을 통해 수신된 신호를 입력 데이터(D_{in})로 식별할 수 있다. 예를 들어, 불휘발성 메모리 장치(120)는 제 4 시점(t_{4w}) 내지 제 5 시점(t_{5w}) 동안 제 4 제어 신호(CTRL4)의 상승 에지들 및 하강 에지들에서 데이터 라인(DQ)을 통해 수신된 신호를 입력 데이터(D_{in})로 식별할 수 있다. 즉, 불휘발성 메모리 장치(120)는 소정의 시간동안 복수의 입력 데이터(D_{in})를 수신할 수 있다. 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 수신된 신호를 입력 데이터(D_{in})로서 페이지 버퍼(124)로 전송할 수 있다.

[0071] 이 후, 제 2 제어 신호(CTRL2)는 로직 하이로 천이될 수 있다. 불휘발성 메모리 장치(120)는 제 4 제어 신호

(CTRL4)의 상승 에지에서(즉, 제 6 시점(t6_w)에서) 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD)로 식별할 수 있다. 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD)로서 제어 로직 및 전압 발생기(123)로 전송할 수 있다. 예시적으로, 제 6 시점(t6_w)에 수신된 커맨드(CMD)는 제 2 페이지 프로그램 커맨드일 수 있다. 예시적으로, 제 1 및 제 2 페이지 프로그램 커맨드들은 페이지 프로그램과 대응되는 커맨드 세트일 수 있다.

[0072] 이 후, 불휘발성 메모리 장치(120)는 소정의 시간동안 프로그램 동작을 수행할 수 있다. 예시적으로, 불휘발성 메모리 장치(120)는 메모리 셀 어레이(121)에 포함된 복수의 페이지들 중 어드레스 디코더(122)로 전송된 어드레스(ADDR)와 대응되는 하나 또는 둘 이상의 페이지에 입력 데이터(D_in)를 기입할 수 있다.

[0073] 이 후, 제 1 제어 신호(CTRL1)는 로직 로우이고, 제 2 제어 신호(CTRL2)는 로직 하이이고, 제 3 제어 신호(CTRL3)는 로직 하이일 수 있다. 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)의 상승 에지에서(즉, 제 7 시점(t7_w)에서) 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD)로 식별할 수 있다. 불휘발성 메모리 장치(120)는 제 7 시점(t7_w)에 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD)로서 제어 로직 및 전압 발생기(123)로 전송할 수 있다. 예시적으로, 제 7 시점(t7_w)에 수신된 커맨드(CMD)는 프로그램 검증 결과를 출력하기 위한 읽기 커맨드일 수 있다.

[0074] 이 후, 불휘발성 메모리 장치(120)는 프로그램된 메모리 셀들의 검증 결과를 출력 데이터(D_out)로서 데이터 라인(DQ)을 통해 출력할 수 있다. 이 때, 제 1 제어 신호(CTRL1)는 로직 로우이고, 제 2 제어 신호(CTRL2)는 로직 로우이고, 제 3 제어 신호(CTRL3)는 펄스 신호이고, 제 4 제어 신호(CTRL4)는 펄스 신호이다. 불휘발성 메모리 장치(120)는 제 3 제어 신호(CTRL3)를 기반으로 출력 데이터(D_out)를 입출력 회로(125)로 전송할 수 있다. 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)를 기반으로 출력 데이터(D_out)를 데이터 라인(DQ)을 통해 메모리 컨트롤러(110)로 전송할 수 있다.

[0075] 도 10은 도 3에 도시된 불휘발성 메모리 장치의 읽기 동작을 설명하기 위한 타이밍도이다. 간결한 설명을 위하여, 페이지 읽기 동작을 기반으로 불휘발성 메모리 장치(120)의 읽기 동작이 설명된다.

[0076] 도 1, 도 3, 및 도 10을 참조하면, 불휘발성 메모리 장치(120)는 제 1 내지 제 4 제어 신호들(CTRL1-CTRL4)을 메모리 컨트롤러(120)로부터 수신할 수 있다. 불휘발성 메모리 장치(120)는 데이터 라인(DQ)을 통해 출력 데이터(D_out)를 메모리 컨트롤러(110)로 전송할 수 있다.

[0077] 먼저, 제 1 제어 신호(CTRL1)는 로직 로우이고, 제 2 제어 신호(CTRL2)는 로직 하이이고, 제 3 제어 신호(CTRL3)는 로직 하이이고, 제 4 제어 신호(CTRL4)는 펄스 신호일 수 있다. 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)의 상승 에지에서(즉, 제 1 시점(t1_r)에서) 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD)로서 식별할 수 있다. 불휘발성 메모리 장치(120)는 제 1 시점(t1_r)에서 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD)로서 제어 로직 및 전압 발생기(123)로 전송할 수 있다. 예시적으로, 제 1 시점(t1_r)에서 수신된 커맨드(CMD)는 제 1 페이지 읽기 커맨드일 수 있다.

[0078] 이 후, 제 3 제어 신호(CTRL3)가 로직 로우로 천이된다. 이 때, 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)의 상승 에지에서 데이터 라인(DQ)을 통해 수신된 신호들을 어드레스들(ADDR)로 식별할 수 있다. 불휘발성 메모리 장치(120)는 어드레스(ADDR)로 식별된 신호를 어드레스 디코더(122)로 전송할 수 있다. 예시적으로, 불휘발성 메모리 장치(120)는 제 2 시점(t2_r) 내지 제 3 시점(t3_r) 동안 제 4 제어 신호(CTRL4)의 상승 에지들에서 데이터 라인(DQ)을 통해 수신된 신호들을 어드레스들(ADDR)로 식별할 수 있다. 즉, 불휘발성 메모리 장치(120)는 소정의 시간 동안 복수의 어드레스(ADDR)를 수신할 수 있다.

[0079] 이 후, 제 3 제어 신호(CTRL3)가 로직 하이로 천이된다. 이 때, 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)의 상승 에지에서(즉, 제 4 시점(t4_r)에서) 데이터 라인(DQ)을 통해 수신된 신호를 커맨드(CMD)로 식별할 수 있다. 불휘발성 메모리 장치(120)는 커맨드(CMD)로 식별된 신호를 제어 로직 및 전압 발생기(123)로 전송할 수 있다. 예시적으로, 제 4 시점(t4_r)에서 수신된 커맨드(CMD')는 제 2 페이지 읽기 커맨드일 수 있다. 제 1 및 제 2 페이지 읽기 커맨드는 페이지 읽기 동작에 대응되는 커맨드 세트일 수 있다.

[0080] 이 후, 불휘발성 메모리 장치(120)는 소정의 시간동안 메모리 셀 어레이(121)에 포함된 복수의 페이지들 중 수신된 어드레스(ADDR)와 대응되는 페이지에 저장된 데이터를 읽을 수 있다.

[0081] 이 후, 제 1 제어 신호(CTRL1)는 로직 로우이고, 제 2 제어 신호(CTRL2)는 로직 로우이고, 제 3 제어 신호(CTRL3)는 펄스 신호이고, 제 4 제어 신호(CTRL4)는 펄스 신호일 수 있다. 이 때, 불휘발성 메모리 장치(120)는 제 4 제어 신호(CTRL4)를 기반으로 읽은 데이터를 출력 데이터(D_out)로서 데이터 라인(DQ)을 통해 메모리 컨트롤러(110)로 전송할 수 있다.

롤러(110)로 전송할 수 있다. 예를 들어, 불휘발성 메모리 장치(120)는 수신된 어드레스(ADDR)와 대응되는 페이지에 저장된 데이터를 읽고, 읽은 데이터를 페이지 버퍼(124)에 저장할 수 있다. 불휘발성 메모리 장치(120)는 제 3 제어 신호(CTRL3)의 상승 에지들 및 하강 에지들에서 페이지 버퍼(124)에 저장된 데이터를 입출력 회로(125)로 전송할 수 있다. 불휘발성 메모리 장치(120)는 입출력 회로(125)에 저장된 데이터를 제 4 제어 신호(CTRL4)를 기반으로 출력 데이터(D_out)로서 메모리 컨트롤러(110)로 전송할 수 있다. 즉, 불휘발성 메모리 장치(120) 제 5 시점(t5_r) 내지 제 6 시점(t6_r) 동안 복수의 출력 데이터(D_out)를 메모리 컨트롤러(110)로 전송할 수 있다.

[0082] 도 11은 본 발명의 다른 실시 예에 따른 불휘발성 메모리 시스템을 보여주는 블록도이다. 도 11을 참조하면, 불휘발성 메모리 시스템(200)은 메모리 컨트롤러(210) 및 불휘발성 메모리 장치(220)를 포함한다. 메모리 컨트롤러(210) 및 불휘발성 메모리 장치(220)는 도 1을 참조하여 설명되었으므로, 이에 대한 상세한 설명은 생략된다.

[0083] 도 11의 불휘발성 메모리 장치(220)는 제 1 및 제 2 동작 모드들 중 어느 하나의 동작 모드를 기반으로 동작할 수 있다. 예를 들어, 불휘발성 메모리 장치(220)는 모드 제어 신호(MODE)를 수신할 수 있다. 모드 제어 신호(MODE)는 제 1 및 제 2 동작 모드들 중 어느 하나의 동작 모드를 가리키는 신호이다. 예시적으로, 제 1 동작 모드는 신호 감소 모드이고, 제 2 동작 모드는 노멀 모드일 수 있다. 예시적으로, 모드 제어 신호(MODE)는 외부 장치(예를 들어, 호스트), 사용자(user), 또는 제조사(vendor)의 제어에 따라 생성되는 신호일 수 있다. 즉, 불휘발성 메모리 장치(220)가 제 1 동작 모드로 동작하는 경우, 메모리 컨트롤러(210)는 불휘발성 메모리 장치(220)로 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 전송하고, 불휘발성 메모리 장치(220)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 기반으로 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태 중 어느 하나의 상태를 기반으로 동작할 것이다. 불휘발성 메모리 장치(220)가 제 2 동작 모드로 동작하는 경우, 메모리 컨트롤러(210)는 제 1 내지 제 6 제어 신호들(CTRL1~CTRL6)을 불휘발성 메모리 장치(220)로 전송하고, 불휘발성 메모리 장치(220)는 제 1 내지 제 6 제어 신호들(CTRL1~CTRL6)을 기반으로 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태 중 어느 하나의 상태를 기반으로 동작할 것이다.

[0084] 예시적으로, 불휘발성 메모리 장치(220)의 동작 모드는 메모리 컨트롤러(210)의 동작 모드에 따라 선택될 수 있다. 예를 들어, 메모리 컨트롤러(210)가 제 1 내지 제 6 제어 신호들을 기반으로 동작하는 경우, 불휘발성 메모리 장치(220)는 제 1 내지 제 6 제어 신호들을 기반으로 동작하도록 동작 모드가 선택될 수 있다. 또는 메모리 컨트롤러(210)가 제 1 내지 제 4 제어 신호들을 기반으로 동작하는 경우, 불휘발성 메모리 장치(220)는 제 1 내지 제 4 제어 신호들을 기반으로 동작하도록 동작 모드가 선택될 수 있다.

[0085] 예시적으로, 제 1 동작 모드는 도 1 내지 도 10을 참조하여 설명된 불휘발성 메모리 시스템의 동작 방법을 기반으로 동작하는 모드를 가리킨다. 제 2 동작 모드는 도 13을 참조하여 상세하게 설명된다.

[0086] 예시적으로, 모드 제어 신호(MODE)에 따라 선택된 동작 모드의 정보는 불휘발성 메모리 장치(220)에 포함된 별도의 저장 회로(예를 들어, MRS, 퓨즈, 레지스터 등)에 저장되고, 불휘발성 메모리 장치(220)는 저장된 동작 모드 정보를 기반으로 동작할 수 있다.

[0087] 비록 도면에 도시되지는 않았으나, 메모리 컨트롤러(210)는 외부 장치로부터 모드 제어 신호(MODE)를 수신하고, 수신된 모드 제어 신호(MODE)를 기반으로 불휘발성 메모리 장치(220)의 동작 모드를 제어할 수 있다.

[0088] 도 12는 도 11에 도시된 불휘발성 메모리 장치를 상세하게 보여주는 블록도이다. 도 11 및 도 12를 참조하면, 불휘발성 메모리 장치(220)는 메모리 컨트롤러(210)로부터 제 1 내지 제 6 제어 신호들(CTRL1~CTRL6)을 수신할 수 있다. 불휘발성 메모리 장치(220)는 데이터 라인(DQ)을 통해 메모리 컨트롤러(210)로부터 커맨드(CMD), 어드레스(ADDR), 및 데이터(DATA)를 수신할 수 있다. 불휘발성 메모리 장치(220)는 데이터 라인(DQ)을 통해 메모리 컨트롤러(210)로 데이터(DATA)를 전송할 수 있다.

[0089] 예시적으로, 예를 들어, 불휘발성 메모리 장치(120)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 제 1 신호 그룹(221)에 포함된 신호들로 사용할 수 있다. 제 1 신호 그룹(221)은 CEB, CALE, REB/CAS, 및 DQS를 포함할 수 있다. 불휘발성 메모리 장치(220)는 제 5 및 제 6 제어 신호들(CTRL5, CTRL6)을 제 2 신호 그룹(222)에 포함된 신호들로 사용할 수 있다. 제 2 신호 그룹(222)은 ALE, WEB)를 포함할 수 있다.

[0090] 불휘발성 메모리 장치(220)는 모드 제어 신호(MODE)에 따라 제 1 및 제 2 동작 모드들 중 어느 하나의 동작 모드로 동작할 수 있다.

[0091] 불휘발성 메모리 장치(220)가 제 1 동작 모드로 동작하는 경우, 불휘발성 메모리 장치(220)는 도 1 내지 도 10을 참조하여 설명된 동작을 기반으로 동작할 수 있다. 즉, 불휘발성 메모리 장치(220)는 제 1 신호 그룹(221)을

기반으로 동작 할 수 있다. 예를 들어, 불휘발성 메모리 장치(220)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 사용하여 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태로 동작할 수 있다. 즉, 불휘발성 메모리 장치(220)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 각각 칩 활성화 신호(CEB), 커맨드 어드레스 래치 활성화 신호(CALE), 읽기 활성화 및 커맨드 어드레스 선택 신호(REB/CAS), 및 데이터 스트로브 신호(DQS)로서 사용할 것이다.

[0092] 불휘발성 메모리 장치(220)가 제 2 동작 모드(즉, 노멀 모드)로 동작하는 경우, 불휘발성 메모리 장치(220)는 제 1 내지 제 6 제어 신호들(CTRL1~CTRL6)을 사용하여 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태로 동작할 수 있다. 예를 들어, 불휘발성 메모리 장치(220)는 제 1 및 제 2 신호 그룹들(221, 222)에 포함된 신호들을 기반으로 동작할 수 있다. 즉, 불휘발성 메모리 장치(220)는 제 1 내지 제 6 제어 신호들(CTRL1~CTRL6)을 각각 칩 활성화 신호(CEB), 커맨드 래치 활성화 신호(CLE), 읽기 활성화 신호(REB), 데이터 스트로브 신호(DQS), 어드레스 래치 활성화 신호(ALE), 및 쓰기 활성화 신호(WEB)로서 사용할 것이다.

[0093] 도 13은 도 12에 도시된 불휘발성 메모리 장치의 동작 상태 및 제 1 내지 제 6 제어 신호들의 관계를 보여주는 도면이다. 도 12 및 도 13을 참조하면, 불휘발성 메모리 장치(220)는 모드 제어 신호(MODE)에 따라 제 1 및 제 2 동작 모드들(MODE1, MODE2) 중 어느 하나의 동작 모드로 동작할 것이다.

[0094] 먼저, 불휘발성 메모리 장치(220)가 제 1 동작 모드로 동작 하는 경우, 불휘발성 메모리 장치(220)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 기반으로 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 또는 데이터 출력 상태로 동작할 것이다. 불휘발성 메모리 장치(220)의 제 1 동작 모드(MODE1)는 도 1 내지 도 10을 참조하여 설명되었으므로, 이에 대한 상세한 설명은 생략된다. 예시적으로, 불휘발성 메모리 장치(220)가 제 1 동작 모드(MODE1)로 동작하는 경우, 불휘발성 메모리 장치(220)는 제 5 및 제 6 제어 신호들(CTRL5, CTRL6)의 영향을 받지 않을 것이다. 또는 불휘발성 메모리 장치(220)는 제 5 및 제 6 제어 신호들(CTRL5, CTRL6)을 사용하지 않을 것이다. 또는, 메모리 컨트롤러(210)는 제 5 및 제 6 제어 신호들(CTRL5, CTRL6)을 불휘발성 메모리 장치(220)로 전송하지 않을 것이다.

[0095] 불휘발성 메모리 장치(220)가 제 2 동작 모드(MODE2)로 동작하는 경우, 불휘발성 메모리 장치(220)는 제 1 내지 제 6 제어 신호들(CTRL1~CTRL6)을 기반으로 동작할 수 있다. 예를 들어, 제 1 제어 신호(CTRL1)가 로직 로우(L)이고, 제 2 제어 신호(CTRL2)가 로직 하이(H)이고, 제 3 제어 신호(CTRL3)가 로직 하이(H)이고, 제 5 제어 신호(CTRL5)가 로직 로우(L)이고, 제 6 제어 신호(CTRL6)가 펄스 신호인 경우, 불휘발성 메모리 장치(220)는 커맨드 입력 상태로 동작할 것이다.

[0096] 제 1 제어 신호(CTRL1)가 로직 로우(L)이고, 제 2 제어 신호(CTRL2)가 로직 로우(L)이고, 제 3 제어 신호(CTRL3)가 로직 하이(H)이고, 제 5 제어 신호(CTRL5)가 로직 하이(H)이고, 제 6 제어 신호(CTRL6)가 펄스 신호인 경우, 불휘발성 메모리 장치(220)는 어드레스 입력 상태로 동작할 것이다.

[0097] 제 1 제어 신호(CTRL1)가 로직 로우(L)이고, 제 2 제어 신호(CTRL2)가 로직 로우(L)이고, 제 3 제어 신호(CTRL3)가 로직 하이(H)이고, 제 4 제어 신호(CTRL4)가 펄스 신호이고, 제 5 제어 신호(CTRL5)가 로직 로우(L)이고, 제 6 제어 신호(CTRL6)가 로직 하이(H)인 경우, 불휘발성 메모리 장치(220)는 데이터 입력 상태로 동작할 것이다.

[0098] 제 1 제어 신호(CTRL1)가 로직 로우(L)이고, 제 2 제어 신호(CTRL2)가 로직 로우(L)이고, 제 3 제어 신호(CTRL3)가 펄스 신호이고, 제 4 제어 신호(CTRL4)가 펄스 신호이고, 제 5 제어 신호(CTRL5)가 로직 로우(L)이고, 제 6 제어 신호(CTRL6)가 로직 하이(H)인 경우, 불휘발성 메모리 장치(220)는 데이터 출력 상태로 동작할 것이다. 상술된 바와 같이, 본 발명의 다른 실시 예에 따른 불휘발성 메모리 시스템(200)은 제 1 및 제 2 동작 모드들(MODE1, MODE2) 중 어느 하나의 동작 모드로 동작할 수 있다. 예를 들어, 불휘발성 메모리 시스템(200)은 제 1 내지 제 4 제어 신호들을 기반으로 동작하는 제 1 동작 모드(MODE1, 다시 말해서, 감소된 신호 모드) 및 제 2 동작 모드(MODE2, 다시 말해서, 제 1 내지 제 6 제어 신호들을 기반으로 동작하는 노멀 모드)로 동작할 수 있다. 불휘발성 메모리 시스템(200)이 제 1 동작 모드(MODE1)로 동작하는 경우, 메모리 컨트롤러(210)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 불휘발성 메모리 장치(220)로 전송하고, 불휘발성 메모리 장치(220)는 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)에 응답하여 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태 중 어느 하나의 상태로 동작할 수 있다. 불휘발성 메모리 시스템(200)이 제 2 동작 모드(MODE2)로 동작하는 경우, 메모리 컨트롤러(210)는 제 1 내지 제 6 제어 신호들(CTRL1~CTRL6)을 불휘발성 메모리 장치(220)로 전송하고, 불휘발성 메모리 장치(220)는 제 1 내지 제 6 제어 신호들(CTRL1~CTRL6)에

응답하여 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태 중 어느 하나의 상태로 동작할 수 있다.

- [0099] 따라서, 상술된 바와 같이 불휘발성 메모리 시스템(200)이 제 1 및 제 2 동작 모드들(MODE1, MODE2) 중 어느 하나의 동작 모드를 선택하고, 선택된 동작 모드를 기반으로 동작하기 때문에, 종래의 불휘발성 메모리 장치와 호환될 뿐만 아니라, 제어 신호를 감소시킴으로써 전력 소모가 감소될 수 있다. 따라서, 감소된 비용을 갖는 불휘발성 메모리 시스템이 제공된다.
- [0100] 도 14는 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리 시스템을 보여주는 블록도이다. 도 14를 참조하면, 불휘발성 메모리 시스템(300)은 메모리 컨트롤러(310) 및 복수의 불휘발성 메모리 장치들(321~32n)을 포함한다. 메모리 컨트롤러(310) 및 복수의 불휘발성 메모리 장치(321~32n)은 도 1 및 도 11을 참조하여 설명되었으므로, 이에 대한 상세한 설명은 생략된다.
- [0101] 메모리 컨트롤러(310)는 복수의 채널들(CH1~CHn)을 통해 복수의 불휘발성 메모리 장치들(321~32n)과 통신할 수 있다. 예를 들어, 메모리 컨트롤러(310)는 복수의 채널들(CH1~CHn)을 통해 복수의 불휘발성 메모리 장치들(321~32n)로 각각 어드레스(ADDR), 커맨드(CMD), 데이터(DATA), 및 복수의 제어 신호들(CTRLs)을 전송할 수 있다.
- [0102] 예시적으로, 복수의 불휘발성 메모리 장치들(321~32n)은 도 1 내지 도 13을 참조하여 설명된 불휘발성 메모리 장치일 수 있다. 즉, 복수의 불휘발성 메모리 장치들(321~32n) 각각은 복수의 채널들을 통해 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 수신하고, 수신된 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 기반으로 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 및 데이터 출력 상태 중 어느 하나의 상태를 기반으로 동작할 수 있다.
- [0103] 예시적으로, 복수의 불휘발성 메모리 장치들(321~32n) 중 일부는 제 1 제어 신호(CTRL1)에 응답하여 비활성화될 수 있다. 비활성화된 불휘발성 메모리 장치는 읽기, 쓰기, 소거 등의 동작을 수행하지 않을 수 있다. 예시적으로, 로직 하이의 논리 값을 갖는 제 1 제어 신호(CTRL1)를 수신한 불휘발성 메모리 장치는 비활성화될 수 있다.
- [0104] 상술된 본 발명의 또 다른 실시 예에 따르면, 복수의 불휘발성 메모리 장치들(321~32n)은 복수의 채널들(CH1~CHn)을 통해 메모리 컨트롤러와 통신할 수 있다. 이 때, 복수의 불휘발성 메모리 장치들(321~32n) 각각은 제 1 내지 제 4 제어 신호들을 기반으로 동작함으로써, 종래의 불휘발성 메모리 장치와 비교하여 감소된 제어 신호를 사용한다. 따라서, 메모리 컨트롤러로부터 신호를 수신하기 위한 핀의 개수가 감소되므로, 감소된 비용, 감소된 면적, 및 감소된 전력 소모를 갖는 불휘발성 메모리 시스템이 제공된다.
- [0105] 도 15는 본 발명의 실시 예에 따른 불휘발성 메모리 장치가 적용된 솔리드 스테이트 드라이브(SSD) 시스템을 보여주는 블록도이다. 도 15를 참조하면, SSD 시스템(1000)은 호스트(1100) 및 SSD(1200)를 포함한다.
- [0106] 호스트(1100)는 SSD(1200)에 데이터를 쓰거나, SSD(1200)에 저장된 데이터를 읽는다. 호스트(1100)는 커맨드, 어드레스, 상태 정보와 같은 신호(SGL)를 호스트 인터페이스(1101)를 통해 SSD(1200)와 주고 받을 수 있다. 예시적으로, 호스트 인터페이스(1101)는 USB (Universal Serial Bus), MMC (multimedia card), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer small interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), MIPI(Mobile Industry Processor Interface) 등과 같은 다양한 인터페이스들을 포함할 수 있다. 또는 호스트 인터페이스(1101)는 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, WI-DI, WIFI 등과 같은 다양한 무선 통신 프로토콜을 기반으로 제공될 수 있다.
- [0107] SSD(1200)는 호스트 인터페이스(1101)를 통해 호스트(1100)와 신호(SGL)를 주고 받으며, 전원 커넥터(power connector, 2102)를 통해 전원을 입력받는다. SSD(1200)는 복수의 불휘발성 메모리(1221~122n), SSD 컨트롤러(1210), 그리고 보조 전원 장치(1230)를 포함할 수 있다. 여기에서, 복수의 불휘발성 메모리 장치들(1221~122n)은 낸드 플래시 메모리 이외에도 PRAM, MRAM, ReRAM, FRAM 등으로 구현될 수 있다.
- [0108] 복수의 불휘발성 메모리 장치들(1221~122n)은 SSD(1200)의 저장 매체로서 사용된다. 복수의 불휘발성 메모리(1221~122n)는 복수의 채널(CH1~CHn)을 통해 SSD 컨트롤러(1210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 불휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 불휘발성 메모리는 동일한 데이터

버스에 연결될 수 있다.

- [0109] SSD 컨트롤러(1210)는 호스트 인터페이스(1201)를 통해 호스트(1100)와 신호(SGL)를 주고 받는다. 여기에서, 신호(SGL)에는 커맨드, 어드레스, 데이터 등이 포함될 수 있다. SSD 컨트롤러(1210)는 호스트(1100)의 커맨드에 따라 해당 불휘발성 메모리 장치에 데이터를 쓰거나 해당 불휘발성 메모리 장치로부터 데이터를 읽어낸다.
- [0110] 보조 전원 장치(1230)는 전원 커넥터(1202)를 통해 호스트(1100)와 연결된다. 보조 전원 장치(1230)는 호스트(1100)로부터 전원(PWR)을 입력받고, 충전할 수 있다. 한편, 보조 전원 장치(1230)는 SSD(1200) 내에 위치할 수도 있고, SSD(1200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(1230)는 메인 보드에 위치하며, SSD(1200)에 보조 전원을 제공할 수도 있다.
- [0111] 예시적으로, SSD 컨트롤러(1210) 및 복수의 불휘발성 메모리 장치들(1221~122n)은 도 1 내지 도 13을 참조하여 설명된 메모리 컨트롤러 및 불휘발성 메모리 장치일 수 있다. 즉, SSD 컨트롤러(1210)는 복수의 채널들(CH1~CHn)을 통해 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 복수의 불휘발성 메모리 장치들(1221~122n) 각각으로 전송할 수 있다. 복수의 불휘발성 메모리 장치들(1221~122n) 각각은 제 1 내지 제 4 제어 신호들(CTRL1~CTRL4)을 기반으로 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 또는 데이터 출력 상태로 동작할 수 있다. 따라서, 종래의 불휘발성 메모리 장치와 비교하여 감소된 제어 신호를 사용하므로, 불휘발성 메모리 장치의 핀의 개수가 감소된다. 따라서, 감소된 비용, 감소된 면적, 및 감소된 소비 전력을 갖는 불휘발성 메모리 시스템이 제공된다.
- [0112] 도 16은 본 발명에 따른 메모리 시스템이 적용된 사용자 시스템을 보여주는 블록도이다. 도 16을 참조하면, 사용자 시스템(2000)은 응용 프로세서(2100), 메모리 모듈(2200), 네트워크 모듈(2300), 스토리지 모듈(2400), 및 사용자 인터페이스(2500)를 포함한다. 예시적으로, 사용자 시스템(2000)은 UMPC(Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA(Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), DMB(Digital Multimedia Broadcasting) 재생기, 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player) 등과 같은 컴퓨팅 시스템들 중 어느 하나로 제공될 수 있다.
- [0113] 응용 프로세서(2100)는 사용자 시스템(2000)에 포함된 구성 요소들, OS(Operating system) 등을 구동시킬 수 있다. 예시적으로, 응용 프로세서(2100)는 사용자 시스템(2000)에 포함된 구성 요소들을 제어하는 컨트롤러들, 그래픽 엔진, 및 다양한 인터페이스들을 포함할 수 있다.
- [0114] 메모리 모듈(2200)은 사용자 시스템(2000)의 주 메모리, 동작 메모리, 버퍼 메모리, 또는 캐시 메모리로 동작할 수 있다. 메모리 모듈(2200)은 DRAM, SDRAM, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, LPDDR DRAM, LPDDR2 DRAM, LPDDR3 DRAM 등과 같은 휘발성 랜덤 액세스 메모리 또는 PRAM, ReRAM, MRAM, FRAM 등과 같은 불휘발성 랜덤 액세스 메모리를 포함할 수 있다.
- [0115] 네트워크 모듈(2300)은 외부 장치들과 통신을 수행할 수 있다. 예시적으로, 네트워크 모듈(2300)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, WI-DI 등과 같은 무선 통신을 지원할 수 있다.
- [0116] 스토리지 모듈(2400)은 데이터를 저장할 수 있다. 예를 들어, 스토리지 모듈(2400)은 외부로부터 수신한 데이터를 저장할 수 있다. 또는 스토리지 모듈(2400)은 스토리지 모듈(2400)에 저장된 데이터를 응용 프로세서(2100)로 전송할 수 있다. 예시적으로, 스토리지 모듈(2400)은 PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), NAND flash, NOR flash, 3차원 구조의 NAND 플래시 등과 같은 반도체 메모리 소자로 구현될 수 있다. 예시적으로, 스토리지 모듈(2400)은 복수의 불휘발성 메모리 장치들을 포함할 수 있다. 복수의 불휘발성 메모리 장치들은 도 1 내지 도 14를 참조하여 설명된 불휘발성 메모리 장치일 수 있다. 또는 스토리지 모듈(2400)은 도 1 내지 도 14를 참조하여 설명된 메모리 컨트롤러를 포함할 수 있다. 즉, 스토리지 모듈(2400)은 도 1 내지 도 14를 참조하여 설명된 동작 방식을 기반으로 동작할 수 있다.
- [0117] 사용자 인터페이스(2500)는 사용자 시스템(2100)에 데이터 또는 명령어를 입력하거나 또는 외부 장치로 데이터를 출력하는 인터페이스들을 포함할 수 있다. 예시적으로, 사용자 인터페이스(2500)는 카메라, 터치 스크린, 동

작 인식 모듈, 마이크 등과 같은 입력 장치들 또는 디스플레이, 스피커, 터치 스크린 등과 같은 출력 장치들을 포함할 수 있다.

- [0118] 도 17은 본 발명의 다른 실시 예에 따른 사용자 시스템을 보여주는 블록도이다. 도 17을 참조하면, 사용자 시스템(3000)은 호스트(3100) 및 저장 장치(3200)를 포함한다. 호스트(3100)는 코어(3110), 호스트 컨트롤러(3120), 및 버퍼 메모리(3130)를 포함할 수 있다. 예시적으로, 호스트(3100)는 도 16에 도시된 애플리케이션 프로세서(2100, AP)일 수 있다. 호스트(3100)는 시스템-온-칩(SoC; System-on-a-Chip) 형태로 제공될 수 있다. 비록 도면에 도시되지는 않았으나, 호스트(3100)는 별도의 외부 장치들(예를 들어, 네트워크 모듈, 디스플레이, 터치 패널 등)과 연결되어 각종 신호들을 주고 받거나, 수신된 신호들을 처리할 수 있다.
- [0119] 코어(3110)는 호스트(3100)의 제반 동작을 제어할 수 있다. 코어(3110)는 애플리케이션(3111) 및 장치 드라이버(3112)를 구동할 수 있다. 애플리케이션(3111)은 호스트(3100)에서 실행되는 다양한 응용 프로그램들이다. 장치 드라이버(3112)는 호스트(3100)에 연결되어 사용되는 주변 장치들을 구동하기 위한 장치일 수 있다. 예시적으로, 장치 드라이버(3112)는 저장 장치(3200)를 구동할 수 있다. 애플리케이션(3111) 또는 장치 드라이버(3112)는 소프트웨어(software) 계층으로 제공될 수 있다. 호스트 컨트롤러(3120)는 저장 장치(3200)로 커맨드(CMD), 어드레스(ADDR), 및 제어 신호들(CTRLs)을 전송할 수 있다. 호스트 컨트롤러(3120)는 저장 장치(3200)와 데이터(DATA)를 주고 받을 수 있다.
- [0120] 버퍼 메모리(3130)는 호스트(3100)의 메인 메모리 또는 캐쉬 메모리로 사용될 수 있다. 예시적으로, 버퍼 메모리(3130)는 애플리케이션(3111) 또는 장치 드라이버(3112) 등과 같은 소프트웨어 또는 호스트(3100)의 플래시 변환 계층(3121)과 같은 펌웨어를 구동하기 위한 구동 메모리로 사용될 수 있다.
- [0121] 저장 장치(3200)는 호스트 컨트롤러(3120)로부터 수신된 커맨드(CMD), 어드레스(ADDR), 제어 신호들(CTRLs)에 응답하여 데이터(DATA)를 기입하거나 또는 저장된 데이터(DATA)를 호스트(3100)로 전송할 수 있다. 저장 장치(3200)는 장치 컨트롤러(3210) 및 불휘발성 메모리 장치들(3221~322n)을 포함할 수 있다. 장치 컨트롤러(3210) 및 불휘발성 메모리 장치들(3221~322n)은 복수의 채널들(CH1~CHn)을 통해 신호를 주고 받는다. 예시적으로, 장치 컨트롤러(3210)는 불휘발성 메모리 장치들(3221~322n)에 기입될 데이터(DATA) 또는 불휘발성 메모리 장치들(3221~322n)로부터 독출된 데이터(DATA)를 가공하여(예를 들어, 시리얼라이징 또는 데이터 재배열 등) 호스트(3100) 또는 불휘발성 메모리 장치들(3221~322n)로 전송할 수 있다.
- [0122] 예시적으로, 저장 장치(3200) 및 호스트 컨트롤러(3120) 간 주고 받는 신호들은 도 1 내지 도 16을 참조하여 설명된 메모리 컨트롤러 및 불휘발성 메모리 장치 사이의 신호들과 동일할 수 있다. 예를 들어, 호스트 컨트롤러(3120)는 플래시 변환 계층(3121)을 포함할 수 있다. 즉, 호스트 컨트롤러(3120)는 논리적 어드레스를 물리적 어드레스(ADDR)로 변환하고, 변환된 물리적 어드레스(ADDR)를 저장 장치(3200)로 전송할 수 있다.
- [0123] 예시적으로, 저장 장치(3200)에 포함된 장치 컨트롤러(3210) 및 복수의 불휘발성 메모리 장치들(3221~322n)은 도 1 내지 도 16을 참조하여 설명된 메모리 컨트롤러 및 불휘발성 메모리 장치들과 동일할 수 있다. 즉, 장치 컨트롤러(3210) 및 복수의 불휘발성 메모리 장치들(3221~322n)은 복수의 채널들(CH1~CHn)을 통해 도 1 내지 도 16을 참조하여 설명된 동작 방법을 기반으로 동작할 수 있다.
- [0124] 예시적으로, 도 1 내지 도 16에 도시된 본 발명의 실시 예에서는 메모리 컨트롤러가 플래시 변환 계층(FTL)을 통해 어드레스 변환 동작을 수행하는 것으로 설명되었다. 그러나, 도 17의 호스트(3100, 또는, Application Processor, SoC 등)는 메모리 컨트롤러 대신 어드레스 변환 동작을 수행할 수 있다. 따라서, 저장 장치(3200)에 포함된 장치 컨트롤러(3210)의 어드레스 변환 동작이 불필요하게 되므로, 호스트(3100) 및 저장 장치(3200)는 도 1 내지 도 16을 참조하여 설명된 메모리 컨트롤러 및 불휘발성 메모리 장치들 간의 인터페이스 방법을 기반으로 통신할 수 있다. 예시적으로, 저장 장치(3200)는 Error Free NAND flash, Manage NAND, Perfect Page NAND(PPN) 등의 저장 장치로 제공될 수 있다.
- [0125] 예시적으로, 저장 장치(3200)에 포함된 장치 컨트롤러(3210) 및 복수의 불휘발성 메모리 장치들(3221~322n)은 도 1 내지 도 16을 참조하여 설명된 메모리 컨트롤러 및 불휘발성 메모리 장치들 간의 인터페이스 방법을 기반으로 통신할 수 있다.
- [0126] 비록 도면에 도시되지 않았으나, 저장 장치(3200)는 모드 제어 신호(MODE, 도 12 참조)에 따라 선택된 동작 모드 정보를 저장하기 위한 별도의 저장 회로(예를 들어, MRS, 퓨즈, 레지스터 등)를 더 포함할 수 있다.
- [0127] 상술된 본 발명의 다른 실시 예에 따르면, 장치 컨트롤러(3210) 및 불휘발성 메모리 장치들(3221~322n) 간의 신호 핀 개수를 감소시킬 수 있을 뿐만 아니라, 낸드 인터페이스를 지원하는 호스트(3100) 및 저장 장치(3200)의

신호 핀의 개수를 감소시킬 수 있다. 따라서, 감소된 면적 및 감소된 비용을 갖는 사용자 시스템이 제공된다.

[0128] 상술된 본 발명의 실시 예들에 따르면, 메모리 컨트롤러는 불휘발성 메모리 장치로 제 1 내지 제 4 제어 신호들을 전송한다. 불휘발성 메모리 장치는 수신된 제 1 내지 제 4 제어 신호들을 기반으로 커맨드 입력 상태, 어드레스 입력 상태, 데이터 입력 상태, 또는 데이터 출력 상태로 동작 할 수 있다. 예를 들어, 불휘발성 메모리 장치는 수신된 제 1 내지 제 4 제어 신호들을 기반으로 데이터 라인을 통해 수신된 신호를 커맨드, 어드레스, 및 데이터 중 어느 하나로 판별한다. 판별 결과에 따라 불휘발성 메모리 장치는 데이터 라인을 통해 수신된 신호를 어드레스 디코더, 제어 로직 및 전압 발생기, 또는 페이지 버퍼로 전송할 수 있다. 따라서, 종래의 불휘발성 메모리 장치와 비교하여 감소된 제어 신호를 사용하기 때문에, 불휘발성 메모리 장치의 신호 라인 또는 신호핀의 개수가 감소된다. 따라서, 감소된 비용, 감소된 면적, 및 감소된 소비 전력을 갖는 불휘발성 메모리 시스템이 제공된다.

[0129] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러가지 변형이 가능하다. 그러므로, 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

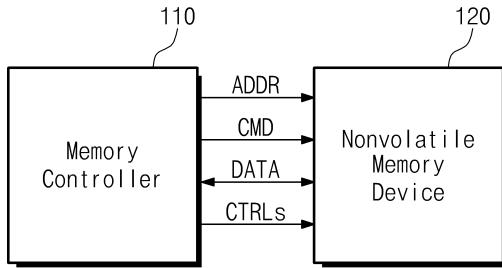
부호의 설명

- [0130] 100 : 불휘발성 메모리 시스템
- 110 : 메모리 컨트롤러
- 120 : 불휘발성 메모리 장치
- 121 : 메모리 셀 어레이
- 122 : 어드레스 디코더
- 123 : 제어 로직 및 전압 발생기
- 124 : 페이지 버퍼
- 125 : 입출력 회로
- CTRL1~CTRL4 : 제 1 내지 제 4 제어 신호들
- CEB : 칩 활성화 신호
- CALE : 커맨드 어드레스 래치 활성화 신호
- REB/CAS : 읽기 활성화 및 어드레스 커맨드 선택 신호
- DQS : 데이터 스트로브 신호
- DQ : 데이터 라인

도면

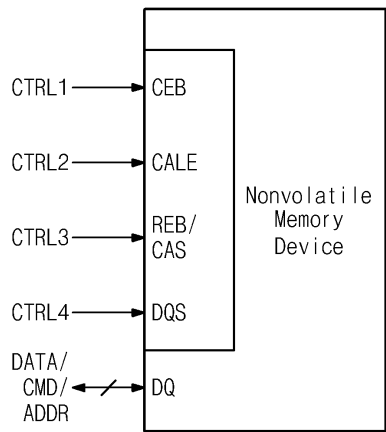
도면1

100



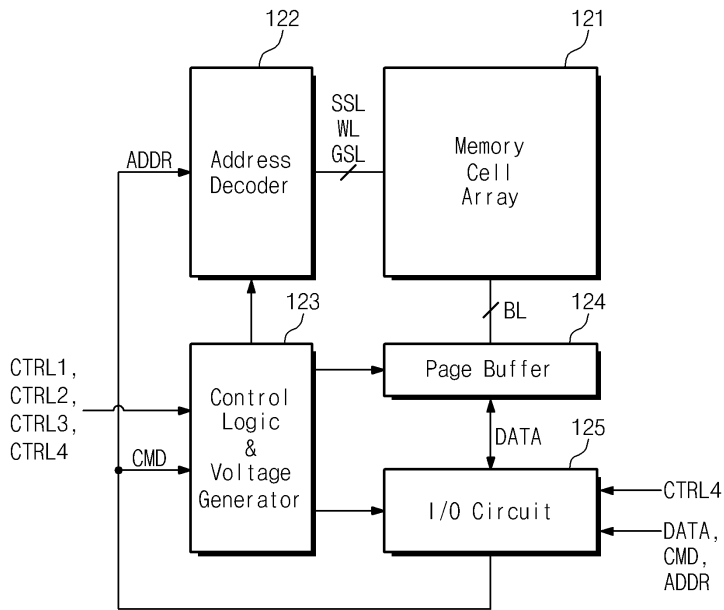
도면2

120



도면3

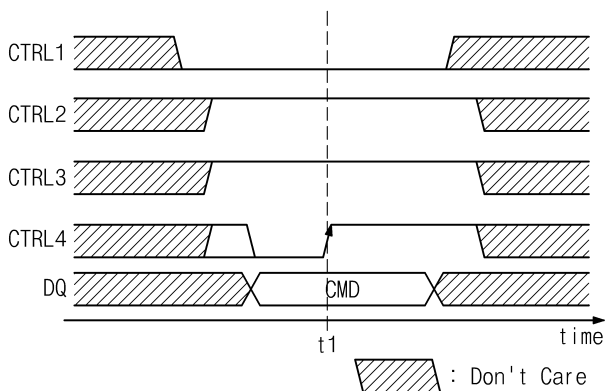
120



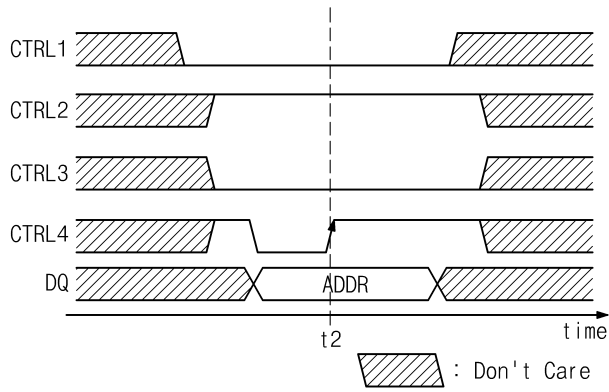
도면4

CTRL1 (CEB)	CTRL2 (CALE)	CTRL3 (REB/CAS)	CTRL4 (DQS)	STATE
L	H	H		CMD Input
L	H	L		ADDR Input
L	L	H		DATA Input
L	L			DATA Output

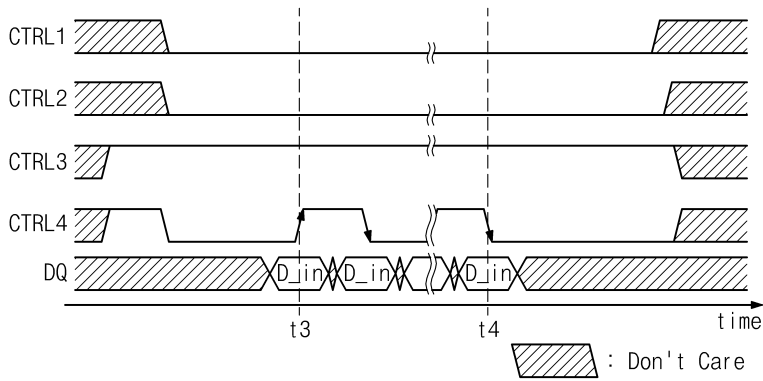
도면5



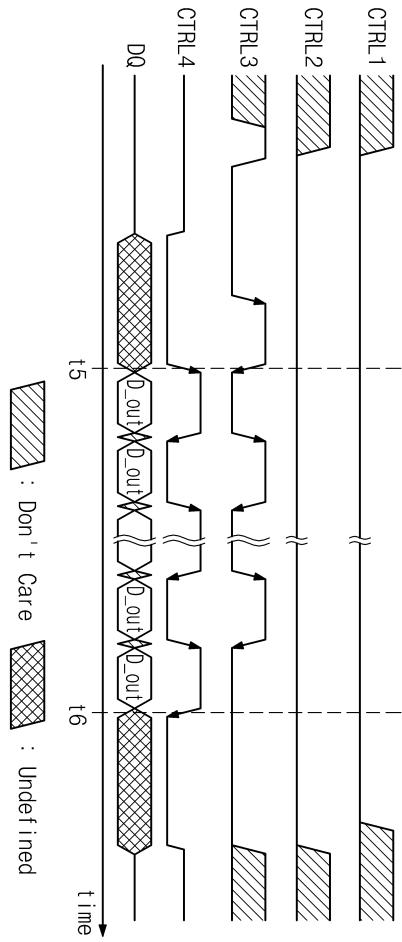
도면6



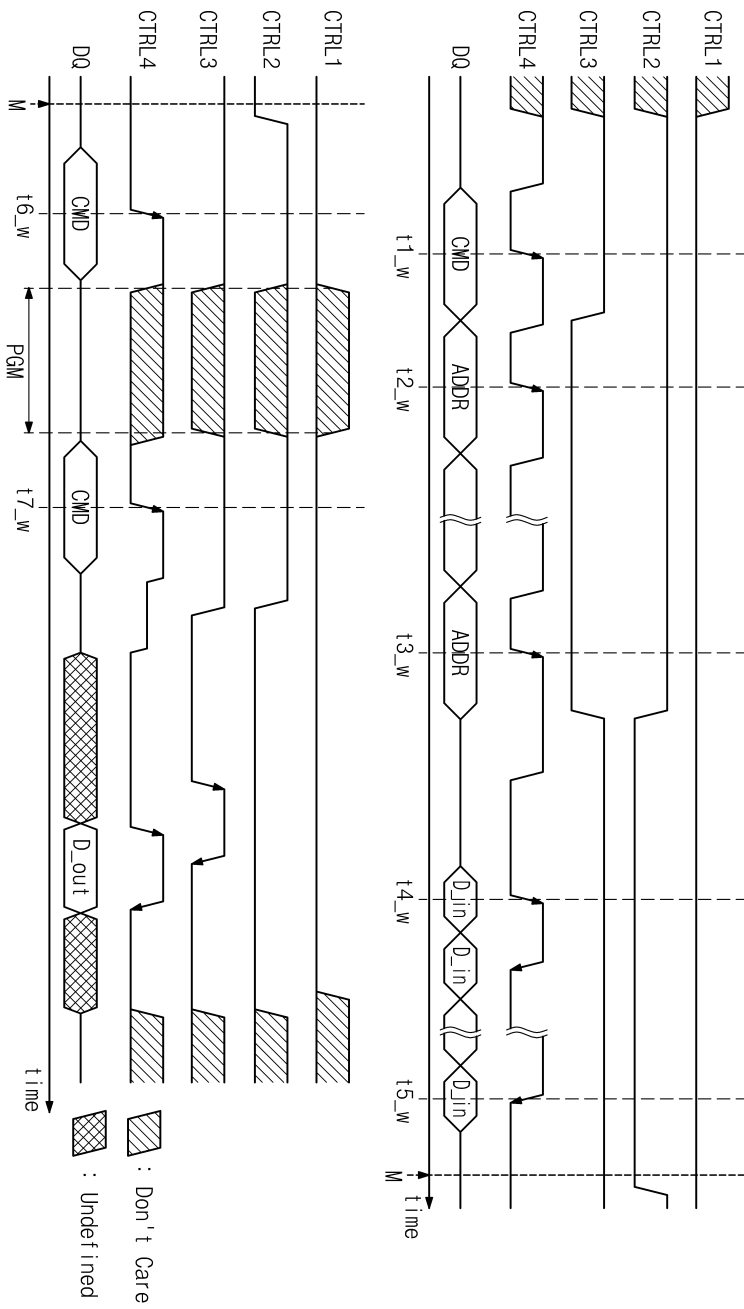
도면7



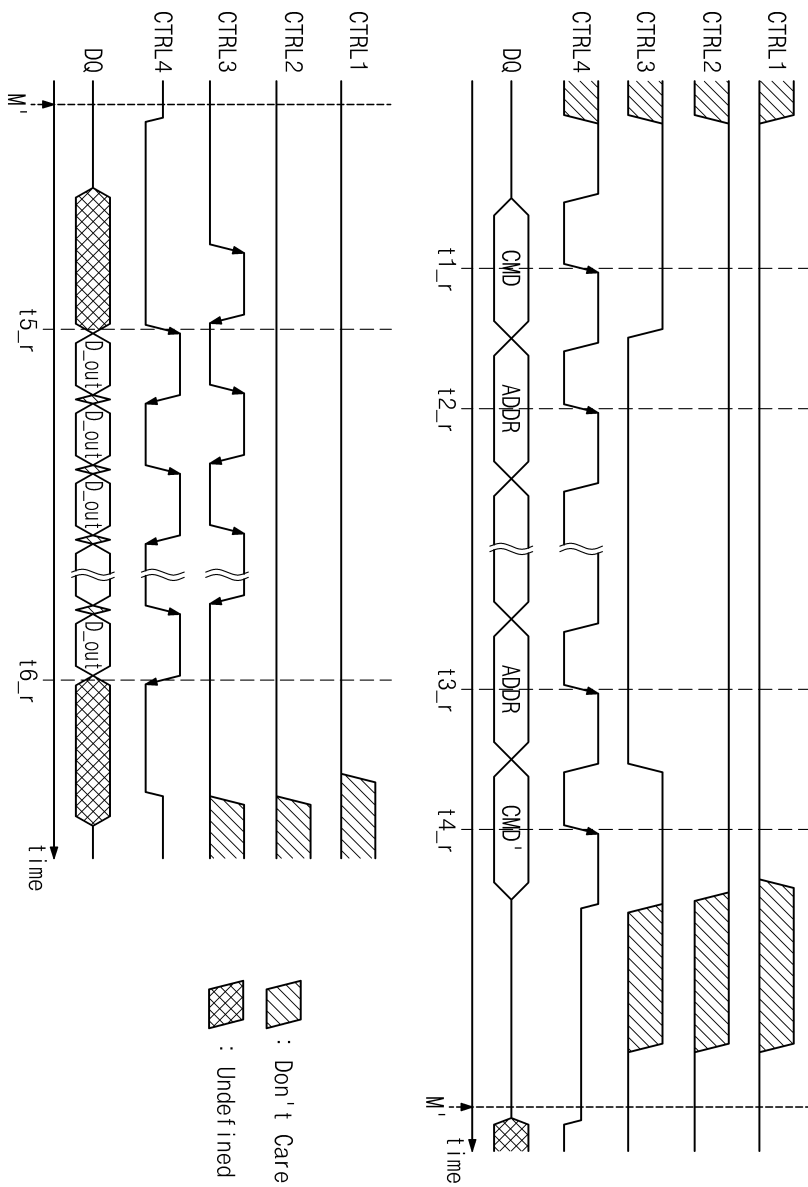
도면8



도면9

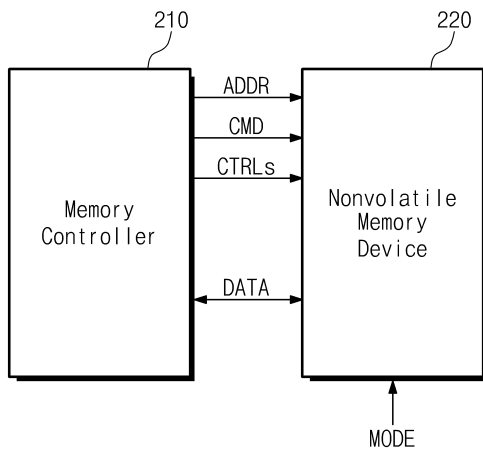


도면10



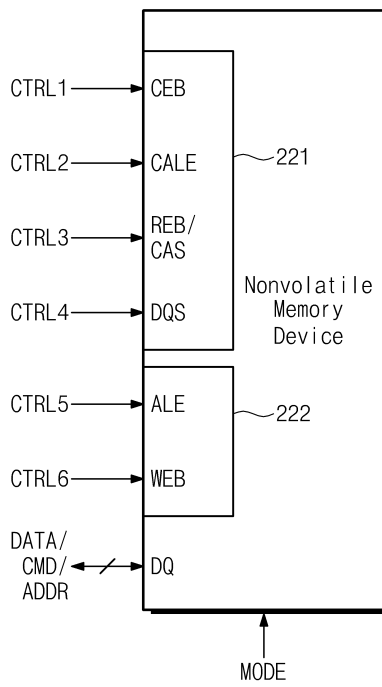
도면11

200



도면12

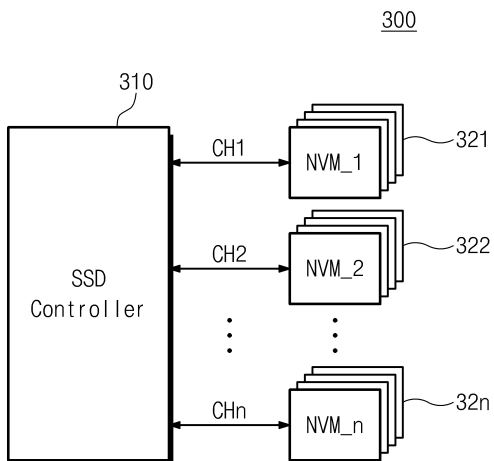
220



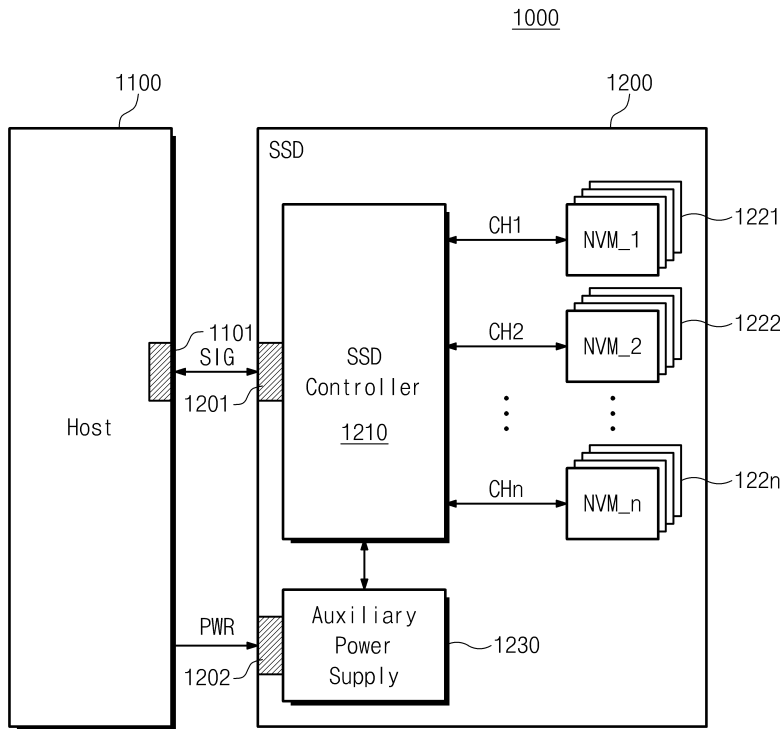
도면13

MODE	CTRL1	CTRL2	CTRL3	CTRL4	CTRL5	CTRL6	STATE
MODE1	L	H	H	□	X	X	CMD Input
	L	H	L	□	X	X	ADDR Input
	L	L	H	□	X	X	DATA_Input
MODE2	L	H	□	□	L	□	DATA_Output
	L	L	H	X	H	□	ADDR Input
	L	L	H	□	L	H	DATA_Input

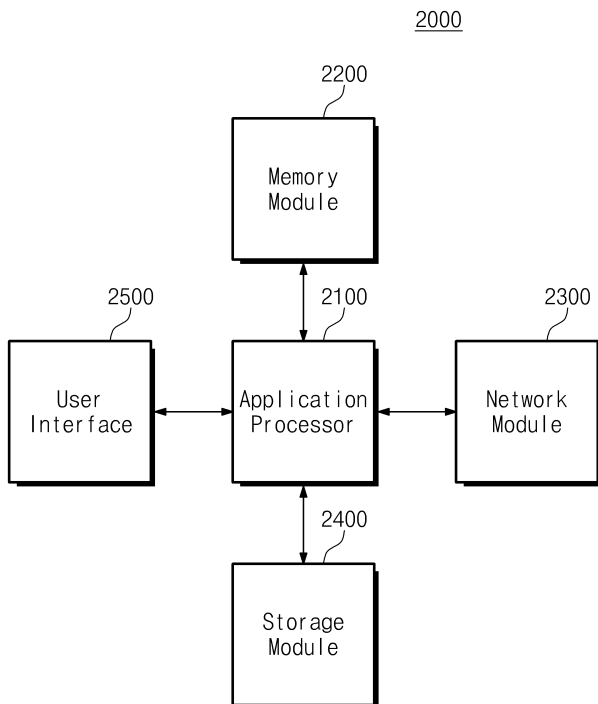
도면14



도면15



도면16



도면17

