



(12) 发明专利

(10) 授权公告号 CN 112951726 B

(45) 授权公告日 2023. 09. 15

(21) 申请号 201911265639.1

(22) 申请日 2019.12.11

(65) 同一申请的已公布的文献号  
申请公布号 CN 112951726 A

(43) 申请公布日 2021.06.11

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区中国(上海)自由贸易试验区张江路18号

专利权人 中芯国际集成电路制造(北京)有限公司

(72) 发明人 陈卓凡 张海洋

(74) 专利代理机构 上海知锦知识产权代理事务所(特殊普通合伙) 31327

专利代理师 高静

(51) Int.Cl.

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

(56) 对比文件

CN 106298669 A, 2017.01.04

CN 108269847 A, 2018.07.10

CN 108321083 A, 2018.07.24

KR 20110012679 A, 2011.02.09

US 2013072017 A1, 2013.03.21

US 2019304834 A1, 2019.10.03

US 6010935 A, 2000.01.04

US 6797611 B1, 2004.09.28

审查员 赵萌

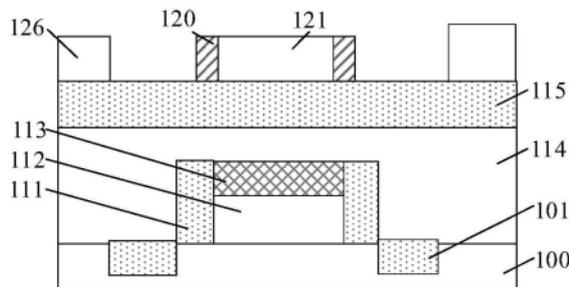
权利要求书2页 说明书8页 附图9页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

本发明提供一种半导体结构及其形成方法,其中,所述形成方法包括在所述介质层上形成牺牲层和侧墙,所述牺牲层和侧墙覆盖所述栅极顶部的介质层,且暴露出至少部分所述源漏掺杂层上的介质层,所述牺牲层包括位于所述栅极顶部介质层上的第一牺牲层,所述第一牺牲层侧壁具有侧墙;形成所述牺牲层和侧墙之后,去除所述第一牺牲层;以所述图形层为掩模对所述介质层进行刻蚀处理,在所述介质层中形成第一接触孔和第二接触孔。本发明实施例能够避免对介质层进行双重图形化,避免对准误差。



1. 一种半导体结构的形成方法,其特征在于,包括:

提供衬底,所述衬底上具有栅极,所述栅极两侧衬底中具有源漏掺杂层,所述栅极和源漏掺杂层上具有介质层;

在所述介质层上形成图形层,形成所述图形层的步骤包括:

在所述介质层上形成牺牲层和侧墙,所述牺牲层和侧墙覆盖所述栅极顶部的介质层,且暴露出至少部分所述源漏掺杂层上的介质层,所述牺牲层包括位于所述栅极顶部介质层上的第一牺牲层,所述第一牺牲层侧壁具有侧墙;形成所述牺牲层和侧墙之后,去除所述第一牺牲层;

以所述图形层为掩模对所述介质层进行刻蚀处理,在所述介质层中形成第一接触孔和第二接触孔,所述第一接触孔底部暴露出所述栅极,所述第二接触孔底部暴露出所述源漏掺杂层。

2. 根据权利要求1所述的半导体结构的形成方法,其特征在于,形成所述图形层的步骤还包括:在所述介质层上形成牺牲层和侧墙之前,在所述介质层上形成初始图形层;去除所述第一牺牲层之后,以剩余的牺牲层和侧墙为掩模,对所述初始图形层进行刻蚀,形成图形层。

3. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述第一牺牲层覆盖部分栅极顶部的介质层;所述牺牲层还包括第二牺牲层,所述第二牺牲层覆盖第一牺牲层暴露出的栅极顶部的介质层。

4. 根据权利要求3所述的半导体结构的形成方法,其特征在于,在所述介质层上形成牺牲层和侧墙的步骤包括:在所述介质层上形成第一牺牲层,所述第一牺牲层仅覆盖部分所述栅极上的介质层;在所述第一牺牲层侧壁形成侧墙;形成所述侧墙之后,在所述介质层上形成第二牺牲层,所述第二牺牲层覆盖第一牺牲层暴露出的栅极,且暴露出至少部分源漏掺杂层顶部的介质层。

5. 根据权利要求4所述的半导体结构的形成方法,其特征在于,在所述介质层上形成第一牺牲层的步骤包括:在所述介质层上形成第一初始牺牲层;在所述第一初始牺牲层上形成第一掩膜层,所述第一掩膜层暴露出至少部分栅极上的第一初始牺牲层;以所述第一掩膜层为掩膜对所述第一初始牺牲层进行离子注入,形成第一牺牲层;所述离子注入之后,去除所述第一初始牺牲层。

6. 根据权利要求5所述的半导体结构的形成方法,其特征在于,对所述第一初始牺牲层进行离子注入的注入离子为硼离子。

7. 根据权利要求4所述的半导体结构的形成方法,其特征在于,形成所述侧墙之后,在所述介质层上形成第二牺牲层的步骤包括:在所述介质层上形成第二中间牺牲层,所述第二中间牺牲层暴露出所述侧墙和第一牺牲层;对所述第二中间牺牲层进行刻蚀,去除至少部分源漏掺杂层上的第二中间牺牲层,形成第二牺牲层。

8. 根据权利要求7所述的半导体结构的形成方法,其特征在于,形成所述第二中间牺牲层的步骤包括:在所述介质层、第一牺牲层和侧墙上形成第二初始牺牲层;去除所述第一牺牲层顶部的第二初始牺牲层,形成第二牺牲层。

9. 根据权利要求7所述的半导体结构的形成方法,其特征在于,对所述第二中间牺牲层进行刻蚀的刻蚀气体包括: $C_4F_6$ 或 $C_4F_8$ 。

10. 根据权利要求4所述的半导体结构的形成方法,其特征在于,在所述第一牺牲层侧壁形成侧墙的步骤包括:在所述第一牺牲层顶部和侧壁、以及第一牺牲层暴露出的介质层上形成初始侧墙;对所述初始侧墙进行回刻蚀,去除第一牺牲层顶部及第一牺牲层暴露出的介质层上的初始侧墙,形成侧墙。

11. 根据权利要求3所述的半导体结构的形成方法,其特征在于,所述第二牺牲层的材料与所述第一牺牲层的材料不同,且所述侧墙的材料与第一牺牲层的材料不同。

12. 根据权利要求3所述的半导体结构的形成方法,其特征在于,所述第二牺牲层与侧墙的材料不同。

13. 根据权利要求11或12所述的半导体结构的形成方法,其特征在于,所述第一牺牲层的材料为非晶硅,所述侧墙的材料为氮化硅、氮化钛或氧化钛;所述第二牺牲层的材料为氧化硅。

14. 根据权利要求2所述的半导体结构的形成方法,其特征在于,所述图形层的材料为氮化钛或氮化硅。

15. 根据权利要求1所述的半导体结构的形成方法,其特征在于,以所述图形层为掩模对所述介质层进行刻蚀处理的步骤包括:去除所述第一牺牲层之后,以剩余的牺牲层和侧墙为掩膜对所述介质层进行刻蚀。

16. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述侧墙的厚度为5nm~20nm。

17. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述栅极侧壁具有第一保护层;所述栅极顶部具有第二保护层;所述图形层与所述第一保护层的材料不同,所述第二保护层与所述图形层的材料不同。

18. 根据权利要求1所述的半导体结构的形成方法,其特征在于,去除所述第一牺牲层的工艺包括干法刻蚀或湿法刻蚀。

19. 根据权利要求1所述的半导体结构的形成方法,其特征在于,形成所述牺牲层和侧墙的步骤包括:在所述介质层上形成初始层;对所述初始层进行图形化,在所述初始层中形成第一开口,所述第一开口暴露出至少部分栅极层上的介质层;在所述第一开口侧壁形成侧墙;形成所述侧墙之后,在所述第一开口中形成所述第一牺牲层;形成所述第一牺牲层之后,去除至少部分所述源漏掺杂层上的初始层,形成第二牺牲层。

20. 一种由权利要求1~19任意一项所述的形成方法形成的半导体结构。

## 半导体结构及其形成方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种半导体结构及其形成方法。

### 背景技术

[0002] MOS(金属-氧化物-半导体)晶体管,是现代集成电路中最重要的元件之一。MOS晶体管的基本结构包括:半导体衬底;位于半导体衬底表面的栅极;位于栅极两侧半导体衬底中的源漏掺杂层;覆盖所述衬底、栅极结构和源漏掺杂层的介质层;位于所述介质层中的栅极接触孔和源漏接触孔,所述栅极接触孔底部暴露出栅极,所述源漏接触孔底部暴露出源漏掺杂层;位于所述栅极接触孔和源漏接触孔之间的插塞。

[0003] 随着半导体技术的发展,半导体器件结构集成度不断提高,半导体结构的尺寸逐渐缩小,插塞之间的隔离结构的厚度逐渐较小,隔离结构的形成难度逐渐增加。

[0004] 如何形成厚度较小的隔离结构是半导体集成度提高急需解决的问题。

### 发明内容

[0005] 本发明解决的问题是提供一种半导体结构及其形成方法,能够在提高半导体结构集成度的同时,降低工艺难度。

[0006] 本发明技术方案提供一种半导体结构的形成方法,包括:提供衬底,所述衬底上具有栅极,所述栅极两侧衬底中具有源漏掺杂层,所述栅极和源漏掺杂层上具有介质层;在所述介质层上形成图形层,形成所述图形层的步骤包括:在所述介质层上形成牺牲层和侧墙,所述牺牲层和侧墙覆盖所述栅极顶部的介质层,且暴露出至少部分所述源漏掺杂层上的介质层,所述牺牲层包括位于所述栅极顶部介质层上的第一牺牲层,所述第一牺牲层侧壁具有侧墙;形成所述牺牲层和侧墙之后,去除所述第一牺牲层;以所述图形层为掩模对所述介质层进行刻蚀处理,在所述介质层中形成第一接触孔和第二接触孔,所述第一接触孔底部暴露出所述栅极,所述第二接触孔底部暴露出所述源漏掺杂层。

[0007] 可选的,形成所述图形层的步骤还包括:在所述介质层上形成牺牲层和侧墙之前,在所述介质层上形成初始图形层;去除所述第一牺牲层之后,以剩余的牺牲层和侧墙为掩模,对所述初始图形层进行刻蚀,形成图形层。

[0008] 可选的,所述第一牺牲层覆盖部分栅极顶部的介质层;所述牺牲层还包括第二牺牲层,所述第二牺牲层覆盖第一牺牲层暴露出的栅极顶部的介质层。

[0009] 可选的,在所述介质层上形成牺牲层和侧墙的步骤包括:在所述介质层上形成第一牺牲层,所述第一牺牲层仅覆盖部分所述栅极上的介质层;在所述第一牺牲层侧壁形成侧墙;形成所述侧墙之后,在所述介质层上形成第二牺牲层,所述第二牺牲层覆盖第一牺牲层暴露出的栅极,且暴露出至少部分源漏掺杂层顶部的介质层。

[0010] 可选的,在所述介质层上形成第一牺牲层的步骤包括:在所述介质层上形成第一初始牺牲层;在所述第一初始牺牲层上形成第一掩膜层,所述第一掩膜层暴露出至少部分栅极上的第一初始牺牲层;以所述第一掩膜层为掩膜对所述第一初始牺牲层进行离子注

入,形成第一牺牲层;所述离子注入之后,去除所述第一初始牺牲层。

[0011] 可选的,形成所述侧墙之后,在所述介质层上形成第二牺牲层的步骤包括:在所述介质层上形成第二中间牺牲层,所述第二中间牺牲层暴露出所述侧墙和第一牺牲层;对所述第二中间牺牲层进行刻蚀,去除至少部分源漏掺杂层上的第二中间牺牲层,形成第二牺牲层。

[0012] 与现有技术相比,本发明的技术方案具有以下优点:

[0013] 本发明技术方案提供的半导体结构的形成方法中,通过形成位于第一牺牲层侧壁的侧墙之后,去除第一牺牲层的方法形成图形层,能够使牺牲层暴露出源漏掺杂层顶部介质层的开口及暴露出栅极顶部介质层的开口之间具有侧墙,侧墙的厚度较低,能够提高半导体结构的集成度。同时,通过形成侧墙的方法,仅需要对介质层进行一次图形化工艺便可以形成所述第一接触孔和第二接触孔,能够避免双重图形化过程中的图形对准问题,进而能够简化工艺,并能够提高所形成半导体结构的精度。

[0014] 进一步,在形成所述第一牺牲层之后,在介质层上形成初始图形层,后续通过可以初始图形层形成图形层。通过初始图形层的传递能够使图形的材料一致,从而在对介质层进行刻蚀处理过程中能够选择高刻蚀选择比的气体对介质层进行刻蚀,从而能够保证第一接触孔和第二接触孔尺寸的精确,避免出现第一接触孔和第二接触孔贯穿。

## 附图说明

[0015] 图1至图19是本发明的半导体结构的形成方法一实施例中各步骤对应的结构示意图。

## 具体实施方式

[0016] 半导体形成方法存在诸多问题,例如:源漏掺杂层和栅极顶部介质层的接触孔需要通过双重图形化工艺形成,双重图形化会带来图形对准的问题,工艺难度较大。

[0017] 本发明技术方案提供一种半导体结构的形成方法,对介质层进行一次图形化工艺便可以形成栅极和源漏掺杂层的接触孔,并能够提高半导体结构的集成度。

[0018] 图1至图19是本发明的半导体结构的形成方法一实施例中各步骤对应的结构示意图。

[0019] 请参考图1和图2,图2是图1沿切割线1-1'的剖视图,提供衬底100,所述衬底100上具有栅极112,所述栅极112两侧衬底100中具有源漏掺杂层101,所述栅极112和源漏掺杂层101上具有介质层114。

[0020] 本实施例中,所述衬底100包括基底;位于所述基底上的鳍部。在其他实施例中,所述衬底可以不包括所述鳍部,所述衬底为硅衬底、锗衬底或绝缘体上硅等半导体衬底。

[0021] 所述基底的材料为硅、锗或硅锗。

[0022] 本实施例中,所述衬底100还包括位于基底上的隔离结构,所述隔离结构暴露出所述鳍部顶部和部分侧壁表面。

[0023] 本实施例中,所述栅极112横跨所述鳍部,且覆盖所述鳍部的部分顶部和侧壁表面。

[0024] 本实施例中,所述栅极112为金属栅极112或多晶硅栅极112。

[0025] 所述栅极112侧壁具有第一保护层111;所述栅极112顶部具有第二保护层113。所述第一保护层111的材料为氮化硅;所述第二保护层113的材料为氮化硅。

[0026] 所述源漏掺杂层101的材料为硅、硅锗或碳化硅。所述源漏掺杂层101中具有掺杂离子,所述掺杂离子为硼离子或磷离子。

[0027] 后续在所述介质层114上形成图形层,形成所述图形层的步骤包括:在所述介质层114上形成牺牲层和侧墙,所述牺牲层和侧墙覆盖所述栅极112顶部的介质层114,且暴露出至少部分所述源漏掺杂层101上的介质层114,所述牺牲层包括位于所述栅极112顶部介质层114上的第一牺牲层,所述第一牺牲层侧壁具有侧墙;形成所述牺牲层和侧墙之后,去除所述第一牺牲层。

[0028] 本实施例中,形成所述图形层的步骤还包括:在所述介质层114上形成牺牲层和侧墙之前,在所述介质层114上形成初始图形层;去除所述第一牺牲层之后,以剩余的牺牲层和侧墙为掩模,对所述初始图形层进行刻蚀,形成图形层。在其他实施例中,可以不形成所述初始图形层,以去除第一牺牲层后剩余牺牲层和侧墙为掩膜。

[0029] 具体的,本实施例中,形成图形层的步骤如图1至16所示。

[0030] 请继续参考图1和图2,在所述介质层114上形成初始图形层115。

[0031] 本实施例中,所述初始图形层115的材料与所述介质层114的材料不同。

[0032] 所述初始图形层115的材料为氮化钛或氮化硅。具体的,本实施例中,所述初始图形层115的材料为氮化钛。

[0033] 所述初始图形层115的厚度为10~50nm。

[0034] 形成所述初始图形层115的工艺包括化学气相沉积工艺或原子层沉积工艺。

[0035] 后续在所述介质层114上形成牺牲层和侧墙,所述牺牲层暴露出至少部分所述源漏掺杂层101上的介质层114,且所述牺牲层包括第一牺牲层,所述第一牺牲层覆盖至少部分所述栅极112上的介质层114,所述第一牺牲层121侧壁具有侧墙。

[0036] 本实施例中,所述第一牺牲层121覆盖部分栅极112顶部的介质层114;所述牺牲层还包括第二牺牲层126,所述第二牺牲层126覆盖第一牺牲层121暴露出的栅极112顶部的介质层114。在其他实施例中,所述第一牺牲层完全覆盖栅极顶部的介质层,所述牺牲层可以不包括所述第二牺牲层。

[0037] 本实施例中,形成所述牺牲层和侧墙120的步骤如图1至13所示。

[0038] 后续在所述介质层114上形成第一牺牲层121,所述第一牺牲层121覆盖部分所述栅极112上的介质层114。具体的,形成所述第一牺牲层121的步骤如图图1至图4所示。

[0039] 请继续参考图1和图2,在所述介质层114上形成第一初始牺牲层116。

[0040] 本实施例中,所述第一初始牺牲层116的材料与所述初始图形层115的材料不相同。

[0041] 所述第一初始牺牲层116的材料为非晶硅、非晶锗或无定形碳。具体的,本实施例中,所述第一初始牺牲层116的材料为非晶硅。

[0042] 形成所述第一初始牺牲层116的工艺包括化学气相沉积工艺或原子层沉积工艺。

[0043] 所述第一初始牺牲层116的厚度为20~50nm。

[0044] 继续参考图1和图2,在所述第一初始牺牲层116上形成第一掩膜层,所述第一掩膜层暴露出至少部分栅极112上的介质层114。

[0045] 形成所述第一掩膜层的步骤包括:在所述第一初始牺牲层116上形成第一初始掩膜层;对所述第一初始掩膜层进行第一图形化,暴露出部分栅极112上的第一初始牺牲层116,形成第一掩膜层。

[0046] 形成所述第一初始掩膜层的步骤包括:在所述第一初始牺牲层116上形成第一平坦层117;在所述第一平坦层117上形成第一抗反射层118;在所述第一抗反射层118上形成第一初始光刻胶层。

[0047] 所述第一平坦层117用于为所述第一掩膜层和第一抗反射层提供平坦的底部表面。所述第一抗反射层118用于减小第一初始光刻胶层下方图案对光的反射。

[0048] 所述第一平坦层117的材料为氧化硅或有机材料。形成所述第一平坦层117的工艺包括旋涂工艺。

[0049] 所述第一抗反射层118的材料为有机抗反射材料或无机抗反射层材料,例如硅。

[0050] 形成第一初始光刻胶层的工艺包括旋涂工艺。

[0051] 对所述第一初始掩膜层进行第一图形化的步骤包括:在所述第一抗反射层118上形成第一初始光刻胶层;对所述第一初始光刻胶层进行光刻,暴露出部分栅极112上的第一抗反射层118,形成所述第一光刻胶层119;以所述第一光刻胶层119为掩膜对所述第一抗反射层118和第一平坦层117进行刻蚀,暴露出部分栅极112上的第一初始牺牲层116。

[0052] 请参考图3和图4,图4是图3沿切割线2-2'的剖视图,以所述第一掩膜层为掩膜对所述第一初始牺牲层116进行离子注入,形成第一牺牲层121;所述离子注入之后,去除所述第一初始牺牲层116(如图2所示)。

[0053] 所述离子注入用于增加第一牺牲层121与第一初始牺牲层116的刻蚀选择比,从而有利用去除第一初始牺牲层116,保留第一牺牲层121。

[0054] 所述离子注入的注入离子为硼离子或磷离子。

[0055] 所述离子注入之后还包括:去除所述第一掩膜层。去除所述第一掩膜层的工艺包括:干法刻蚀、湿法刻蚀或灰化工艺。

[0056] 去除所述第一初始牺牲层116的工艺包括:干法刻蚀或湿法刻蚀。具体的,本实施例中,去除所述第一初始牺牲层116的工艺为湿法刻蚀。

[0057] 去除所述第一初始牺牲层116的湿法刻蚀的刻蚀剂包括:氨水或四甲基氢氧化铵。

[0058] 请参考图5和图6,图6是图5沿切割线3-3'的剖视图,在所述第一牺牲层121侧壁形成侧墙120。

[0059] 所述侧墙120用于隔离第一牺牲层121中暴露出源漏掺杂层101的沟槽及栅极112的第二开口。

[0060] 形成所述侧墙120的步骤包括:在所述第一牺牲层121顶部和侧壁表面、以及第一牺牲层121暴露出的介质层114上形成初始侧墙;对所述初始侧墙进行回刻蚀,去除第一牺牲层121顶部及第一牺牲层121暴露出的介质层114上的初始侧墙,形成侧墙120。

[0061] 如果所述侧墙120的厚度过小,不利于提高半导体结构的集成度;如果所述侧墙120的厚度过大,容易增加工艺难度。本实施例中,所述侧墙120的厚度为5~20nm。

[0062] 所述侧墙120的材料与第一牺牲层121的材料不同。

[0063] 所述侧墙120的材料为氮化硅、氮化钛或氧化钛。具体的,所述侧墙120的材料为氮化硅。

- [0064] 对所述初始侧墙进行回刻蚀的工艺包括各向异性干法刻蚀。
- [0065] 后续形成所述侧墙120之后,在所述介质层114上形成第二牺牲层,所述第二牺牲层覆盖第一牺牲层121暴露出的栅极112,且暴露出至少部分源漏掺杂层101顶部的介质层114。
- [0066] 形成所述第二牺牲层126的步骤如图7~12所示。
- [0067] 请参考图7和图8所示,图8为图7沿切割线4-4'的剖视图,在所述介质层114上形成第二中间牺牲层122,所述第二中间牺牲层122暴露出所述侧墙120和第一牺牲层121;
- [0068] 形成所述第二中间牺牲层122的步骤包括:在所述介质层114、第一牺牲层121和侧墙120上形成第二初始牺牲层;去除所述第一牺牲层121顶部的第二初始牺牲层,形成第二牺牲层126。
- [0069] 所述第二初始牺牲层的材料与所述第一牺牲层121的材料不同;且所述第二初始牺牲层的材料与所述初始图形层115的材料不同。
- [0070] 所述第二初始牺牲层的材料为氧化硅或氮化硅。
- [0071] 本实施例中,所述第二初始牺牲层与侧墙120的材料不相同,在其他实施例中,所述第二初始牺牲层的材料与侧墙120的材料相同。
- [0072] 所述第二初始牺牲层与侧墙120的材料不相同,在去除第一牺牲层顶部的第二初始牺牲层过程能够减少对侧墙120的损耗。
- [0073] 形成所述第二初始牺牲层的工艺包括化学气相沉积工艺或原子层沉积工艺。
- [0074] 去除所述第一牺牲层121顶部的第二初始牺牲层的工艺包括刻蚀工艺或化学机械平坦化工艺。
- [0075] 后续对所述第二中间牺牲层122进行刻蚀,去除至少部分源漏掺杂层101上的第二中间牺牲层122,形成第二牺牲层。
- [0076] 对所述第二中间牺牲层122进行刻蚀,去除至少部分源漏掺杂层101上的第二中间牺牲层122的步骤如图9至图12所示。
- [0077] 请参考图9和图10所示,图10为图9沿切割线5-5'的剖视图,在所述第二中间牺牲层122上形成第二掩膜层,所述第二掩膜层暴露出至少部分源漏掺杂层101上的介质层114。
- [0078] 形成所述第二掩膜层的步骤包括:在所述第二中间牺牲层122上形成第二初始掩膜层;对所述第二初始掩膜层进行第二图形化,暴露出部分源漏掺杂层101上的第二中间牺牲层122,形成第二掩膜层。
- [0079] 形成所述第二初始掩膜层的步骤包括:在所述第二中间牺牲层122上形成第二平坦层123;在所述第二平坦层123上形成第二抗反射层124;在所述第二抗反射层124上形成第二初始光刻胶层。
- [0080] 所述第二平坦层123用于为所述第二初始光刻胶层和第二抗反射层124提供平坦的底部表面。所述第二抗反射层124用于减小第二初始光刻胶层下方图案对光的反射。
- [0081] 所述第二平坦层123的材料为氧化硅或有机材料。形成所述第二平坦层123的工艺包括旋涂工艺。
- [0082] 所述第二抗反射层124的材料为有机抗反射材料或无机抗反射材料,例如硅。
- [0083] 形成第二初始光刻胶层的工艺包括旋涂工艺。
- [0084] 所述第二图形化的步骤包括:对所述第二初始光刻胶层进行光刻,暴露出部分源

漏掺杂层101上的第二抗反射层124形成所述第二光刻胶层125;以所述第二光刻胶层125为掩膜对所述第二抗反射层124和第二平坦层123进行刻蚀,暴露出部分源漏掺杂层101上的第二中间牺牲层122。

[0085] 参考图11和图12,图12为图11沿切割线4-4'的剖视图,以所述第二掩膜层为掩膜对所述第二中间层进行刻蚀,去除至少部分源漏掺杂层101上的第二中间牺牲层122,形成第二牺牲层126。

[0086] 本实施例中,对所述第二中间牺牲层122进行刻蚀的刻蚀气体包括: $C_4F_6$ 或 $C_4F_8$ 。

[0087] 所述第二掩膜层为掩膜对所述第二中间层进行刻蚀,去除至少部分源漏掺杂层101上的第二中间牺牲层122,在所述第二中间牺牲层122中形成沟槽。

[0088] 本实施例中,所述沟槽底部暴露出源漏掺杂层101顶部的全部初始图形层115。在其他实施例中,所述沟槽底部暴露出源漏掺杂层顶部的部分初始图形层。

[0089] 本实施例中,所述沟槽底部暴露出栅极112侧壁第一保护层111顶部的部分初始图形层115。在其他实施例中,所述沟槽底部不暴露出栅极侧壁第一保护层顶部的初始图形层。

[0090] 请参考图13和图14所示,图14为图13沿切割线7-7'的剖视图,形成所述牺牲层之后,去除所述第一牺牲层121(如图12所示)。

[0091] 去除所述第一初始牺牲层116的方法包括湿法刻蚀或干法刻蚀。

[0092] 去除所述第一初始牺牲层116的刻蚀气体包括:氯气或溴化氢。

[0093] 本实施例中,去除所述第一牺牲层之后,在所述侧墙中形成第二开口。

[0094] 所述第二开口的横截面为圆形、矩形或六边形。

[0095] 通过在第一牺牲层121侧壁形成侧墙120之后,去除第一牺牲层的方法形成图形层127,能够使牺牲层暴露出源漏掺杂层101顶部介质层114的沟槽及暴露出栅极112顶部介质层114的第二开口之间具有侧墙120,侧墙120的厚度较低,能够提高半导体结构的集成度。同时,通过形成侧墙120的方法,仅需要对介质层114进行一次图形化工艺便可以形成栅极112和源漏掺杂层101的接触孔,能够避免双重图形化过程中的图形对准问题,进而能够简化工艺,并能够提高所形成半导体结构的精度。

[0096] 请参考图15和图16所示,图16为图15沿切割线8-8'的剖视图,去除所述第一牺牲层121(如图12所示)之后,以剩余的牺牲层和侧墙120为掩膜,对所述初始图形层115进行刻蚀,形成图形层127。

[0097] 需要说明的是,本实施例中,所述牺牲层包括第二牺牲层126,去除所述第一牺牲层121之后,以剩余的牺牲层和侧墙120为掩膜,对所述初始图形层115进行刻蚀的步骤包括:以所述第二牺牲层126和侧墙120为掩膜对初始图形层进行刻蚀。在其他实施例中,所述牺牲层不包括第二牺牲层,对所述初始图形层进行刻蚀的步骤包括:以所述侧墙为掩膜对初始图形层进行刻蚀。

[0098] 所述图形层127与所述第一保护层111的材料不同,所述第二保护层113与所述图形层127的材料不同。所述图形层127的材料为氮化钛或氮化硅。

[0099] 对所述初始图形层115进行刻蚀的工艺包括干法刻蚀或湿法刻蚀。具体的,对所述初始图形层进行刻蚀的工艺包括各向异性干法刻蚀。

[0100] 请参考图17至图19,图18为图17沿切割线9-9'的剖视图,图19为图17沿切割线10-

10' 的剖视图,以所述图形层127为掩膜对所述介质层114进行刻蚀处理,在所述介质层114中形成第一接触孔和第二接触孔,所述第一接触孔底部暴露出所述栅极112,所述第二接触孔底部暴露出所述源漏掺杂层101。

[0101] 本实施例中,所述栅极112顶部表面具有第二保护层113,所述刻蚀处理还包括对所述第二保护层113进行刻蚀至暴露出所述栅极112。

[0102] 所述第一接触孔的横截面为圆形、矩形或六边形。所述第二接触孔的横截面为长条形。

[0103] 在形成所述牺牲层和侧墙之前,在介质层114上形成初始图形层115,后续通过可以初始图形层115形成图形层127。通过初始图形层115的传递能够使图形层的材料一致,从而在对介质层114进行刻蚀处理过程中能够选择高刻蚀选择比的气体对介质层114进行刻蚀,从而能够保证第一接触孔和第二接触孔尺寸的精确,避免出现第一接触孔和第二接触孔贯穿。

[0104] 继续参考图17至图19,在所述第一接触孔中形成第一插塞131;在所述第二接触孔中形成第二插塞132。

[0105] 所述第一插塞131的材料为金属,例如钨;所述第二插塞132的材料为金属,例如钨。

[0106] 本发明的半导体结构还提供另一实施例,本实施例与图1至图19所示的实施例的不同点包括:

[0107] 形成所述牺牲层和侧墙的步骤包括:在所述介质层上形成初始层;对所述初始层进行图形化,在所述初始层中形成第一开口,所述第一开口暴露出至少部分栅极层上的介质层;在所述第一开口侧壁形成侧墙;形成所述侧墙之后,在所述第一开口中形成所述第一牺牲层;形成所述第一牺牲层之后,去除至少部分所述源漏掺杂层上的初始层,形成第二牺牲层。

[0108] 本发明的半导体结构还提供又一实施例,本实施例与前两个实施例的不同之处在于,以所述图形层为掩膜对所述介质层进行刻蚀处理的步骤包括:去除所述第一牺牲层之后,以剩余的牺牲层和侧墙为掩膜对所述介质层进行刻蚀。

[0109] 即本实施例中,所述图形层包括:第一牺牲层及去除第一牺牲层后剩余的牺牲层。

[0110] 当所述牺牲层包括第二牺牲层时,所述图形层包括第二牺牲层和掩膜层;以剩余的牺牲层和侧墙为掩膜对所述介质层进行刻蚀包括:以第二牺牲层和侧墙为掩膜对所述介质层进行刻蚀。

[0111] 当所述牺牲层仅包括第一牺牲层时,第一牺牲层完全覆盖栅极顶部的介质层,所述图形层仅包括掩膜层;以剩余的牺牲层和侧墙为掩膜对所述介质层进行刻蚀包括:以所述侧墙为掩膜对所述介质层进行刻蚀。

[0112] 本实施例中,第二牺牲层与侧墙的材料相同。所述第二牺牲层与侧墙的材料相同,能够使图形层的材料相同,从而有利于对介质层进行刻蚀时,提高刻蚀选择比,防止第一接触孔和第二接触孔贯穿。

[0113] 本发明技术方案还提供一种半导体结构,所述半导体结构由图1至图9所示的形成方法形成。

[0114] 虽然本发明披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本

发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

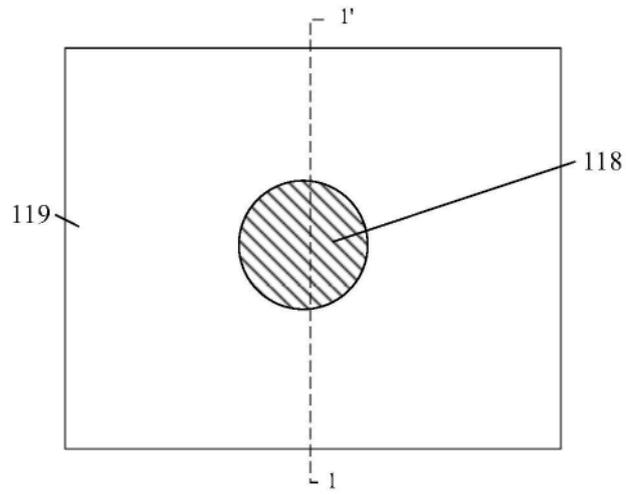


图1

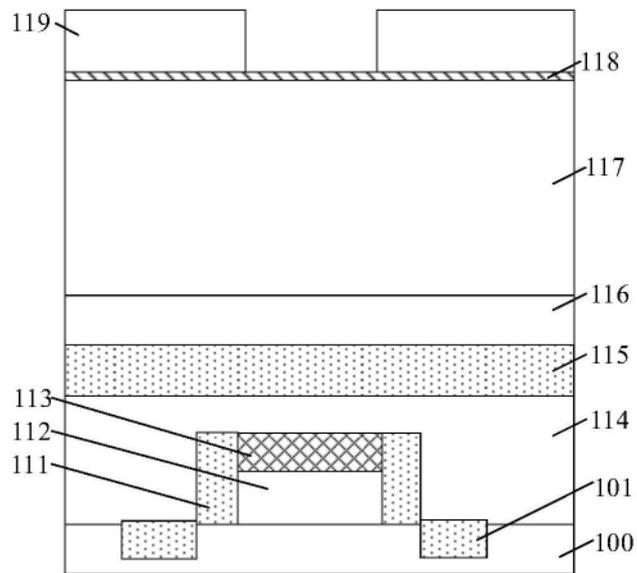


图2

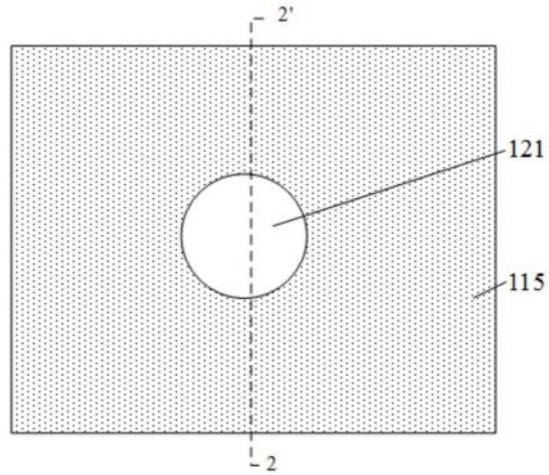


图3

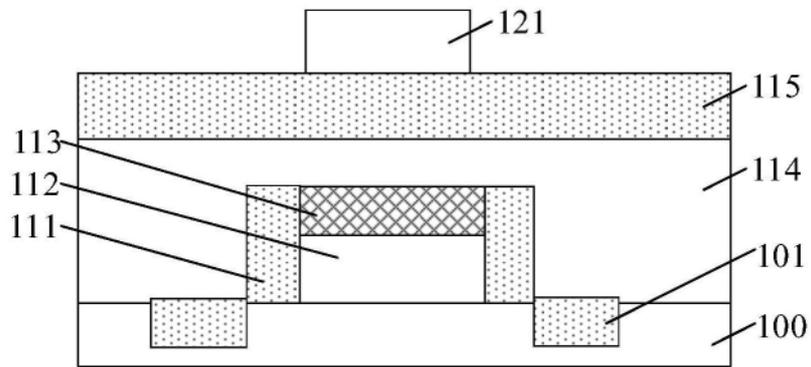


图4

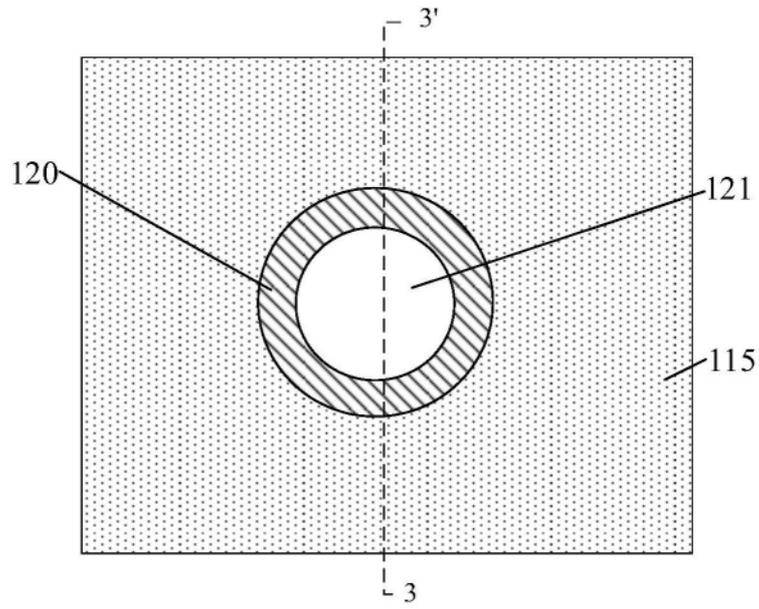


图5

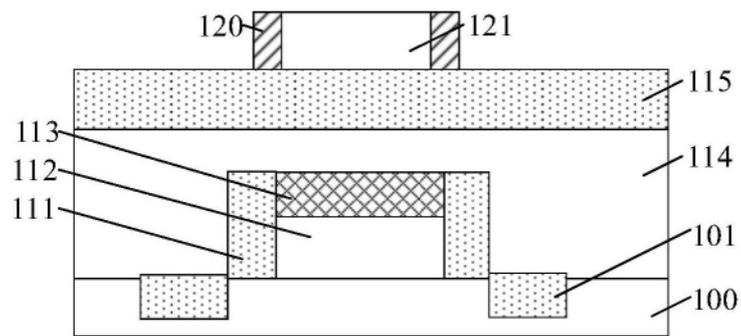


图6

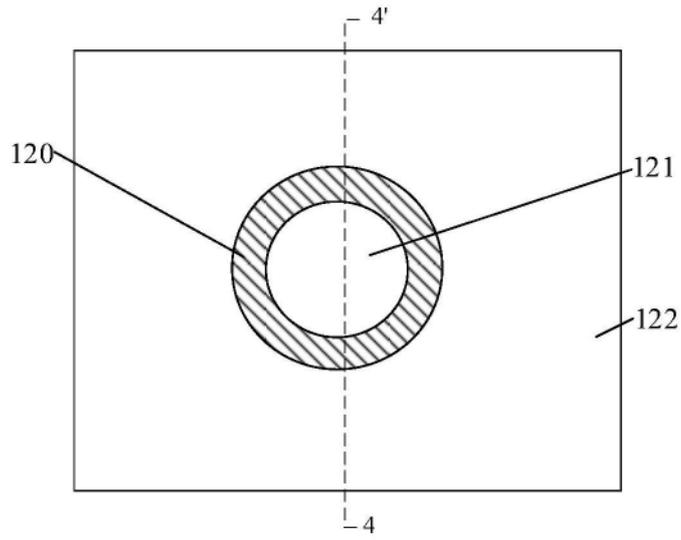


图7

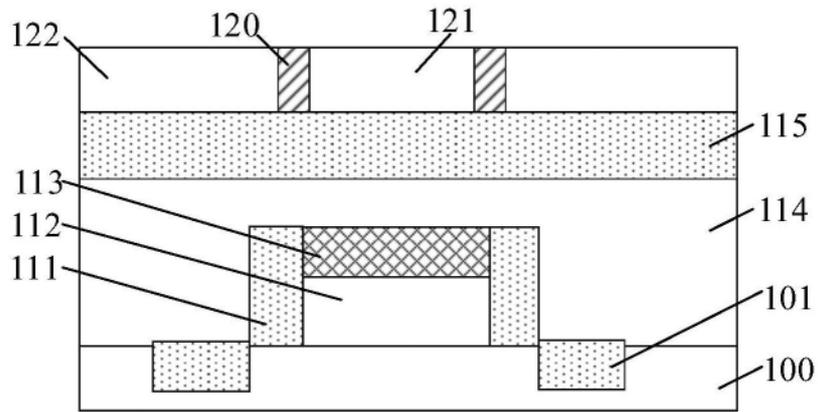


图8

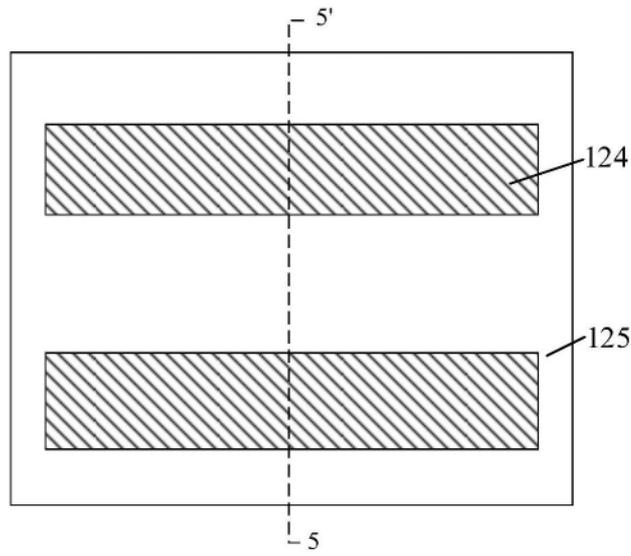


图9

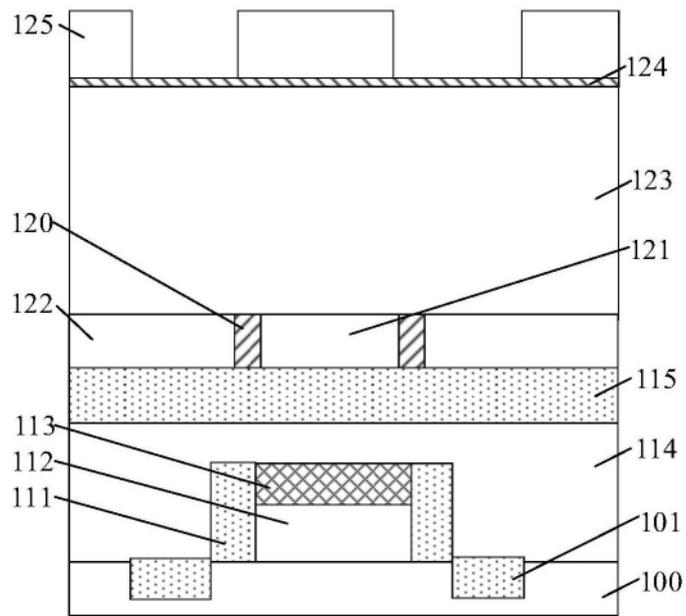


图10

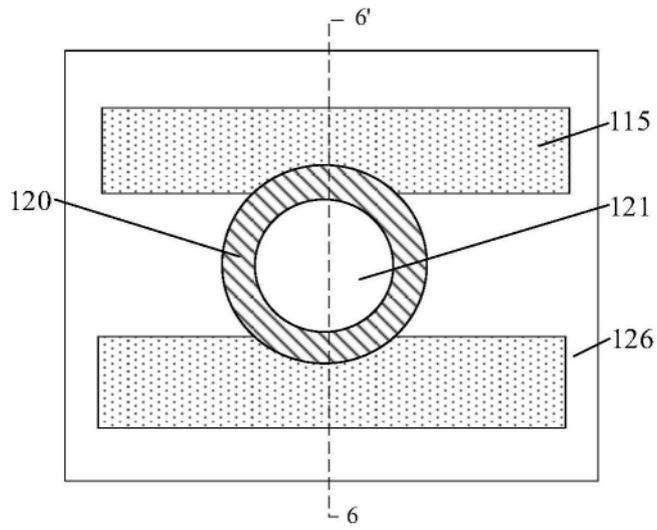


图11

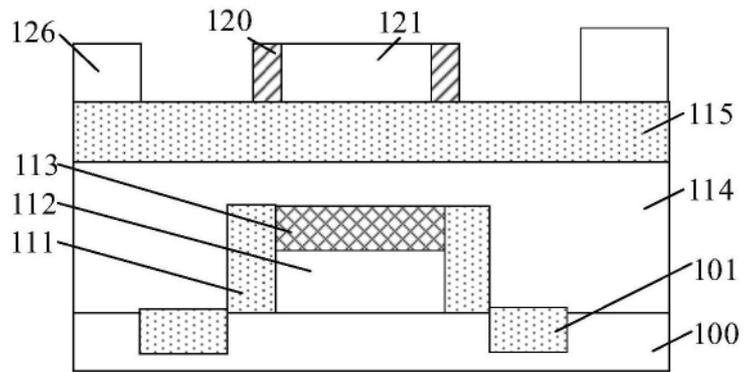


图12

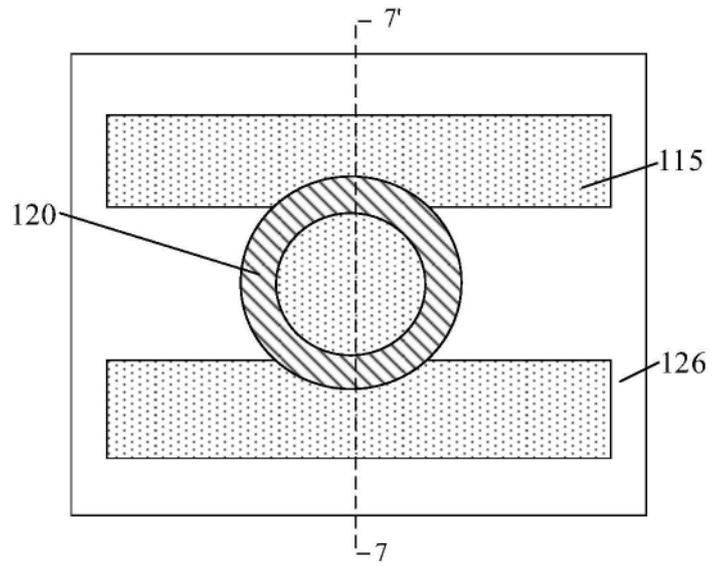


图13

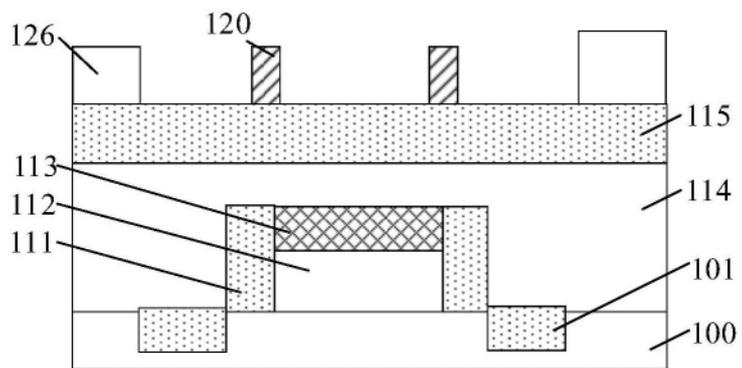


图14

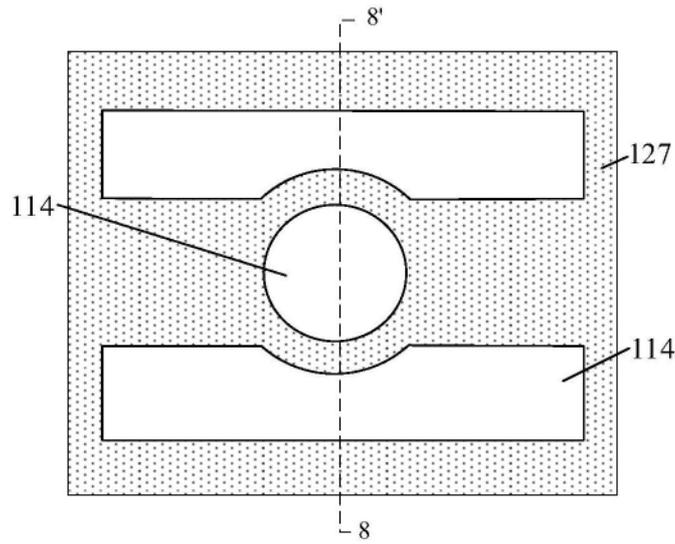


图15

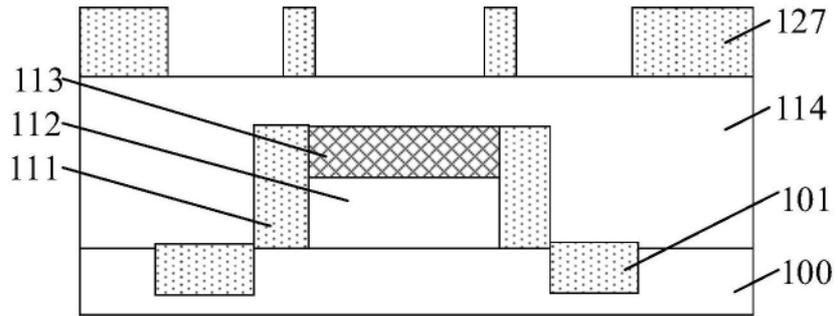


图16

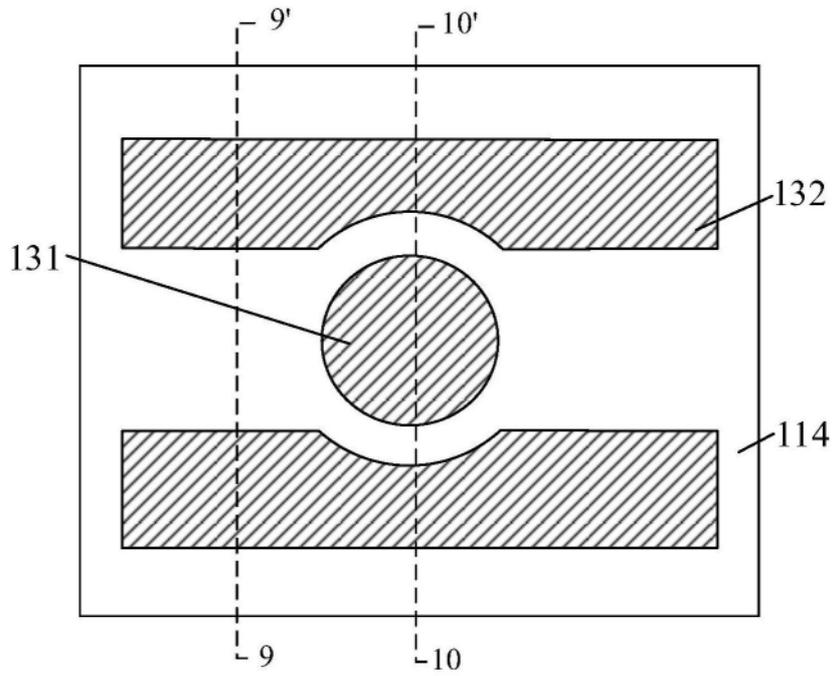


图17

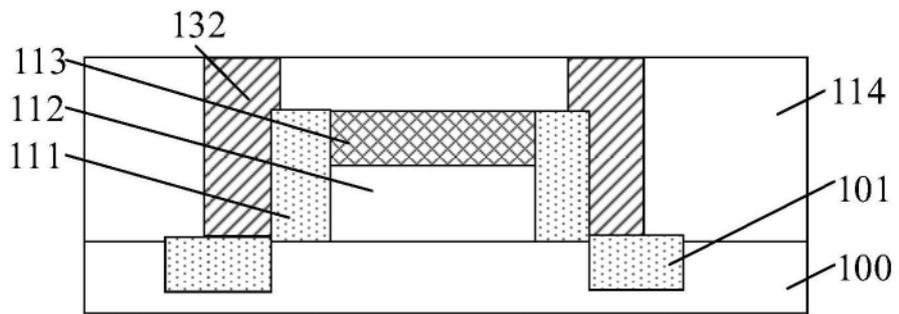


图18

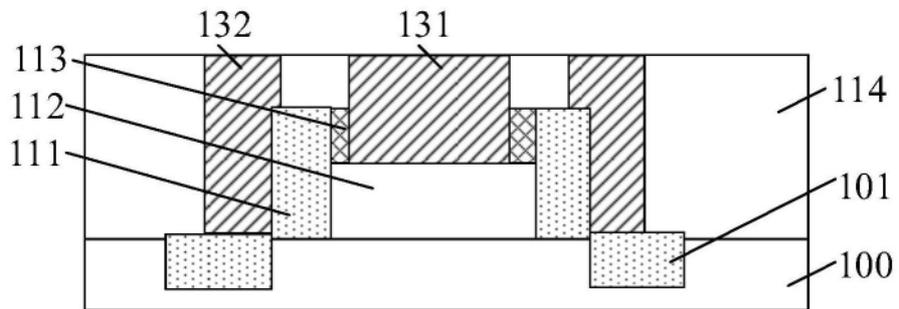


图19