



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0072526
(43) 공개일자 2011년06월29일

(51) Int. Cl.

H01L 21/3205 (2006.01) H01L 21/28 (2006.01)

(21) 출원번호 10-2009-0129499

(22) 출원일자 2009년12월23일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

계정섭

서울특별시 광진구 중곡4동 296-20

(74) 대리인

특허법인태평양

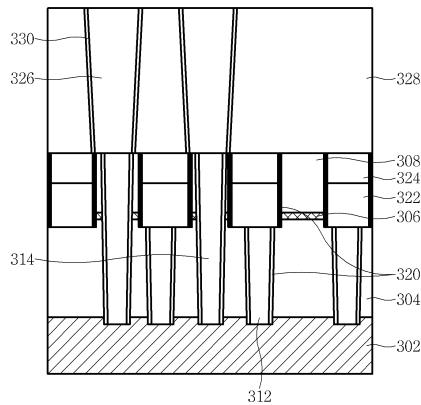
전체 청구항 수 : 총 14 항

(54) 반도체 장치의 제조 방법

(57) 요약

본 발명은 콘택 플러그와 게이트 패턴 사이에 충돌이나 불량을 제거하고 공정 마진을 확보할 수 있는 반도체 장치의 제조 방법을 제공한다. 본 발명에 따른 반도체 장치의 제조 방법은 반도체 기판 상에 층간 절연막을 형성하는 단계, 층간 절연막을 관통하여 반도체 기판과 연결되는 제 1 비트라인 콘택 및 제 2 비트라인 콘택을 형성하는 단계, 층간 절연막 및 제 1 비트라인 콘택을 일부 식각하여 형성한 트렌치에 비트 라인을 형성하는 단계, 및 제 2 비트라인 콘택 상에 금속 콘택을 형성하는 단계를 포함한다.

대표도 - 도3f



특허청구의 범위

청구항 1

반도체 기판 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 관통하여 상기 반도체 기판과 연결되는 제 1 비트라인 콘택 및 제 2 비트라인 콘택을 형성하는 단계;

상기 층간 절연막 및 상기 비트라인 콘택을 일부 식각하여 형성한 트렌치에 비트 라인을 형성하는 단계; 및

상기 제 2 비트라인 콘택 상에 금속 콘택을 형성하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 반도체 기판 상에 층간 절연막을 형성하는 단계는

반도체 기판 상에 제 1 층간 절연막을 형성하는 단계;

상기 제 1 층간 절연막 상에 식각 정지막을 형성하는 단계; 및

상기 식각 정지막 상에 제 2 층간 절연막을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 3

제2항에 있어서,

상기 식각 정지막은 질화막을 포함하고, 10 Å 내지 200 Å의 두께로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제2항에 있어서,

상기 제 1 및 제 2 층간 절연막은 산화막을 포함하고, 상기 제 1 층간 절연막은 게이트 패턴의 높이보다 더 두껍게 형성되며, 상기 제 2 층간 절연막은 상기 비트 라인 및 상기 비트 라인 상에 형성되는 비트라인 하드마스크막을 포함한 두께만큼 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제2항에 있어서,

상기 층간 절연막을 관통하여 상기 반도체 기판과 연결되는 비트라인 콘택 및 제 2 비트라인 콘택을 형성하는 단계는

상기 제 2 층간 절연막, 상기 식각 정지막 및 상기 제 1 층간 절연막을 관통하는 제 1 트렌치를 형성하는 단계;

상기 제 1 트렌치의 측벽에 제 1 스페이서를 형성하는 단계;

상기 제 1 트렌치 내에 도전물질층을 증착하는 단계; 및

상기 제 2 층간 절연막이 노출될 때까지 평탄화하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 6

제5항에 있어서,

상기 제 1 스페이서는 질화막을 포함하고, 10 Å 내지 90 Å의 두께로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제5항에 있어서,

상기 도전물질은 금속 장벽막을 구성하는 티타늄(Ti) 또는 코발트(Co)와 금속층을 구성하는 텅스텐(W)을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제2항에 있어서,

상기 층간 절연막 및 상기 비트라인 콘택을 일부 식각하여 형성한 트렌치에 비트 라인을 형성하는 단계는

상기 비트라인의 위치를 정의한 마스크를 이용하여 노광공정을 수행하여 제 1 패턴을 형성하는 단계;

상기 제 1 패턴을 식각마스크로 하여 상기 비트라인 콘택, 상기 제 2 층간 절연막, 상기 식각 정지막을 식각하여 제 2 트렌치를 형성하는 단계;

상기 제 2 트렌치의 측벽에 제 2 스페이서를 형성하는 단계;

상기 제 2 트렌치에 도전물질을 증착하는 단계;

상기 도전물질 상에 하드마스크막을 형성하는 단계; 및

상기 제 2 비트라인 콘택이 노출될 때까지 평탄화하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 9

제8항에 있어서,

상기 제 2 스페이서는 질화막의 증착 후 플라즈마 식각을 통해 10 Å 내지 200 Å의 두께로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

제8항에 있어서,

상기 도전물질은 텅스텐(W)을 포함하고, 500 Å 정도의 두께로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

제8항에 있어서,

상기 하드마스크막은 질화막을 포함하고, 1200 Å 정도의 두께로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

제1항에 있어서,

상기 제 2 비트라인 콘택 상에 금속 콘택을 형성하는 단계는

상기 층간 절연막 및 상기 비트라인 상부에 제 3 층간 절연막을 증착하는 단계;

상기 제 3 층간 절연막을 식각하여 상기 제 2 비트라인 콘택을 노출시키는 제 3 트렌치를 형성하는 단계;

상기 제 3 트렌치의 측벽에 제 3 스페이서를 형성하는 단계; 및

상기 제 3 트렌치에 도전물질을 증착하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 13

청구항 제1항의 방법에 따라 제조되어, 상기 제 2 비트라인 콘택의 높이가 상기 비트라인의 높이와 동일하거나 더 높은 것을 특징으로 하는 반도체 장치.

청구항 14

제13항에 있어서,

상기 비트라인 및 상기 제 2 비트라인 콘택의 사이에 식각 정지막이 포함된 것을 특징으로 하는 반도체 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 고집적 반도체 장치의 제조방법에 관한 것으로, 특히 고집적 반도체 기억 장치 내 안정적으로 동작하는 트랜지스터 및 콘택을 제조하는 방법에 관한 것이다.

배경기술

[0002] 일반적으로, 반도체는 전기전도도에 따른 물질의 분류 가운데 하나로 도체와 부도체의 중간영역에 속하는 물질로서, 순수한 상태에서는 부도체와 비슷하지만 불순물을 첨가하고 기타 조작에 의해 전기전도도가 늘어나는 성질을 가진다. 이러한 반도체는 불순물을 첨가하고 도체를 연결하여 트랜지스터 등의 반도체 소자를 생성하는 데 사용되며, 반도체 소자를 사용하여 만들어진 여러 가지 기능을 가지는 장치를 반도체 장치라 한다. 이러한 반도체 장치의 대표적인 예로는 반도체 기억 장치를 들 수 있다.

[0003] 최근 반도체 기억 장치는 한정된 공간에 더 많은 데이터를 저장하면서도 전력 소모를 줄일 수 있도록 개발되고 있다. 이러한 이유로, 반도체 기억 장치의 내부에 포함된 구성 요소들의 크기는 줄어들고 있고, 반도체 기억 장치를 제조하는 공정 상의 디자인 규칙(Design Rule)도 줄어들고 있다. 최근 디자인 규칙이 100nm 또는 50nm 이하로 감소하면서, 반도체 기억 장치 내 포함되는 다수의 구성요소들을 결함없이 형성하기가 어려워지고 있다.

[0004] 구체적으로 살펴보면, 반도체 기억 장치는 캐패시터 및 트랜지스터로 구성된 단위셀이 포함된 코어 영역과 다수의 전원 회로, 디코딩 회로, 입출력 회로 등을 포함하고 있는 주변 영역으로 나눌 수 있다. 반도체 기억 장치의 집적도를 높이기 위해서 많은 면적을 차지하는 코어 영역 내 다수의 단위셀의 크기를 더욱 작게 형성하기 위한 노력들이 많이 제안되었고 주변 영역에는 공정 마진에 여유가 있어서 각종 배선을 서로 연결하거나 형성하기 위해 다양한 형상의 패턴을 가지는 패드 및 콘택을 사용해왔다. 하지만, 최근에는 코어 영역이 아닌 주변 영역도 줄어든 디자인 규칙으로 인해 여러 가지 패턴을 형성하는 데 있어서 많은 제약이 발생하고 있다.

[0005] 도 1은 일반적인 반도체 장치의 주변 영역을 설명하기 위한 평면도이다.

[0006] 도시된 바와 같이, 반도체 장치의 주변 영역에는 활성 영역(미도시)의 소스/드레인 영역과 연결된 제 1 비트라인 콘택(110), 제 1 비트라인 콘택(110) 상에 형성된 비트라인 패드(120) 및 비트라인 패드(120) 상에 형성된 비트 라인(130)을 포함한다. 여기서 비트라인 패드(120)는 제 1 비트라인 콘택(110)과 비트 라인(130)을 연결할 때 인접한 게이트 패턴 혹은 이웃한 랜딩플러그 및 비트 라인과의 전기적 단락(short)을 예방하고 최소화하기 위해 추가로 형성한 이음새 역할을 한다.

[0007] 하지만, 집적도를 향상시키기 위해 디자인 규칙은 30nm 혹은 그 이하의 수준으로 줄어들면서 단순한 라인 형태의 패턴이 아닌 종래의 비트 라인(130)이나 제 1 비트라인 콘택(110)과 같은 다각형 또는 원형 등의 복잡한 형상의 패턴을 형성하는 것이 어려워졌다.

[0008] 반도체 기판에 정의된 활성 영역 상에 형성된 콘택 및 배선 등으로 구성된 적층구조는 서로를 연결하는 데 발생할 수 있는 정렬 오차로 인한 저항의 증가 또는 주변에 형성된 콘택 및 배선 등과의 단락을 방지해야 반도체 장치의 결함을 방지할 수 있다. 하지만, 디자인 규칙이 작아지면서, 이웃한 배선, 게이트 패턴 또는 패드 사이의 거리가 줄어들어 활성 영역 상에 형성되는 다수의 구성요소들을 서로 연결하고 주변 요소들과 전기적으로 격리하기 위한 콘택 형성은 어려워지고 있다.

[0009] 도 2는 개선된 반도체 장치를 설명하기 위한 평면도이다.

[0010] 도시된 바와 같이, 반도체 장치는 라인 형태로 형성된 비트 라인(230)을 포함한다. 또한, 이웃한 비트 라인(230) 사이의 하부에는 비트 라인(230)과 전기적으로 연결되는 제 1 비트라인 콘택(210)이 형성되어 있다. 평면이 아닌 반도체 기판 상의 수직 방향으로 살펴보면 디자인 규칙의 감소로 인해 복잡한 형태의 패턴으로 형성되

었던 비트라인 패드를 제거하고, 제 1 비트라인 콘택(210)과 비트 라인(230)을 직접 연결한 형태이다. 여기서, 반도체 장치는 디자인 규칙의 감소로 모든 콘택과 배선의 형태를 단순화한 것이 특징이다.

[0011] 라인 형태의 비트 라인(230)은 줄어든 디자인 규칙에서도 패터닝에 공정 마진을 늘리는 효과를 가져왔으나, 비트라인 패드를 제거하고 제 1 비트라인 콘택(210)과 비트 라인(230)을 직접 연결하게되면서 인접한 다른 비트라인(230)과 제 1 비트라인 콘택(210) 사이 전기적인 단락이 발생한다. 또한, 비트 라인(230)이 아닌 전원을 공급하는 배선 등과 연결되는 콘택과 활성 영역(미도시)의 소스/드레인 영역의 사이 형성되는 제 2 비트라인 콘택(240)과 비트 라인(230) 사이도 충분한 거리가 확보되지 않기 때문에 전기적 단락이 발생할 가능성이 매우 높다. 결과적으로, 디자인 규칙의 감소에 따른 공정 마진을 확보하는 데에는 성공하였으나, 활성 영역 상에 형성되는 제 1 비트라인 콘택과 이웃한 비트 라인 사이의 전기적 단락으로 인한 반도체 장치의 불량을 방지하기 힘들어 반도체 장치의 동작 안정성을 해치는 문제가 있다.

발명의 내용

해결 하고자하는 과제

[0012] 기술한 종래의 문제점을 해결하기 위하여, 본 발명은 주변 영역에서 비트 라인과 연결되는 제 1 비트라인 콘택과 전원을 공급하는 배선과 연결되는 제 2 비트라인 콘택을 형성할 때, 제 1 비트라인 콘택의 일부 식각하여 단차를 형성한 후 비트 라인을 형성하고 비트라인 상부에 하드마스크 절연막을 형성함으로써 비트 라인 상부에 형성되는 배선 및 콘택과 비트 라인 사이에 전기적인 단락이나 누전을 방지하여 공정 마진을 확보할 수 있는 반도체 장치의 제조 방법을 제공한다.

과제 해결수단

[0013] 본 발명은 반도체 기판 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 관통하여 상기 반도체 기판과 연결되는 제 1 비트라인 콘택 및 제 2 비트라인 콘택을 형성하는 단계; 상기 층간 절연막 및 상기 제 1 비트라인 콘택을 일부 식각하여 형성한 트렌치에 비트 라인을 형성하는 단계; 및 상기 제 2 비트라인 콘택 상에 금속 콘택을 형성하는 단계를 포함하는 반도체 장치의 제조 방법을 제공한다.

[0014] 바람직하게는, 상기 반도체 기판 상에 층간 절연막을 형성하는 단계는 반도체 기판 상에 제 1 층간 절연막을 형성하는 단계; 상기 제 1 층간 절연막 상에 식각 정지막을 형성하는 단계; 및 상기 식각 정지막 상에 제 2 층간 절연막을 형성하는 단계를 포함한다.

[0015] 바람직하게는, 상기 식각 정지막은 질화막을 포함하고, 10 Å 내지 200 Å의 두께로 형성되는 것을 특징으로 한다.

[0016] 바람직하게는, 상기 제 1 및 제 2 층간 절연막은 산화막을 포함하고, 상기 제 1 층간 절연막은 게이트 패턴의 높이보다 더 두껍게 형성되며, 상기 제 2 층간 절연막은 상기 비트 라인 및 상기 비트 라인 상에 형성되는 비트라인 하드마스크막을 포함한 두께만큼 형성되는 것을 특징으로 한다.

[0017] 바람직하게는, 상기 층간 절연막을 관통하여 상기 반도체 기판과 연결되는 제 1 비트라인 콘택 및 제 2 비트라인 콘택을 형성하는 단계는 상기 제 2 층간 절연막, 상기 식각 정지막 및 상기 제 1 층간 절연막을 관통하는 제 1 트렌치를 형성하는 단계; 상기 제 1 트렌치의 측벽에 제 1 스페이서를 형성하는 단계; 상기 제 1 트렌치 내에 도전물질을 증착하는 단계; 및 상기 제 2 층간 절연막이 노출될 때까지 평탄화하는 단계를 포함한다.

[0018] 바람직하게는, 상기 제 1 스페이서는 질화막을 포함하고, 10 Å 내지 90 Å의 두께로 형성되는 것을 특징으로 한다.

[0019] 바람직하게는, 상기 도전물질은 금속 장벽막을 구성하는 티타늄(Ti) 또는 코발트(Co)와 금속층을 구성하는 텅스텐(W)을 포함하는 것을 특징으로 한다.

[0020] 바람직하게는, 상기 층간 절연막 및 상기 제 1 비트라인 콘택을 일부 식각하여 형성한 트렌치에 비트 라인을 형성하는 단계는 상기 비트라인의 위치를 정의한 마스크를 이용하여 노광공정을 수행하여 제 1 패턴을 형성하는 단계; 상기 제 1 패턴을 식각마스크로 하여 상기 제 1 비트라인 콘택, 상기 제 2 층간 절연막, 상기 식각 정지막을 식각하여 제 2 트렌치를 형성하는 단계; 상기 제 2 트렌치의 측벽에 제 2 스페이서를 형성하는 단계; 상기 제 2 트렌치에 도전물질을 증착하는 단계; 상기 도전물질 상에 하드마스크막을 형성하는 단계; 및 상기 제 2 비

트라인 콘택가 노출될 때까지 평탄화하는 단계를 포함한다.

- [0021] 바람직하게는, 상기 제 2 스페이서는 질화막의 증착 후 플라즈마 식각을 통해 10 Å 내지 200 Å의 두께로 형성되는 것을 특징으로 한다.
- [0022] 바람직하게는, 상기 도전물질은 텅스텐(W)을 포함하고, 500 Å 정도의 두께로 형성되는 것을 특징으로 한다.
- [0023] 바람직하게는, 상기 하드마스크막은 질화막을 포함하고, 1200 Å 정도의 두께로 형성되는 것을 특징으로 한다.
- [0024] 바람직하게는, 상기 제 2 비트라인 콘택 상에 금속 콘택을 형성하는 단계는 상기 층간 절연막 및 상기 비트라인 상부에 제 3 층간 절연막을 증착하는 단계; 상기 제 3 층간 절연막을 식각하여 상기 제 2 비트라인 콘택을 노출시키는 제 3 트렌치를 형성하는 단계; 상기 제 3 트렌치의 측벽에 제 3 스페이서를 형성하는 단계; 및 상기 제 3 트렌치에 도전물질을 증착하는 단계를 포함한다.
- [0025] 또한, 본 발명은 반도체 기판 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 관통하여 상기 반도체 기판과 연결되는 제 1 비트라인 콘택 및 제 2 비트라인 콘택을 형성하는 단계; 상기 층간 절연막 및 상기 제 1 비트라인 콘택을 일부 식각하여 형성한 트렌치에 비트 라인을 형성하는 단계; 및 상기 제 2 비트라인 콘택 상에 금속 콘택을 형성하는 단계를 포함하는 반도체 장치의 제조 방법에 따라 제조되어, 상기 제 2 비트라인 콘택의 높이가 상기 비트라인의 높이와 동일하거나 더 높은 것을 특징으로 한다.
- [0026] 바람직하게는, 상기 비트라인 및 상기 제 2 비트라인 콘택의 사이에 식각 정지막이 포함된 것을 특징으로 한다.

효 과

- [0027] 본 발명은 금속 콘택과 함께 형성되는 제 1 비트라인 콘택에 단차를 형성한 후 비트 라인을 형성하는 다마신(Damascene)공정을 적용하여 비트 라인과 이웃한 비트라인 콘택 및 비트 라인과 비트 라인 상부에 형성되는 전원을 공급하기 위한 금속 배선 및 콘택 사이의 전기적 단락을 방지할 수 있는 장점이 있다.
- [0028] 또한, 본 발명은 추가 마스크 공정 없이 종래에 사용하였던 마스크 공정을 그대로 사용할 수 있고, 별도의 패드 혹은 콘택을 형성하지 않고도 비트 라인과 제 1 비트라인 콘택을 연결할 수 있어, 30nm 이하의 디자인 규칙하에서도 반도체 소자의 패턴 형성에 공정 마진을 확보할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0029] 본 발명에 따른 반도체 장치의 제조 방법은 30nm 이하의 디자인 규칙하에서도 비트 라인의 형성을 위한 공정 마진을 확보하기 위해, 주변 영역에서 비트 라인과 연결되는 제 1 비트라인 콘택과 전원을 공급하는 배선과 연결되는 제 2 비트라인 콘택을 형성하는 과정에서 제 1 비트라인 콘택에 단차를 형성한 후 도전물질을 매립하는 다마신(Damascene)공정을 적용하여 비트 라인을 형성한다. 이를 통해, 종래에 비해 비트 라인이 형성되는 위치가 낮아지고 제 2 비트 라인 콘택과 수평적 거리가 아닌 수직적 거리를 확보할 수 있어, 비트 라인과 이웃한 콘택과 전기적인 격리를 보장할 수 있다. 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- [0030] 도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도이다.
- [0031] 도 3a를 참조하면, 반도체 기판(302) 상에 층간 절연막(304, 308)을 형성한 후 랜딩플러그를 형성한다. 구체적으로 살펴보면, 반도체 기판(302) 상에 제 1 층간 절연막(304)을 증착한 후, 제 1 층간 절연막(304) 상에 식각 정지막(306)을 형성한다. 이때, 식각 정지막(306)은 질화막을 포함하고, 10 Å 내지 200 Å의 두께로 형성된다. 이후, 식각 정지막(306) 상에 제 2 층간 절연막(308)을 형성한다.
- [0032] 여기서, 제 1 및 제 2 층간 절연막(304, 308)은 산화막을 포함하는데, 제 1 층간 절연막(304)은 반도체 기판(302) 상에 형성되는 게이트 패딩(미도시)의 높이보다 더 두껍게 형성되는 것이 특징이다. 또한, 제 2 층간 절연막(308)은 추후에 형성될 비트 라인 및 비트라인 하드마스크막을 포함한 두께만큼 형성되는 것이 특징이다.
- [0033] 이후, 제 1 및 제 2 층간 절연막(304, 308)을 관통하여 반도체 기판(302)과 연결되는 제 1 비트라인 콘택(312) 및 제 2 비트라인 콘택(314)을 형성한다. 여기서, 반도체 장치의 주변 영역에 형성되는 제 1 비트라인 콘택(312)은 비트 라인과 연결되고 제 2 비트라인 콘택(314)은 전원을 공급하는 금속 배선과 콘택을 통해 연결되는 것이 특징이다. 먼저, 제 1 비트라인 콘택(312) 및 제 2 비트라인 콘택(314)의 위치를 정의한 마스크를 이용한 노광공정을 통해 제 2 층간 절연막(308), 식각 정지막(306) 및 제 1 층간 절연막(304)을 식각하여 반도체 기판(302)을 노출시키는 트렌치(미도시)를 형성한다. 이후, 트렌치의 측벽에 제 1 스페이서(310)를 형성한다. 제 1

스페이서(310)는 질화막을 포함하고, 10 Å 내지 90 Å의 두께로 형성된다.

- [0034] 제 1 스페이서(310)의 사이 트렌치에는 도전물질을 매립하여 제 1 비트라인 콘택(312) 및 제 2 비트라인 콘택(314)을 완성한다. 이때, 실시예에 따라 트렌치 내부에 티타늄(Ti) 또는 코발트(Co)을 포함하는 금속 장벽막을 형성한 후, 텅스텐(W)을 금속층을 형성할 수 있다. 이후, 제 2 층간 절연막(308)이 노출될 때까지 평탄화한다.
- [0035] 이후 과정에서는, 제 1 비트라인 콘택(312) 및 제 2 비트라인 콘택(314) 사이에 단차를 형성하여 도전물질을 매립하는 다마신 공정을 통해 비트 라인을 형성한다.
- [0036] 도 3b를 참조하면, 비트 라인이 형성될 위치를 정의한 마스크를 이용하여 노광공정을 수행하여 제 1 패턴(316)을 형성한다. 이때, 제 1 패턴(316)은 식각 마스크의 역할을 하는 것으로, 실시예에 따라 감광막으로 구성할 수도 있고, 감광막 하부에 별도의 하드마스크막으로 구성할 수도 있다.
- [0037] 도 3c를 참조하면, 제 1 패턴(316)을 식각 마스크로 사용하여 제 1 층간 절연막(304)이 노출될 때까지 제 1 비트라인 콘택(312), 제 2 층간 절연막(308), 식각 정지막(306)을 식각하여 제 2 트렌치(318)를 형성한다. 전술한 제 2 층간 절연막(308)의 증착시 후속공정에서 형성될 비트 라인 및 하드마스크막의 두께를 고려하여 형성하였기 때문에, 제 1 층간 절연막(304)이 노출되도록 형성함으로써 제 2 트렌치(318)의 깊이를 제어할 수 있다.
- [0038] 도 3d를 참조하면, 제 2 트렌치(318)의 측벽에 제 2 스페이서(320)를 형성한다. 이때, 제 2 스페이서(320)는 질화막의 증착 후 플라즈마 식각을 통해 10 Å 내지 200 Å의 두께를 가지도록 형성한다.
- [0039] 도 3e를 참조하면, 제 2 트렌치(320) 내에 도전물질을 매립하여 비트 라인(322)을 형성한 후 에치백 공정을 수행하여 두께를 조절한다. 이후, 비트 라인(322) 상부에는 하드마스크막(324)을 증착한다. 여기서, 비트 라인(322)은 텅스텐(W)을 포함하고, 500 Å 정도의 두께로 형성된다. 또한, 하드마스크막(324)은 질화막을 포함하고, 1200 Å 정도의 두께로 형성된다. 이후, 제 2 비트라인 콘택(314)가 노출될 때까지 평탄화한다.
- [0040] 도 3f를 참조하면, 제 2 비트라인 콘택(314) 상에 금속배선 콘택(326)을 형성한다. 구체적으로 살펴보면, 제 2 층간 절연막(308) 및 비트 라인(322) 상의 하드마스크막(324) 상부에 제 3 층간 절연막(328)을 증착한다. 제 3 층간 절연막(328)을 식각하여 제 2 비트라인 콘택(314)를 노출시키는 제 3 트렌치(미도시)를 형성하고, 제 3 트렌치의 측벽에 제 3 스페이서(330)를 형성한다. 이후, 제 3 트렌치에 도전물질을 증착하여 금속배선 콘택(326)을 완성한다.
- [0041] 비트 라인(322)의 상부에 형성되는 금속배선 콘택(326)은 제 1 및 제 2 비트라인 콘택(312, 314)에 비하여 폭이 넓게 형성되기 때문에, 이웃한 구성 요소들과 단락될 가능성이 높다. 하지만, 본 발명에서는 금속배선 콘택(326)을 형성하기 위해 제 2 비트라인 콘택(314)를 노출시키는 과정에서, 제 2 비트라인 콘택(314)의 상부에 질화막 등을 포함한 절연막을 제거함으로써 금속배선 콘택(326)과 제 2 비트라인 콘택(314)의 접촉저항을 줄일 수 있다. 이로 인해, 비트라인 패드가 불필요할 뿐만 아니라, 비트 라인(322)보다 높은 위치에 금속배선 콘택(326)과 제 2 비트라인 콘택(314)을 연결하게 되어 금속배선 콘택(326)을 형성하는 데 필요한 공정 마진이 충분히 확보된다. 이 과정에서, 질화막을 제거하기 위한 플라즈마 에치 방법이나 인산을 이용한 질화막 식각 공정을 수행할 수 있는데, 종래와 달리 비트 라인(322) 상부에 두꺼운 하드마스크막(324)이 형성되어 있어서 전기적 단락의 발생을 억제할 수 있다.
- [0042] 또한, 본 발명의 일 실시예에 따른 반도체 장치에서 금속배선 콘택(326)은 약 20K Å 이하의 높이로 형성된다. 따라서, 제 3 층간 절연막(328)을 식각하여 제 3 트렌치를 형성하기 위해서는 식각 공정이 오래동안 수행되는데, 비트 라인(322) 상의 하드마스크막(324)은 과도 식각을 방지하기 위한 식각 정지막의 역할을 할 수도 있다.
- [0043] 도시되지 않았지만, 후속 공정에서는 금속배선 콘택(326)의 상부에는 반도체 장치 내에 고전압, 전원전압, 코어 전압 등을 공급할 수 있는 금속 배선을 형성할 수 있다.
- [0044] 종래에는 디자인 규칙의 감소로 비트 라인(322)을 라인 형태로 형성하게 되면서, 이웃한 비트 라인(322) 사이에 위치하는 금속배선 콘택(326)과의 전기적 격리를 위한 마진이 충분하지 않았다. 본 발명에서는 다마신 공정을 통해 비트 라인(322)이 금속배선 콘택(326)보다 아래에 제 2 비트라인 콘택(314)의 높이에 형성되기 때문에, 수평적으로 확보되지 못했던 마진을 수직적으로 확보하는 효과가 있다. 이를 통해, 디자인 규칙이 30nm이하인 환경에서도 비트 라인(322)의 패터닝을 위한 공정 마진을 확보할 수 있다. 또한, 종래의 반도체 장치에 포함되었던 비트라인 패드를 제거할 수 있고, 콘택 사이의 전기적 단락을 방지하기 위해 형성되었던 복잡한 형태의 패턴이 불필요해짐에 따라 반도체 장치의 제조 공정에서 다수의 마스크 공정을 줄일 수 있다.

[0045] 전술한 바와 같이, 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법은 반도체 기판 상에 층간 절연막을 형성하는 단계, 층간 절연막을 관통하여 반도체 기판과 연결되는 제 1 비트라인 콘택 및 제 2 비트라인 콘택를 형성하는 단계, 층간 절연막 및 제 1 비트라인 콘택를 일부 식각하여 형성한 트렌치에 비트 라인을 형성하는 단계, 및 제 2 비트라인 콘택 상에 금속 콘택을 형성하는 단계를 포함한다. 이러한 제조 방법에 따라 제조된 반도체 장치는 제 2 비트라인 콘택의 높이가 상기 비트라인의 높이와 동일하거나 더 높은 것이 특징이며, 비트라인 및 상기 제 2 비트라인 콘택의 사이에 식각 정지막이 포함되어 있다.

[0046] 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

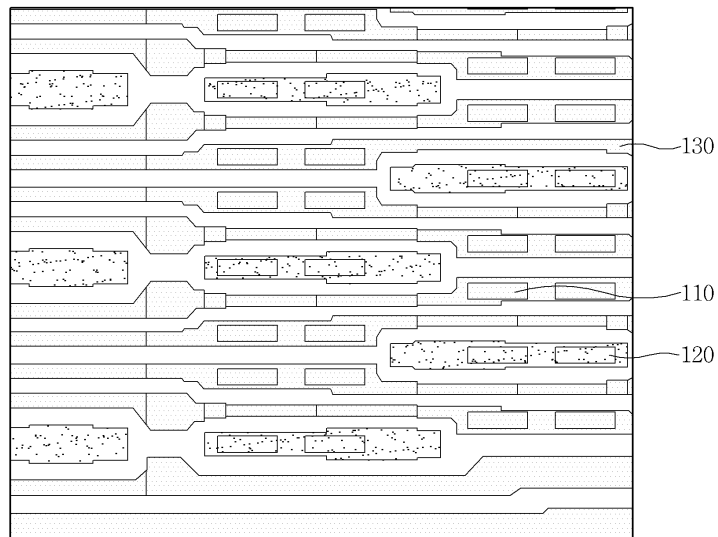
[0047] 도 1은 일반적인 반도체 장치를 설명하기 위한 평면도.

[0048] 도 2는 개선된 반도체 장치를 설명하기 위한 평면도.

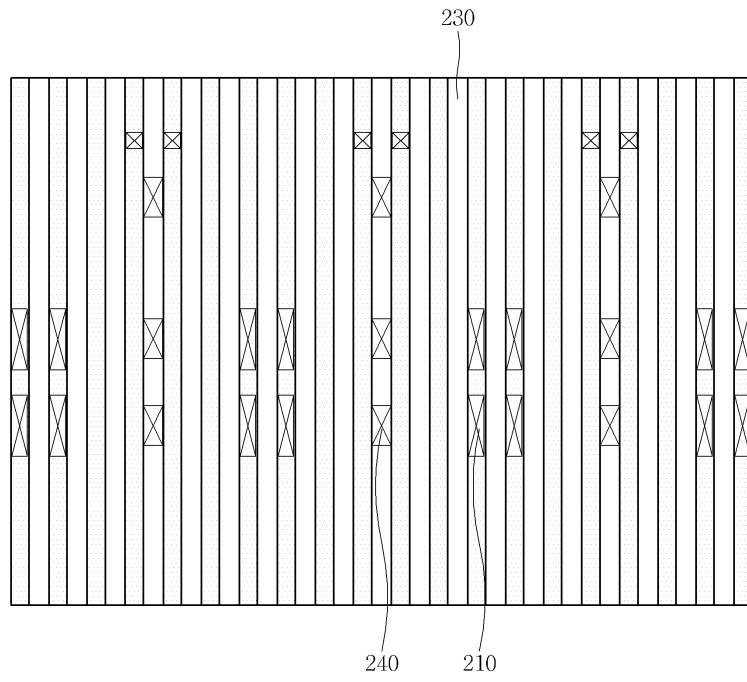
[0049] 도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도.

도면

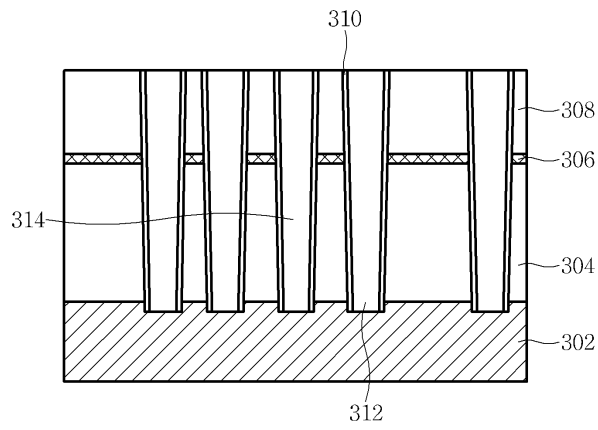
도면1



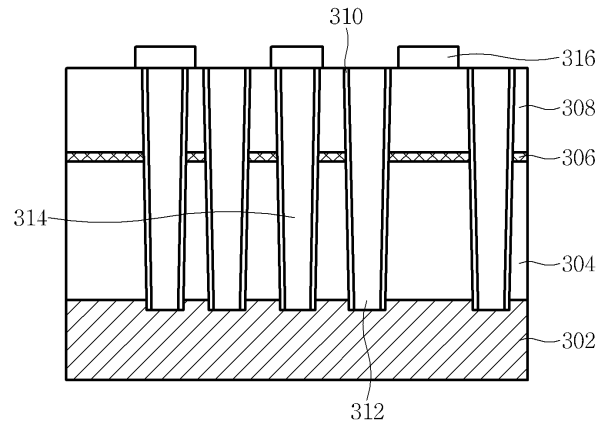
도면2



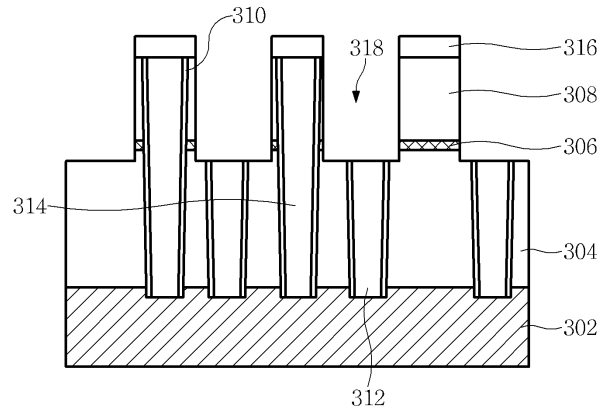
도면3a



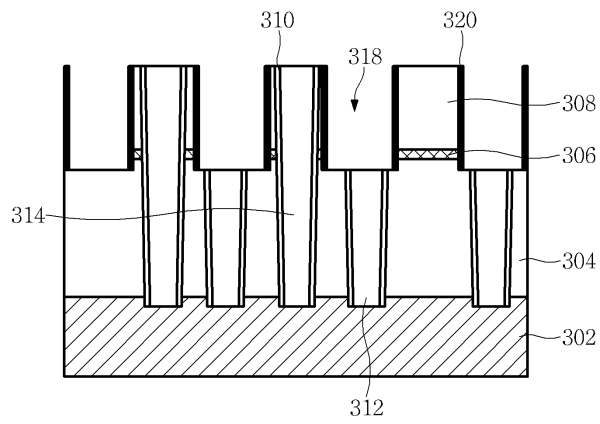
도면3b



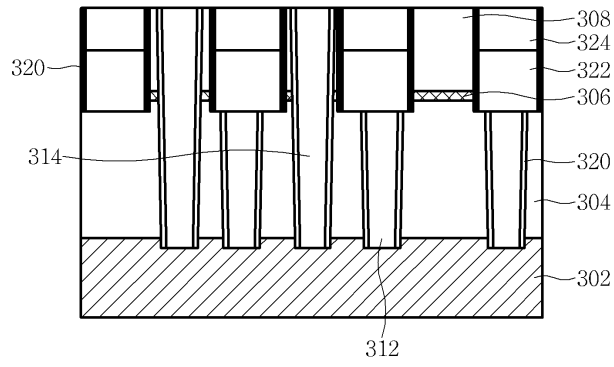
도면3c



도면3d



도면3e



도면3f

