



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I577020 B

(45) 公告日：中華民國 106 (2017) 年 04 月 01 日

(21) 申請案號：102117262

(22) 申請日：中華民國 102 (2013) 年 05 月 15 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(71) 申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)
 新竹市新竹科學工業園區力行二路 3 號

(72) 發明人：許茗舜 HSU, MING SHUN (TW)；林克峰 LIN, KE FENG (TW)；李秋德 LEE, CHIU TE (TW)；王智充 WANG, CHIH CHUNG (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

US 2006/0113627A1

US 2008/0073745A1

US 2013/0043513A1

審查人員：陳建仲

申請專利範圍項數：18 項 圖式數：4 共 23 頁

(54) 名稱

高壓金氧半導體電晶體元件

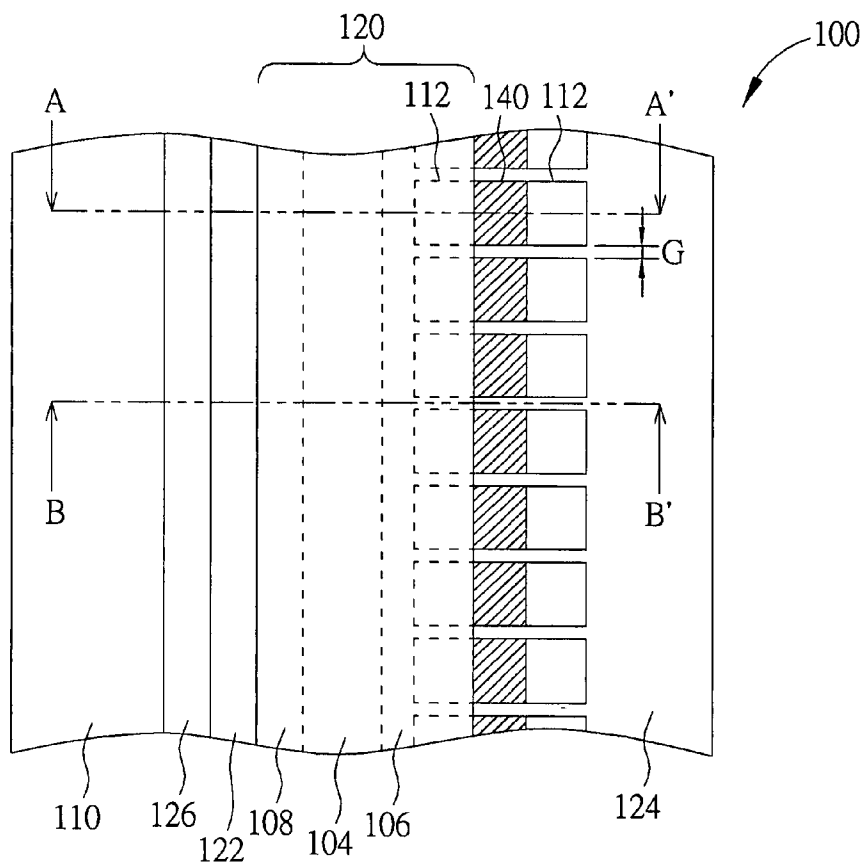
HIGH VOLTAGE METAL-OXIDE-SEMICONDUCTOR TRANSISTOR DEVICE

(57) 摘要

一種高壓金氧半導體電晶體元件，包含有一基底、一漂移區域、複數個絕緣結構、複數個島狀摻雜區、一閘極、以及一源極區域與一汲極區域。該漂移區域設置於該基底內，該等絕緣結構設置於該漂移區域內，且藉由該漂移區域彼此分離；而該等島狀摻雜區分別設置於該等絕緣結構內。該閘極設置於該基底上且覆蓋部份各該絕緣結構，而該源極區域與該汲極區域設置於該閘極兩側之該基底內。該漂移區域、該源極區域與該汲極區域包含一第一導電型態；而該等島狀摻雜區包含一第二導電型態，且該第一導電型態與該第二導電型態彼此互補。

A HV MOS transistor device includes a substrate, a drifting region formed in the substrate, a plurality of isolation structures formed in the drift region and spaced apart from each other by the drift region, a plurality of doped islands respectively formed in the isolation structures, a gate formed on the substrate, and a source region and a drain region formed in the substrate at respective two sides of the gate. The gate covers a portion of each isolation structure. The drift region, the source region, and the drain region include a first conductivity type, the doped islands include a second conductivity type, and the first conductivity type and the second conductivity type are complementary to each other.

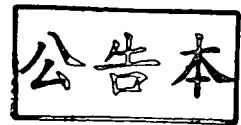
指定代表圖：



符號簡單說明：

- 100 . . . 高壓金氧半導體電晶體元件
- 104 . . . 深井區
- 106 . . . 漂移區域
- 108 . . . 基體區域
- 110 . . . 淺溝隔離
- 112 . . . 絕緣結構
- 120 . . . 閘極
- 122 . . . 源極區域
- 124 . . . 汲極區域
- 126 . . . p型摻雜區
- 140 . . . 島狀摻雜區
- A-A'、B-B' . . . 剖線

第1A圖



發明摘要

※ 申請案號：102117262

※ 申請日：102. 5. 15

※IPC 分類：

H01L29/178 (2006.01)

【發明名稱】 高壓金氧半導體電晶體元件

H01L29/142 (2006.01)

HIGH VOLTAGE METAL-OXIDE-SEMICONDUCTOR

TRANSISTOR DEVICE

【中文】

一種高壓金氧半導體電晶體元件，包含有一基底、一漂移區域、複數個絕緣結構、複數個島狀摻雜區、一閘極、以及一源極區域與一汲極區域。該漂移區域設置於該基底內，該等絕緣結構設置於該漂移區域內，且藉由該漂移區域彼此分離；而該等島狀摻雜區分別設置於該等絕緣結構內。該閘極設置於該基底上且覆蓋部份各該絕緣結構，而該源極區域與該汲極區域設置於該閘極兩側之該基底內。該漂移區域、該源極區域與該汲極區域包含一第一導電型態；而該等島狀摻雜區包含一第二導電型態，且該第一導電型態與該第二導電型態彼此互補。

【英文】

A HV MOS transistor device includes a substrate, a drifting region formed in the substrate, a plurality of isolation structures formed in the drift region and spaced apart from each other by the drift region, a plurality of doped islands respectively formed in the isolation structures, a gate formed on the substrate, and a source region and a drain region formed in the substrate at respective two sides of the gate. The gate covers a portion of each isolation structure. The drift region,

the source region, and the drain region include a first conductivity type, the doped islands include a second conductivity type, and the first conductivity type and the second conductivity type are complementary to each other.

Δ000000

【代表圖】

【本案指定代表圖】：第（ 1A ）圖。

【本代表圖之符號簡單說明】：

100	高壓金氧半導體電晶體元件
104	深井區
106	漂移區域
108	基體區域
110	淺溝隔離
112	絕緣結構
120	閘極
122	源極區域
124	汲極區域
126	p 型摻雜區
140	島狀摻雜區
A-A'、B-B'	剖線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】 高壓金氧半導體電晶體元件

HIGH VOLTAGE

METAL-OXIDE-SEMICONDUCTOR TRANSISTOR DEVICE

【技術領域】

【0001】 本發明有關於一種高壓金氧半導體(high voltage metal-oxide-semiconductor, 以下簡稱為 HV MOS)電晶體元件, 尤指一種高壓橫向雙擴散金氧半導體(high voltage lateral double-diffused metal-oxide-semiconductor, HV-LDMOS)電晶體元件。

【先前技術】

【0002】 在具有高壓處理能力的功率元件中, 雙擴散金氧半導體(double-diffused MOS, DMOS)電晶體元件係持續受到重視。常見的DMOS 電晶體元件有垂直雙擴散金氧半導體(vertical double-diffused MOS, VDMOS)與橫向雙擴散金氧半導體(LDMOS)電晶體元件。而 LDMOS 電晶體元件因具有較高的操作頻寬與操作效率, 以及易與其他積體電路整合之平面結構, 現已廣泛地應用於高電壓操作環境中, 如中央處理器電源供應(CPU power supply)、電源管理系統(power management system)、直流/交流轉換器(AC/DC converter)以及高功率或高頻段的功率放大器等等。LDMOS 電晶體元件主要的特徵為具有一低摻雜濃度、大面積的橫向擴散漂移區域, 其目的在於緩和源極端與汲極端之間的高電壓, 因此可使 LDMOS 電晶體元件獲得較高的崩潰電壓(breakdown voltage, BVD)。

【0003】 除了高崩潰電壓之外, HV MOS 電晶體元件另追求低導通

電阻(ON-resistance, R_{ON})，但高崩潰電壓與低導通電阻這兩個要求常常是彼此衝突難以權衡的。因此，目前仍需要一種可在高電壓環境下正常運作，且同時滿足低導通電阻以及高崩潰電壓兩個要求的解決途徑。

【發明內容】

【0004】 因此，本發明之一目的係在於提供一具有低導通電阻與高崩潰電壓的 HV MOS 電晶體元件。

【0005】 根據本發明所提供之申請專利範圍，係提供一種 HV MOS 電晶體元件。該 HV MOS 電晶體元件包含有一基底、一漂移區域、複數個絕緣結構、複數個島狀摻雜區、一閘極、以及一源極區域與一汲極區域。該漂移區域係設置於該基底內，該等絕緣結構係設置於該漂移區域內，且藉由該漂移區域彼此分離；而該等島狀摻雜區係分別設置於該等絕緣結構內。該閘極係設置於該基底上且覆蓋部份各該絕緣結構，而該源極區域與該汲極區域係設置於該閘極兩側之該基底內。該漂移區域、該源極區域與該汲極區域包含一第一導電型態；而該等島狀摻雜區包含一第二導電型態，且該第一導電型態與該第二導電型態彼此互補(complementary)。

【0006】 根據本發明所提供的 HV MOS 電晶體元件，係於該基底內設置該等絕緣結構，並於該等絕緣結構內形成該等島狀摻雜區，由於該等島狀摻雜區之導電型態與漂移區域互補，故可提供降低表面電場效應(reduced surface field, RESURF effect)，有效地提昇 HV MOS 電晶體元件的崩潰電壓。

【圖式簡單說明】

【0007】

第 1A 圖為本發明所提供之一 HV MOS 電晶體元件之第一較佳實施例之部分佈局圖案示意圖。

第 1B 圖為第 1A 圖中沿 A-A'切線所獲得之剖面示意圖。

第 1C 圖為第 1A 圖中沿 B-B'切線所獲得之剖面示意圖。

第 2 圖係為本較佳實施例之一變化型之部分佈局圖案示意圖。

第 3A 圖為本發明所提供之一 HV MOS 電晶體元件之第二較佳實施例之部分佈局圖案示意圖。

第 3B 圖為第 3A 圖中沿 C-C'切線所獲得之剖面示意圖。

第 3C 圖為第 3A 圖中沿 D-D'切線所獲得之剖面示意圖。

第 4A 圖為本發明所提供之一 HV MOS 電晶體元件之第三較佳實施例之部分佈局圖案示意圖。

第 4B 圖為第 4A 圖中沿 E-E'切線所獲得之剖面示意圖。

第 4C 圖為第 4A 圖中沿 F-F'切線所獲得之剖面示意圖。

【實施方式】

【0008】 請參閱第 1A 圖至第 1C 圖，其中第 1A 圖為本發明所提供之一 HV MOS 電晶體元件之第一較佳實施例之部分佈局圖案示意圖、第 1B 圖為第 1A 圖中沿 A-A'切線所獲得之剖面示意圖、第 1C 圖為第 1A 圖中沿 B-B'切線所獲得之剖面示意圖。如第 1A 圖至第 1C 圖所示，本較佳實施例所提供之 HV MOS 電晶體元件 100 係設置於一基底 102，例如一矽基底上，基底 102 內包含一深井區 104，深井區 104 內則設置有一漂移區域 106 與一基體(body)區域 108。此外，如第 1A 至 1C 圖所示，漂移區域 106 與基體區域 108 係藉由深井區 104 彼此分離。深井區 104 與漂移區域 106 包含一第一導電型態，基底 102 與基體區域 108 則具有一第二導電型態，且第二導電

型態與第一導電型態彼此互補。在本較佳實施例中，該第一導電型態為 n 型；第二導電型態為 p 型。基底 102 上更設置有複數個用以電性隔離 HV MOS 電晶體元件 100 與其他元件的絕緣結構 110，以及複數個設置於漂移區域 106 內的絕緣結構 112。在本較佳實施例中絕緣結構 110 與絕緣結構 112 皆包含一淺溝隔離(shallow trench isolation，以下簡稱為 STI)，但不限於此。如第 1A 圖所示，絕緣結構 112 係藉由漂移區域 106 彼此分離。換句話說，各絕緣結構 112 係具有一島狀輪廓，並藉由一間隔 G 彼此分離，更重要的是漂移區域 106 係填滿間隔 G。

【0009】 請繼續參閱第 1A 圖至第 1C 圖。本較佳實施例所提供之 HV MOS 電晶體元件 100 包含一閘極 120，設置於基底 102 上，且閘極 120 係覆蓋部分各絕緣結構 112。如第 1A 圖所示，絕緣結構 112 的排列方向係與閘極 120 的延伸方向平行。在閘極 120 兩側之基底 102 內，係分別設置有一源極區域 122 與一汲極區域 124，源極區域 122 與汲極區域 124 皆包含第一導電型態，故分別為一 n 型源極區域與一 n 型汲極區域。如第 1B 圖與第 1C 圖所示，n 型源極區域 122 係設置於 p 型基體區域 108 中。此外，在 p 型基體區域 108 中，更設置有一與 n 型源極區域 122 互補的 p 型摻雜區 126，且 p 型摻雜區 126 與 n 型源極區域 122 電性連接。另外本較佳實施例所提供之 HV MOS 電晶體元件 100 在漂移區域 106 內，更設置有一 n 型井區 128。在本較佳實施例中，n 型井區 128 的摻雜濃度大於漂移區域 106，而漂移區域 106 的摻雜濃度又大於深井區 104。另外如第 1B 圖與第 1C 圖所示，汲極區域 124 設置於 n 型井區 128 中。

【0010】 請仍然參閱第 1A 圖至第 1C 圖。更重要的是，本較佳實

施例所提供之 HV MOS 電晶體元件 100 更包含複數個島狀摻雜區 140，分別設置於各絕緣結構 112 內，且浮置於各絕緣結構 112 內。島狀摻雜區 140 包含一第二導電型態，故分別為一 p 型島狀摻雜區 140。如第 1B 圖至第 1C 圖所示，島狀摻雜區 140 之一深度係小於絕緣結構 112 之一深度。但值得注意的是，島狀摻雜區 140 係夾設於絕緣結構 112 之內，但其底部與一對相對之側壁係與漂移區域 106 實體接觸(physically contact)。

【0011】 請再參閱第 1B 圖與第 1C 圖。當 HV MOS 電晶體元件 100 處於操作狀態時，電流係可藉由兩個路徑由汲極區域 124 流向源極區域 122。第一個路徑，如第 1B 圖所示，係由汲極區域 124 經過 n 型井區 128、絕緣結構 112 與島狀摻雜區 140 下方的漂移區域 106、深井區 104、基體區域 106 而抵達源極區域 122。由於島狀摻雜區 140 為 p 型摻雜區，而漂移區域 106 為 n 型摻雜區，因此可獲得一 p-n-p 的結構特徵，故可提供降低表面電場(Reduced Surface Field，以下簡稱為 RESURF)效應，而提升 MOS 電晶體元件 100 的崩潰電壓。更重要的是，由於島狀摻雜區 140 的深度小於絕緣結構 112 的深度，故可縮短本較佳實施例所提供之 HV MOS 電晶體元件 100 的電流路徑(current path)，達到降低導通電阻的目的。另一方面，本較佳實施例所提供之 HV MOS 電晶體 100 處於操作狀態時的第二個電流路徑，如第 1C 圖所示，係由汲極區域 124 直接經過絕緣結構 112 之間的漂移區域 106、深井區 104 與基體區域 106 而抵達源極區域 122。由此可知，用以分離島狀絕緣結構 112 的漂移區域 106 係可作為一橋樑結構，容許電流快速的通過。換句話說，本較佳實施例所提供之 HV MOS 電晶體元件 100 的第二電流路徑係為一更短縮的路徑，故可更降低導通電阻。

【0012】 另外請參閱第 2 圖，第 2 圖係為本較佳實施例之一變化型之部分佈局圖案示意圖。值得注意的是，本變化型中與上述第一較佳實施例相同之元件係引用相同的符號說明，且可包含相同的導電型態，故於此係不再贅述。如第 2 圖所示，本變化型與上述第一較佳實施例不同之處在於：在本變化型中，閘極 120 係可覆蓋部分各島狀摻雜區 140。

【0013】 根據第一較佳實施例及其變化型所提供之 HV MOS 電晶體元件 100，係提供藉由漂移區域 106 分離的島狀絕緣結構 112，並且於各島狀的絕緣結構 112 內更分別設置浮置的 p 型島狀摻雜區 140。藉由 p 型島狀摻雜區 140 與 n 型漂移區域 106 提供 RESURF 效應而提升崩潰電壓。此外，由於島狀摻雜區 140 係設置於絕緣結構 112 內，且島狀摻雜區 140 之深度小於絕緣結構 112 之深度，故可縮減電流路徑，達到降低導通電阻的目的。同時，本較佳實施例更利用絕緣結構 112 之間的 n 型漂移區域 106 作為一橋樑，以提供更為縮減的電流路徑，故可更降低導通電阻。簡單地說，本較佳實施例所提供之 HV MOS 電晶體元件 100 可在提升崩潰電壓的同時降低導通電阻。此外，藉由上述變化型可知，閘極 120 不僅可覆蓋部份各絕緣結構 112，更可覆蓋部份各島狀摻雜區 140，故本較佳實施例所提供之 HV MOS 電晶體元件 100 更享有較高的製程容忍度 (process tolerance)。

【0014】 請參閱第 3A 圖至第 3C 圖，其中第 3A 圖為本發明所提供之一 HV MOS 電晶體元件之第二較佳實施例之部分佈局圖案示意圖、第 3B 圖為第 3A 圖中沿 C-C' 切線所獲得之剖面示意圖、第 3C

圖為第 3A 圖中沿 D-D' 切線所獲得之剖面示意圖。首先需注意的是，第二較佳實施例中與第一較佳實施例相同之元件係可具有相同的導電型態以及材料選擇，故於後即不再贅述。如第 3A 圖至第 3C 圖所示，本較佳實施例所提供之 HV MOS 電晶體元件 200 係設置於一基底 202，基底 202 內包含一深井區 204，深井區 204 內則更設置有一漂移區域 206 與一基體區域 208。此外，如第 3A 至 3C 圖所示，漂移區域 206 與基體區域 208 係藉由深井區 204 彼此分離。基底 202 上更設置有複數個用以電性隔離 HV MOS 電晶體元件 200 與其他元件的絕緣結構 210，以及複數個設置於基底內漂移區域 206 中的絕緣結構 212。在本較佳實施例中絕緣結構 210 與絕緣結構 212 包含 STI，但不限於此。如第 3A 圖所示，絕緣結構 212 係藉由漂移區域 206 彼此分離，換句話說，各絕緣結構 212 具有一島狀輪廓，且藉由一間隔 G 彼此分離，更重要的是漂移區域 206 填滿間隔 G。

【0015】 請繼續參閱第 3A 圖至第 3C 圖。本較佳實施例所提供之 HV MOS 電晶體元件 200 包含一閘極 220，設置於基底 202 上，且閘極 220 覆蓋部分各絕緣結構 212。如第 3A 圖所示，絕緣結構 212 的排列方向與閘極 220 的延伸方向平行。在閘極 220 兩側之基底 202 內，分別設置有一源極區域 222 與一汲極區域 224。如第 3B 圖與第 3C 圖所示，源極區域 222 設置於基體區域 208 中。此外，在基體區域 208 中，更設置有一與源極區域 222 互補且電性連接的摻雜區。由於本較佳實施例中源極區域 222 係為 n 型，故與源極區域 222 電性連接之摻雜區係為一 p 型摻雜區 226。另外本較佳實施例所提供之 HV MOS 電晶體元件 200 在漂移區域 206 內，亦設置有一井區，井區亦具有第一導電型態，故為一 n 型井區 228。如第 3B 圖與第 3C 圖所示，汲極區域 224 設置於 n 型井區 228 中。

【0016】 請仍然參閱第 3A 圖至第 3C 圖。本較佳實施例所提供之 HV MOS 電晶體元件 200 更包含複數個 p 型之島狀摻雜區 240，分別設置於各絕緣結構 212 內，且浮置於各絕緣結構 212 內。如第 3A 圖至第 3C 圖所示，島狀摻雜區 240 之一深度小於絕緣結構 212 之一深度。但值得注意的是，島狀摻雜區 240 係夾設於絕緣結構 212 之內，但其底部至一對相對之側壁與漂移區域 206 實體接觸。另外需注意的是，在本較佳實施例之一變化型中，閘極 220 亦可覆蓋部分各島狀摻雜區 240 (圖未示)。更重要的是，本較佳實施例之 HV MOS 電晶體元件 200 更包含一摻雜區域 242，設置於閘極 220 下方的深井區 204 內，且摻雜區域 242 的延伸方向與閘極 220 的延伸方向相同。換句話說，閘極 220 係覆蓋全部摻雜區域 242。摻雜區域 242 包含 n 型導電型態，故為一 n 型摻雜區域。在本較佳實施例中，n 型井區 228 的摻雜濃度大於 n 型摻雜區域 242 的摻雜濃度，n 型摻雜區域 242 的摻雜濃度大於漂移區域 206 的摻雜濃度，而漂移區域 206 的摻雜濃度又大於深井區 204 的摻雜濃度。如第 3A 圖至第 3C 圖所示，摻雜區域 242 靠近源極區域 222，但藉由基體區域 208 與源極區域 222 彼此分離；此外摻雜區域 242 係藉由深井區 204 與漂移區域 206 彼此分離。

【0017】 根據第二較佳實施例所提供之 HV MOS 電晶體元件 200，係提供藉由漂移區域 206 分離的島狀絕緣結構 212，並且於各島狀的絕緣結構 212 內又分別設置浮置的 p 型島狀摻雜區 240，藉由 p 型的島狀摻雜區 240 與 n 型的漂移區域 206 達到同時提升崩潰電壓與降低導通電阻的目的。本較佳實施例更利用絕緣結構 112 之間的 n 型漂移區域 106 作為一橋樑，以提供更縮減的電流路徑，故

可更降低導通電阻。另外，閘極 220 下方靠近源極端設置的摻雜區域 242 可更降低導通電阻。簡單地說，本較佳實施例所提供之 HV MOS 電晶體元件 200 可在提升崩潰電壓的同時更降低導通電阻，故可更改善 HV MOS 電晶體元件 200 的電性表現。

【0018】 請參閱第 4A 圖至第 4C 圖，其中第 4A 圖為本發明所提供之一 HV MOS 電晶體元件之第三較佳實施例之部分佈局圖案示意圖、第 4B 圖為第 4A 圖中沿 E-E' 切線所獲得之剖面示意圖、第 4C 圖為第 4A 圖中沿 F-F' 切線所獲得之剖面示意圖。首先需注意的是，第三較佳實施例中與前述較佳實施例相同之元件可具有相同的導電型態以及材料選擇，故於後即不再贅述。如第 4A 圖至第 4C 圖所示，本較佳實施例所提供之 HV MOS 電晶體元件 300 係設置於一基底 302，基底 302 內包含一深井區 304，深井區 304 內則更設置有一漂移區域 306 與一基體區域 308。此外，如第 4A 至 4C 圖所示，漂移區域 306 與基體區域 308 藉由深井區 304 彼此分離。基底 302 上更設置有複數個用以電性隔離 HV MOS 電晶體元件 300 與其他元件的絕緣結構 310，與複數個設置於漂移區域 306 中的絕緣結構 312。在本較佳實施例中絕緣結構 310 與絕緣結構 312 包含 STI，但不限於此。如第 4A 圖所示，絕緣結構 312 係藉由漂移區域 306 彼此分離，換句話說，各絕緣結構 312 係具有一島狀輪廓，且藉由一間隔 G 彼此分離，更重要的是漂移區域 306 填滿間隔 G。

【0019】 請繼續參閱第 4A 圖至第 4C 圖。本較佳實施例所提供之 HV MOS 電晶體元件 300 包含一閘極 320，設置於基底 302 上，且閘極 320 覆蓋部分各絕緣結構 312。如第 4A 圖所示，絕緣結構 312 的排列方向與閘極 320 的延伸方向平行。在閘極 320 兩側之基底 302

內，分別設置有一源極區域 322 與一汲極區域 324。如第 4B 圖與第 4C 圖所示，源極區域 322 係設置於基體區域 308 中。此外，在基體區域 308 中，更設置有一與源極區域 322 互補的 p 型摻雜區 326，且 p 型摻雜區 326 與源極區域 322 電性連接。另外本較佳實施例所提供之 HV MOS 電晶體元件 300 在漂移區域 306 內，亦設置有一 n 型井區 328。如第 4B 圖與第 4C 圖所示，汲極區域 324 設置於 n 型井區 328 中。

【0020】 請仍然參閱第 4A 圖至第 4C 圖。本較佳實施例所提供之 HV MOS 電晶體元件 300 更包含複數個 p 型之島狀摻雜區 340，分別設置於各絕緣結構 312 內，且浮置於各絕緣結構 312 內。如第 4A 圖至第 4C 圖所示，島狀摻雜區 340 之一深度小於絕緣結構 312 之一深度。但值得注意的是，島狀摻雜區 340 係夾設於絕緣結構 312 之內，但其底部與一對相對之側壁係與漂移區域 306 實體接觸。另外需注意的是，在本較佳實施例之一變化型中，閘極 320 亦可覆蓋部分各島狀摻雜區 340。更重要的是，本較佳實施例之 HV MOS 電晶體元件 300 更包含複數個摻雜區域 342，設置於閘極 320 下方的深井區 304 內，且摻雜區域 342 的排列方向與閘極 320 的延伸方向相同。如第 4A 圖至第 4C 圖所示，閘極 320 覆蓋全部摻雜區域 342。摻雜區域 342 包含 n 型導電型態，故為一 n 型摻雜區域。在本較佳實施例中，n 型井區 328 的摻雜濃度大於 n 型摻雜區域 342 的摻雜濃度，n 型摻雜區域 342 的摻雜濃度大於漂移區域 306 的摻雜濃度，而漂移區域 306 的摻雜濃度又大於深井區 304 的摻雜濃度。摻雜區域 342 靠近源極區域 322，但藉由基體區域 308 與源極區域 322 彼此分離。此外摻雜區域 342 藉由深井區 304 與漂移區域 306 彼此分離。更值得注意的是，摻雜區域 342 分別對應間隔 G。因此在一剖

線所獲得的剖面結構中，具有絕緣結構 312 與島狀摻雜區 340 之 HV MOS 電晶體元件 300 不包含摻雜區域 342，如第 4B 圖所示。在另一剖線所獲得的剖面結構中，不具有絕緣結構 312 與島狀摻雜區 340 之 HV MOS 電晶體元件 300 則包含摻雜區域 342，如第 4C 圖所示。

【0021】 根據第三較佳實施例所提供之 HV MOS 電晶體元件 300，係提供藉由漂移區域 306 分離的島狀絕緣結構 312，並且於各島狀的絕緣結構 312 內又分別設置浮置的 p 型島狀摻雜區 340。藉由 p 型島狀摻雜區 340 達到同時提升崩潰電壓與降低導通電阻的目的。本較佳實施例更利用絕緣結構 312 之間的 n 型漂移區域 306 作為一橋樑，以提供更縮減的電流路徑，故可更降低導通電阻。另外，閘極 320 下方靠近源極端且對應於間隔 G 設置的多個摻雜區域 342 係可更降低導通電阻。簡單地說，本較佳實施例所提供之 HV MOS 電晶體元件 300 可在提升崩潰電壓的同時更降低導通電阻，故可更改善 HV MOS 電晶體元件 300 的電性表現。

【0022】 綜上所述，根據本發明所提供的 HV MOS 電晶體元件，係於該基底內設置該等絕緣結構，並於該等絕緣結構內形成該等島狀摻雜區，由於該等島狀摻雜區之導電型態與漂移區域互補，故可提供降低表面電場效應，有效地提昇 HV MOS 電晶體元件的崩潰電壓。並且藉由填設於絕緣結構之間的漂移區域提供更為減縮的電流路徑，故可更降低導通電阻。

【符號說明】

【0023】

100、200、300	高壓金氧半導體電晶體元件
102、202、302	基底

104、204、304	深井區	
106、206、306	漂移區域	
108、208、308	基體區域	
110、210、310	淺溝隔離	
112、212、312	絕緣結構	
120、220、320	閘極	
122、222、322	源極區域	
124、224、324	汲極區域	
126、226、326	p 型摻雜區	
128、228、328	n 型井區	
140、240、340	島狀摻雜區	
242、342	摻雜區域	
A-A'、B-B'、C-C'、D-D'、E-E'、F-F'		剖線

申請專利範圍

1. 一種高壓金氧半導體(high voltage metal-oxide-semiconductor, HV MOS)電晶體元件，包含有：

一基底，其內包含有一漂移區域，且該漂移區域包含一第一導電型態；

複數個絕緣結構，設置於該漂移區域內，且該等絕緣結構藉由該漂移區域彼此分離；

複數個島狀摻雜區，分別設置於該等絕緣結構內，且該等島狀摻雜區包含一第二導電型態，且該第二導電型態與該第一導電型態彼此互補(complementary)；

一閘極，設置於該基底上且覆蓋部份各該絕緣結構；以及

一源極區域與一汲極區域，設置於該閘極兩側之該基底內，該源極區域與該汲極區域包含該第一導電型態。

2. 如申請專利範圍第 1 項所述之 HV MOS 電晶體元件，其中該等島狀摻雜區之一深度係小於該等絕緣結構之一深度。

3. 如申請專利範圍第 1 項所述之 HV MOS 電晶體元件，其中該閘極係覆蓋部份各該島狀摻雜區。

4. 如申請專利範圍第 1 項所述之 HV MOS 電晶體元件，其中該等島狀摻雜區實體上接觸該漂移區域。

5. 如申請專利範圍第 1 項所述之 HV MOS 電晶體元件，更包含一第一井區與一第二井區設置於該基底內，且該第一井區與該第二井區分別包含該第一導電型態。

6. 如申請專利範圍第 5 項所述之 HV MOS 電晶體元件，其中該汲極區域係設置於該第二井區內，而該第二井區域與該漂移區域皆設置於該第一井區內。
7. 如申請專利範圍第 5 項所述之 HV MOS 電晶體元件，其中該漂移區域之一摻雜濃度係低於該第二井區之一摻雜濃度。
8. 如申請專利範圍第 5 項所述之 HV MOS 電晶體元件，更包含一基體(body)區域，設置於該第一井區內，該基體區域包含該第二導電型態，且該源極區域係設置於該基體區域內。
9. 如申請專利範圍第 5 項所述之 HV MOS 電晶體元件，其中該基體區域與該漂移區域係藉由該第一井區彼此分離。
10. 如申請專利範圍第 1 項所述之 HV MOS 電晶體元件，更包含一摻雜區域，形成於該基底內且靠近該源極區域，且該摻雜區域包含該第一導電型態。
11. 如申請專利範圍第 10 項所述之 HV MOS 電晶體元件，其中該閘極覆蓋全部該摻雜區域。
12. 如申請專利範圍第 10 項所述之 HV MOS 電晶體元件，其中該摻雜區域係與該源極區域與該漂移區域彼此分離。
13. 如申請專利範圍第 1 項所述之 HV MOS 電晶體元件，更包含複數個摻雜區域，形成於該基底內且靠近該源極區域，且該等摻雜區

域包含該第一導電型態。

14. 如申請專利範圍第 13 項所述之 HV MOS 電晶體元件，更包含複數個間隔(gap)，分別設置於該等絕緣結構之間。

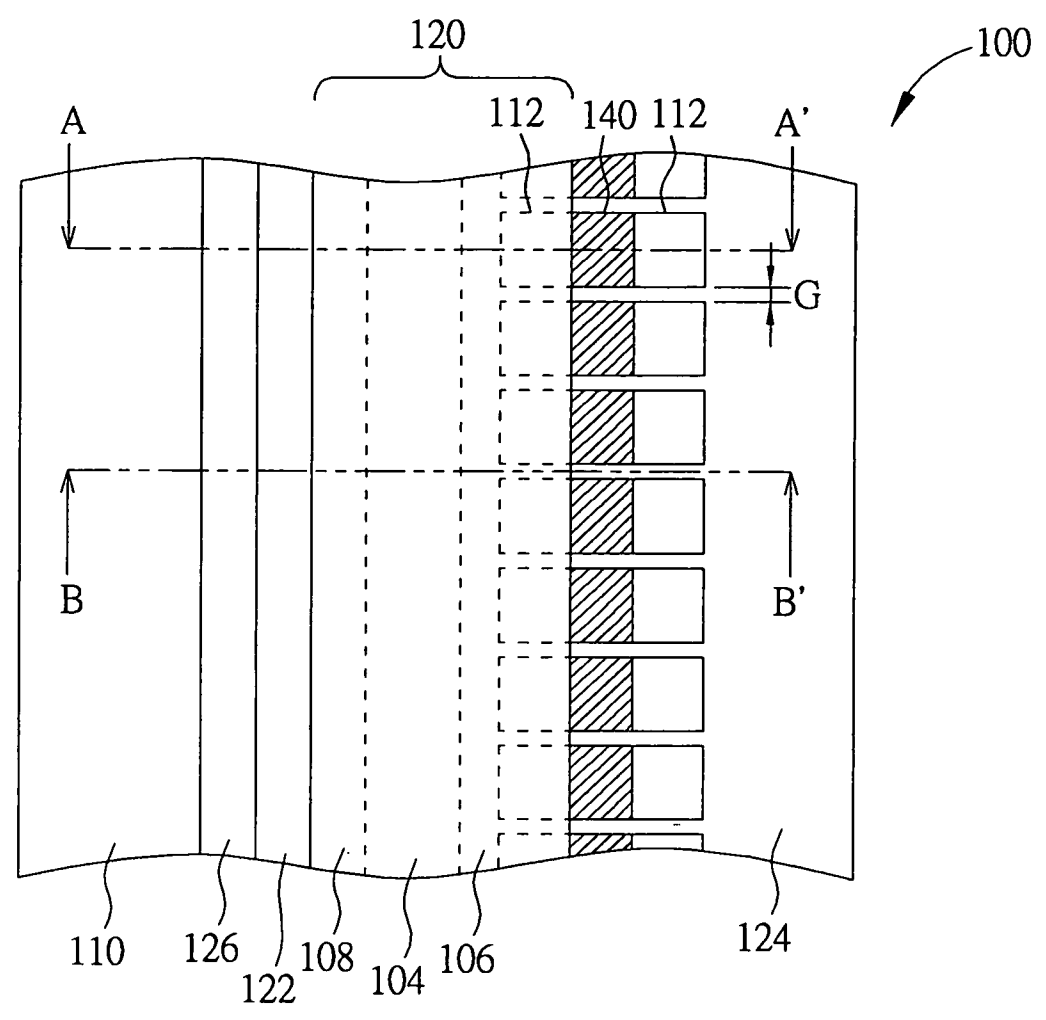
15. 如申請專利範圍第 14 項所述之 HV MOS 電晶體元件，其中該等摻雜區域係分別對應該等間隔。

16. 如申請專利範圍第 14 項所述之 HV MOS 電晶體元件，其中該漂移區域係填滿該等間隔。

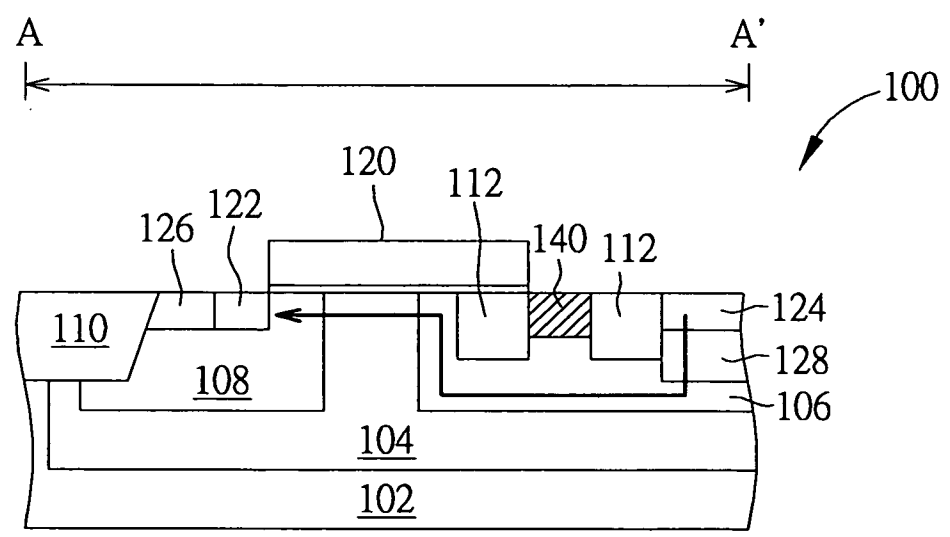
17. 如申請專利範圍第 13 項所述之 HV MOS 電晶體元件，其中該閘極覆蓋該等摻雜區域。

18. 如申請專利範圍第 13 項所述之 HV MOS 電晶體元件，其中該等摻雜區域係與該源極區域與該漂移區域彼此分離。

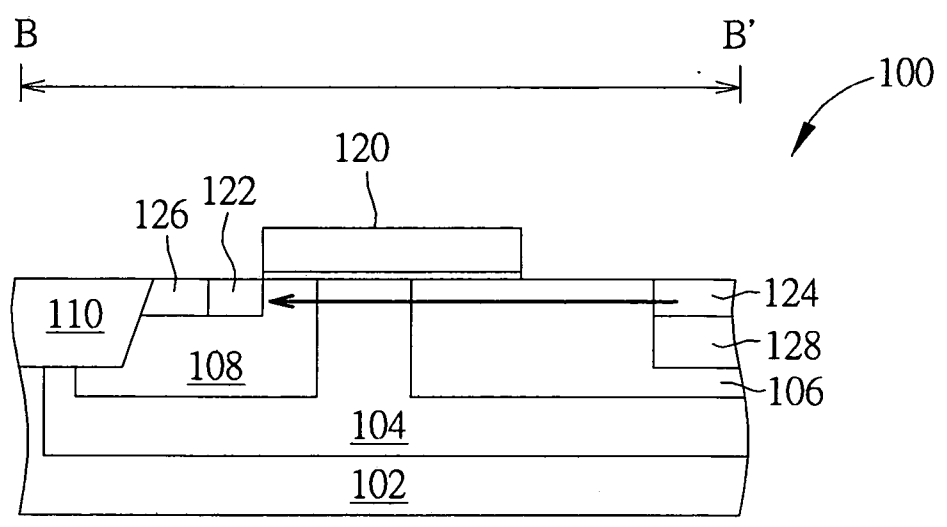
圖式



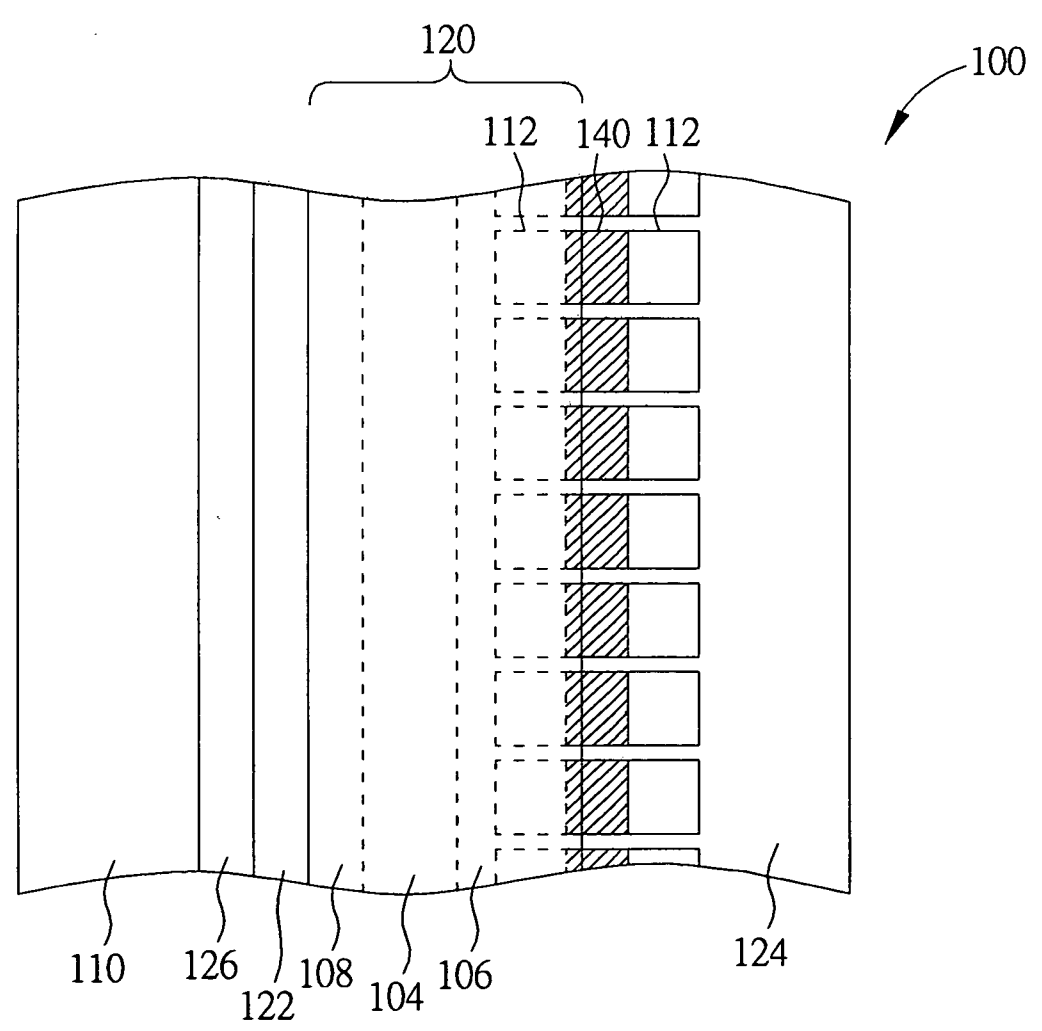
第1A圖



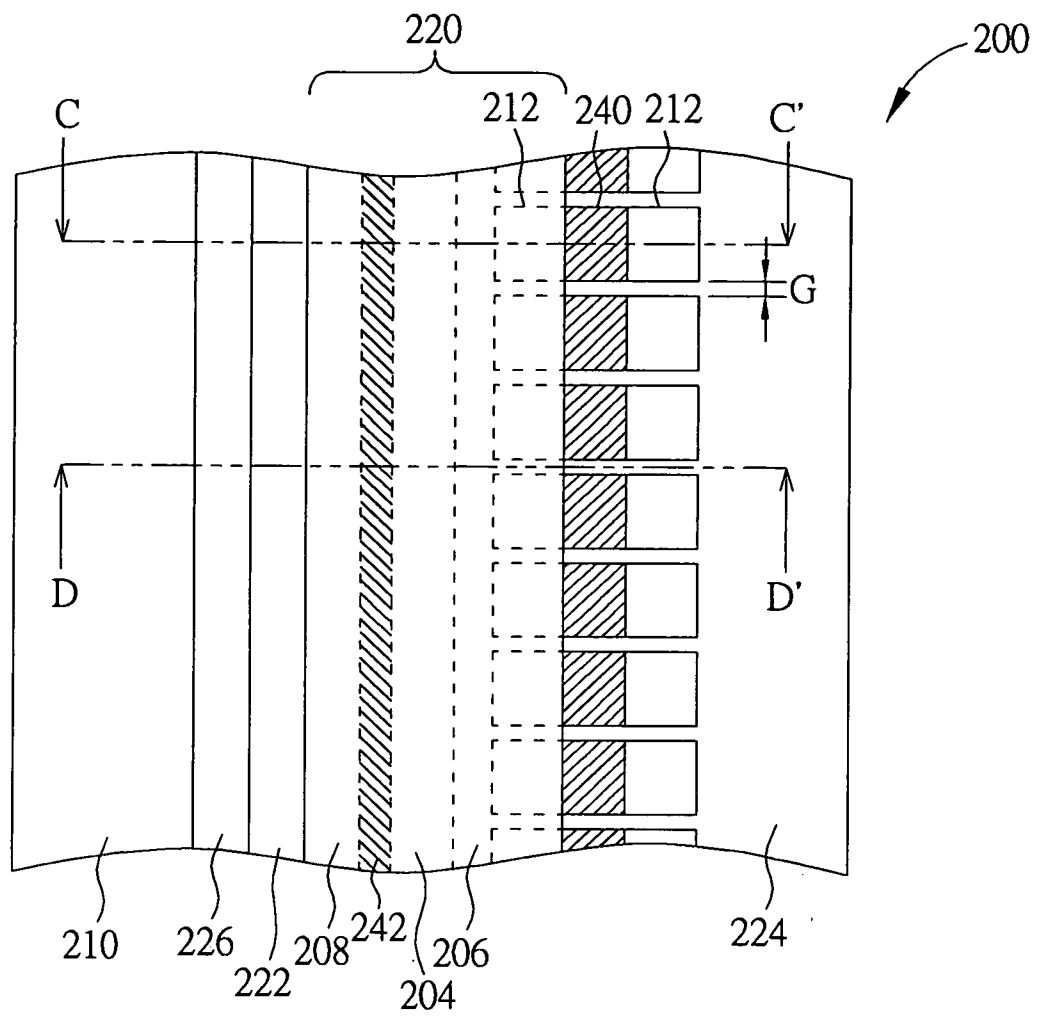
第1B圖



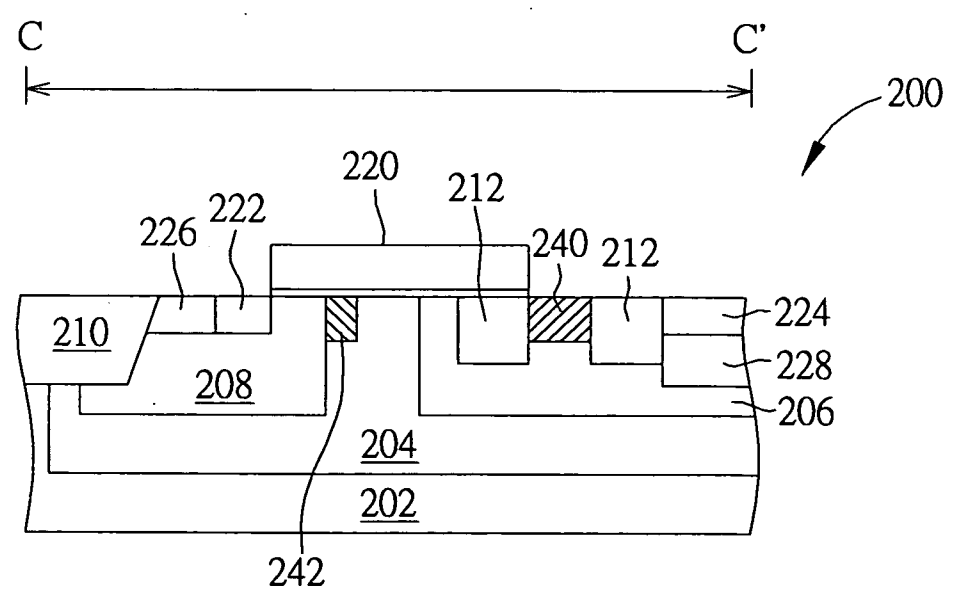
第1C圖



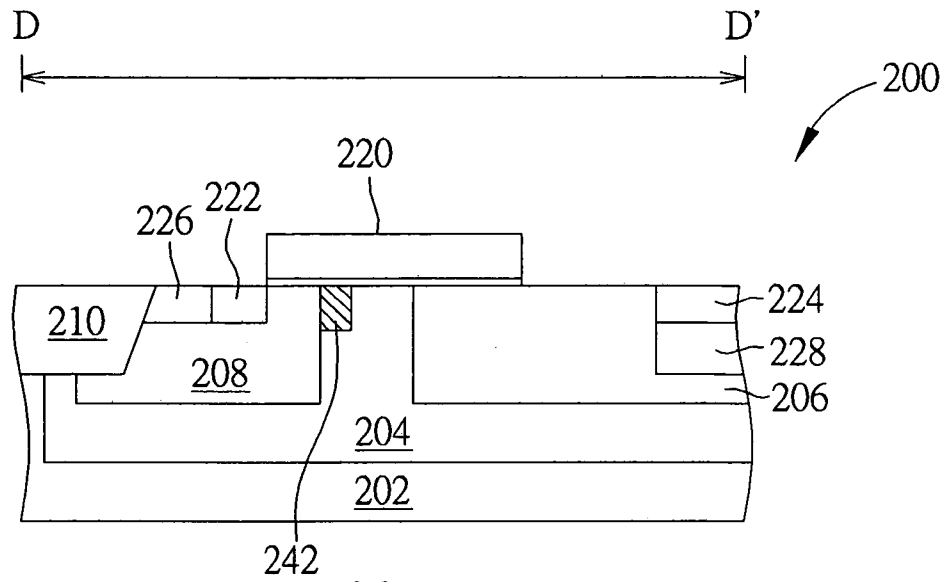
第2圖



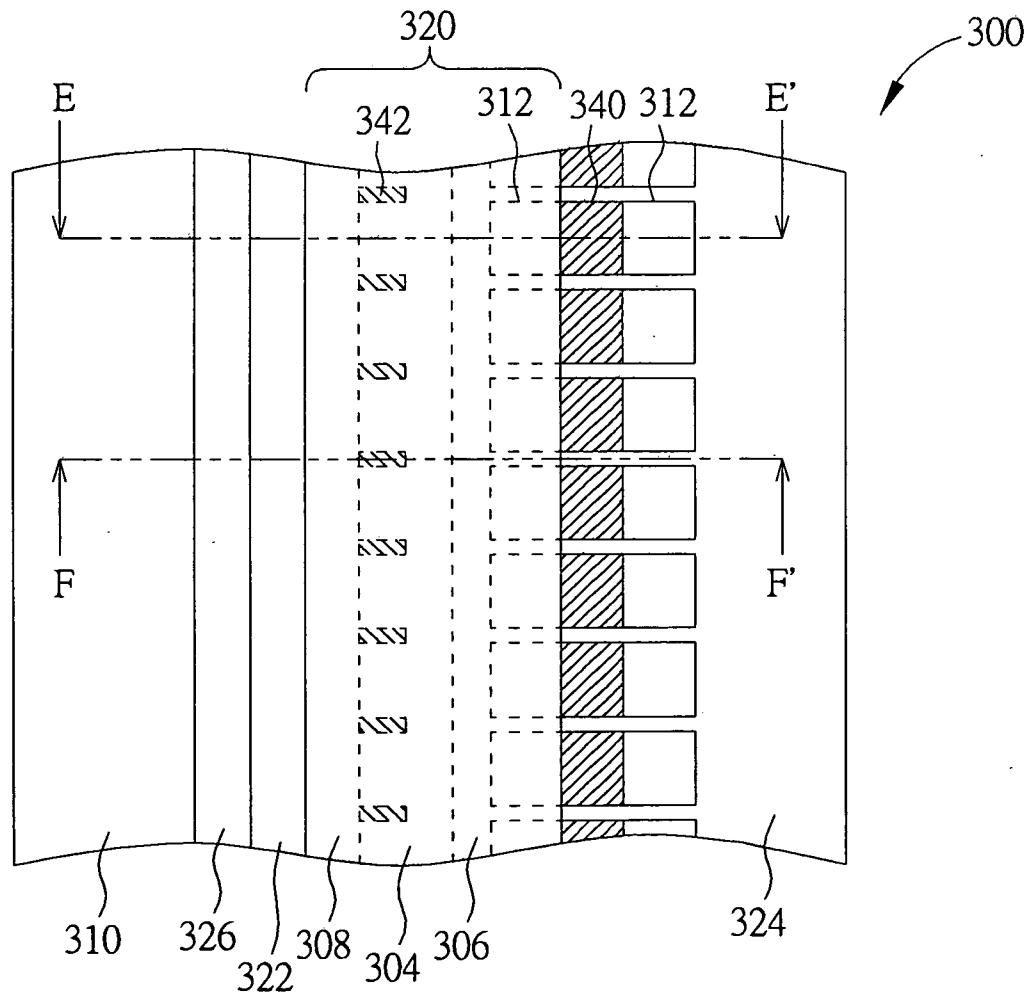
第3A圖



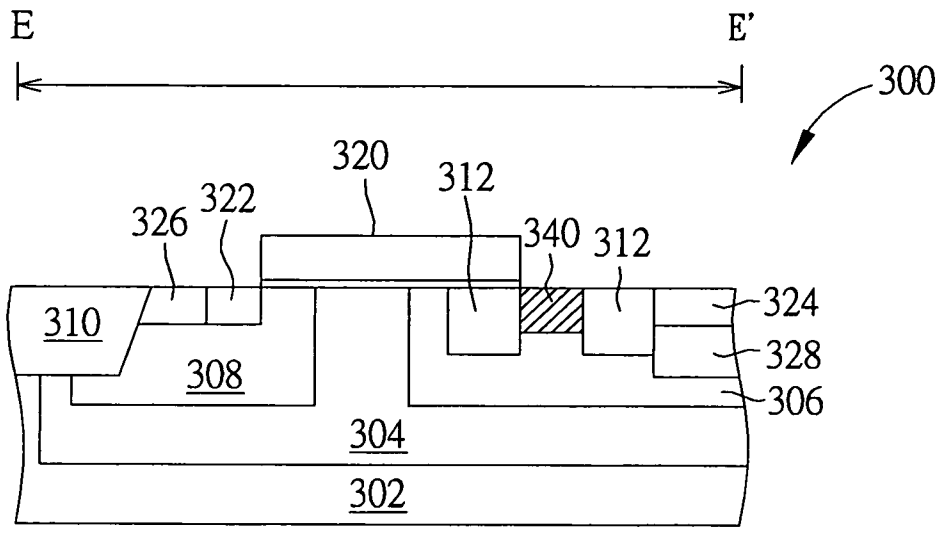
第3B圖



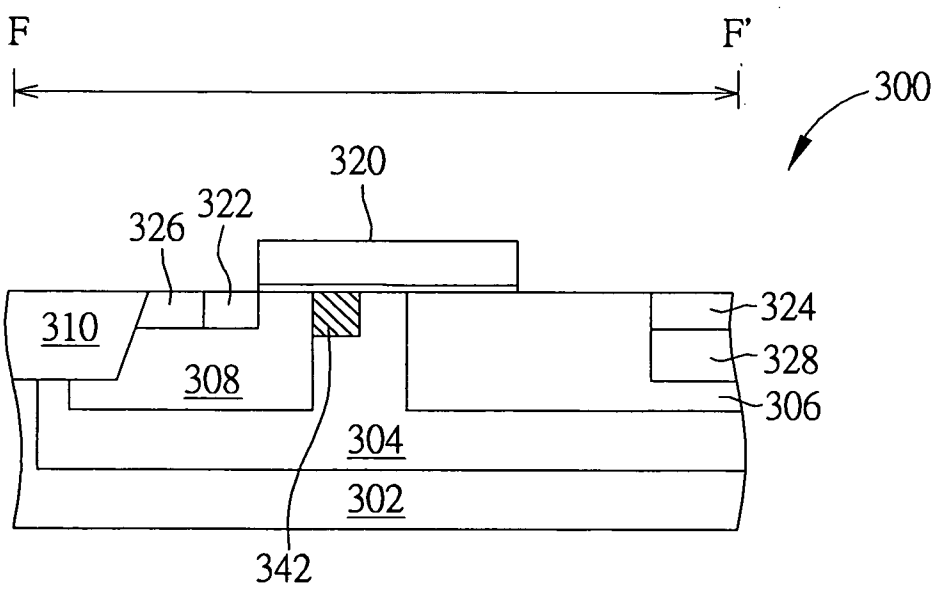
第3C圖



第4A圖



第4B圖



第4C圖