

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/762 (2006.01)

H01L 27/12 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200680031186.0

[43] 公开日 2008年10月22日

[11] 公开号 CN 101292341A

[22] 申请日 2006.8.2

[21] 申请号 200680031186.0

[30] 优先权

[32] 2005.8.26 [33] US [31] 60/712,022

[86] 国际申请 PCT/US2006/030171 2006.8.2

[87] 国际公布 WO2007/024433 英 2007.3.1

[85] 进入国家阶段日期 2008.2.26

[71] 申请人 MEMC 电子材料有限公司

地址 美国密苏里州

[72] 发明人 A·M·琼斯 L·费

[74] 专利代理机构 北京市中咨律师事务所

代理人 杨晓光 李 峥

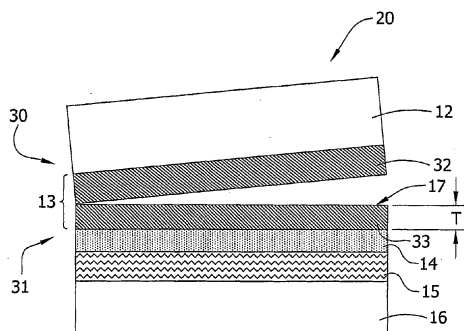
权利要求书 3 页 说明书 14 页 附图 4 页
按照条约第 19 条的修改 3 页

[54] 发明名称

绝缘体上应变硅结构的制造方法

[57] 摘要

本发明旨在一种绝缘体上应变硅 (SSOI) 结构, 其具有改善的表面特性, 例如降低的粗糙度、低的 LPD 浓度以及较低的污染, 本发明还旨在一种制造该结构的方法。



1. 一种制备绝缘体上应变硅结构的方法，所述方法包括以下步骤：

在供体晶片的表面上形成弛豫含硅层；

在所述弛豫含硅层的表面上形成应变硅层；

在处理晶片的表面上形成介电层；

接合所述供体晶片和所述处理晶片，以形成接合结构，其中在所述应变硅层与所述介电层之间形成接合界面；

沿着所述弛豫含硅层内的分离平面分离所述接合结构，以便所述处理晶片上的所述应变硅层在其表面上具有厚度为至少约 10nm 的剩余的弛豫含硅层；以及

蚀刻所述分离的处理晶片，以基本上去除所述剩余的含硅层，从而暴露所述应变硅层的表面。

2. 根据权利要求 1 的方法，其中所述弛豫含硅层的晶格常数与纯硅的晶格常数显著不同。

3. 根据权利要求 1 的方法，其中所述弛豫含硅层包括 SiGe。

4. 根据权利要求 3 的方法，其中所述蚀刻包括使所述 SiGe 层与具有大于 3:1 的 SiGe:Si 选择比的蚀刻剂接触。

5. 一种制备绝缘体上应变硅结构的方法，所述方法包括以下步骤：

在供体晶片的表面上形成弛豫含硅层，所述弛豫含硅层包括具有至少约 10% 的 Ge 的 SiGe；

在所述弛豫含硅层的表面上形成应变硅层；

在处理晶片的表面上形成介电层；

接合所述供体晶片和所述处理晶片，其中在所述应变硅层与所述介电层之间形成接合界面；

沿着所述弛豫含硅层内的分离平面分离所述接合结构，以便所述处理晶片上的所述应变硅层在其表面上具有剩余的弛豫含硅层；以及

蚀刻所述分离的处理晶片，以基本上去除所述剩余的含硅层，从而暴

露所述应变硅层的表面，其中所述蚀刻包括将所述处理晶片暴露于具有至少约 3:1 的 SiGe:Si 选择比的蚀刻剂。

6. 根据权利要求 1 或 5 的方法，其中所述蚀刻包括使所述剩余的弛豫含硅层与包含氨的蚀刻剂接触。

7. 根据权利要求 1 或 5 的方法，其中使用兆声搅拌进行所述蚀刻。

8. 根据权利要求 1 或 5 的方法，其中在所述蚀刻之后，所述暴露的应变硅层表面具有小于约 1.0nm 的 RMS 粗糙度。

9. 根据权利要求 1 或 5 的方法，其中在所述蚀刻之后，所述暴露的应变硅层表面具有小于约 0.35LPD/cm²。

10. 根据权利要求 1 或 5 的方法，其中在所述蚀刻之后，所述暴露的应变硅层具有小于约 1.0×10^{10} Ge 原子/cm² 的 Ge 浓度。

11. 根据权利要求 1 或 5 的方法，其中基本上沿着在所述弛豫含硅层的表面下方至少约 10nm 的深度处的分离平面将离子注入到所述弛豫含硅层中。

12. 根据权利要求 1 或 5 的方法，其中所述处理晶片和所述供体晶片具有至少约 200mm 的直径。

13. 根据权利要求 1 或 5 的方法，其中在所述蚀刻之后，所述应变硅层具有约 1nm 至约 100nm 之间的厚度。

14. 一种绝缘体上硅结构，包括应变硅层、处理晶片、以及其间的介电层，其中所述应变硅层的表面具有小于约 0.35 LPD/cm²。

15. 根据权利要求 14 的绝缘体上硅结构，其中所述应变硅层的表面具有小于约 1.0nm 的 RMS 粗糙度。

16. 根据权利要求 14 的绝缘体上硅结构，其中所述应变硅层具有小于约 1×10^{10} Ge 原子/cm² 的 Ge 浓度。

17. 一种绝缘体上硅结构，包括应变硅层、处理晶片、以及其间的介电层，其中所述应变硅层的表面具有小于约 1×10^{10} Ge 原子/cm² 和小于约 1nm 的 RMS 粗糙度。

18. 根据权利要求 14 或 17 的绝缘体上硅结构，其中所述应变硅层的

表面具有小于约 0.75nm 的 RMS 粗糙度。

19. 根据权利要求 14 或 17 的绝缘体上硅结构，其中所述处理晶片具有至少约 200mm 的直径。

20. 根据权利要求 14 或 17 的绝缘体上硅结构，其中所述应变硅层具有小于约 7.5×10^9 Ge 原子/cm² 的 Ge 浓度。

21. 根据权利要求 14 或 17 的绝缘体上硅结构，其中所述应变硅层具有约 1nm 至约 100nm 之间的厚度。

绝缘体上应变硅结构的制造方法

技术领域

本发明一般涉及绝缘体上应变硅 (SSOI) 结构。更具体地说, 本发明旨在一种其中应变硅层具有改善的表面特性的 SSOI 结构。本发明还旨在一种制造该结构的方法。

背景技术

绝缘体上硅 (SOI) 结构通常包括处理晶片 (handle wafer)、半导体器件层以及在处理晶片与器件层之间的介电绝缘层。通过使 SOI 结构的器件层与处理晶片层隔离, 器件层产生降低的泄漏电流和较低的电容。用于半导体器件的绝缘体上应变硅 (SSOI) 结构结合了 SOI 技术与应变硅技术的优点, 其中应变硅层提供提高的载流子迁移率。

可以以多种方式生产或制造绝缘体上应变硅结构。例如, 在一种方法中, 通过本领域中已知的几种技术中的一种, 例如 (i) 注氧隔离 (称为“SIMOX”, 参见例如美国专利 No. 5,436,175); (ii) 晶片接合然后回蚀刻; (iii) 晶片接合然后氢剥离层转移; 或者 (iv) 非晶材料的再结晶, 在绝缘体上形成弛豫的硅-锗 (SiGe) 层。随后在 SiGe 层上外延沉积或生长应变硅层。绝缘体层上弛豫 SiGe 层用作在 Si 层中诱导应变的模板, 诱导的应变典型地大于约 10^{-3} 。

然而, 这样的结构具有限制。例如, 其无益于完全耗尽的绝缘体上应变半导体器件的产生, 在该完全耗尽的绝缘体上应变半导体器件中, 绝缘材料上方的层必须足够薄 (例如, 小于约 300 埃), 以允许在器件工作期间该层的完全耗尽。另外, 弛豫的 SiGe 层增加了绝缘材料上方的层的总厚度, 由此使得很难实现完全耗尽的绝缘体上硅器件制造所需的厚度。

如果应变 SOI 结构具有直接在绝缘材料上的应变 Si 层,则可以减轻这样的问题(参见例如公开的美国专利申请 No. 2004/0005740,实际上在此引入其全部内容)。这可以通过例如利用晶片接合和注入隔离技术得以实现。具体地,例如 SiGe 的弛豫层可以形成在一个晶片或衬底的表面上。然后通过例如外延沉积,在弛豫层的表面上形成应变硅层。然后将氢离子注入该弛豫层中,以根据本领域任何公知技术例如在美国专利 No. 6,790,747 中公开的方法,在其中限定解理或分离平面。然后将所产生的晶片接合到在其表面上具有介电绝缘层的第二晶片或衬底,应变层的表面被接合到介电层表面。一旦接合,则所产生的结构可沿解理或分离平面被分离,从而获得 SSOI 结构。

然而,以这种方式制备 SSOI 结构也不是没有问题。例如,所产生的结构仍具有随后必须被去除的存在于应变硅层表面上的弛豫 SiGe 层的部分。目前典型地采用的去除弛豫层的方法包括导致不希望的表面特性的蚀刻剂的使用。例如,所产生的应变硅层的表面经常是不可接受的粗糙,和/或包括不可接受数量的光点缺陷(LPD),和/或具有不可接受的污染物浓度。另外,由于其成本和/或由于因为其危险成分而必须采取的安全和环境预防,目前典型地采用的抗蚀剂增加了加工的总成本。最后,可能不仅仅使用蚀刻,相反地,蚀刻可能作为多步方法的部分而被用于去除弛豫的 SiGe 层,该多步方法还包括例如磨削(grinding)、研磨(lapping)、抛光(polishing)和/或湿法氧化。

发明内容

因此,简言之,本发明旨在一种制备绝缘体上应变硅结构的方法,所述方法包括以下步骤:在供体(donor)晶片的表面上形成弛豫含硅层;在所述弛豫含硅层的表面上形成应变硅层;在处理晶片(handle wafer)的表面上形成介电层;接合所述供体晶片和所述处理晶片,以形成接合结构,其中在所述应变硅层与所述介电层之间形成接合界面;沿着所述弛豫含硅层内的分离平面分离所述接合结构,以便所述处理晶片上的所述应变硅层

在其表面上具有厚度为至少约 20nm 的剩余的弛豫含硅层；以及，蚀刻所述分离的处理晶片，以基本上去除所述剩余的含硅层，从而暴露所述应变硅层的表面。

在另一方面中，本发明旨在一种制备绝缘体上应变硅结构的方法，所述方法包括以下步骤：在供体晶片的表面上形成弛豫含硅层；在所述弛豫含硅层的表面上形成应变硅层；在处理晶片的表面上形成介电层；接合所述供体晶片和所述处理晶片，其中在所述应变硅层与所述介电层之间形成接合界面；沿着所述弛豫含硅层内的分离平面分离所述接合结构，以便所述处理晶片上的所述应变硅层在其表面上具有剩余的弛豫含硅层；以及蚀刻所述分离的处理晶片，以基本上去除所述剩余的含硅层，从而暴露所述应变硅层的表面，其中所述蚀刻包括将所述分离的处理晶片暴露于兆声搅拌（megasonic agitation）。

在又一方面中，本发明旨在一种制备绝缘体上应变硅结构的方法，所述方法包括以下步骤：在供体晶片的表面上形成弛豫含硅层，所述弛豫含硅层包括具有至少约 10% 的 Ge 的 SiGe；在所述弛豫含硅层的表面上形成应变硅层；在处理晶片的表面上形成介电层；接合所述供体晶片和所述处理晶片，其中在所述应变硅层与所述介电层之间形成接合界面；沿着所述弛豫含硅层内的分离平面分离所述接合结构，以便所述处理晶片上的所述应变硅层在其表面上具有剩余的弛豫含硅层；以及蚀刻所述分离的处理晶片，以基本上去除所述剩余的含硅层，从而暴露所述应变硅层的表面，其中所述蚀刻包括将所述处理晶片暴露于具有至少约 3:1 的 SiGe:Si 选择比的蚀刻剂。

本发明还旨在一种制备绝缘体上应变硅结构的方法，所述方法包括以下步骤：在供体晶片的表面上形成弛豫含硅层；在所述弛豫含硅层的表面上形成应变硅层；在处理晶片的表面上形成介电层；接合所述供体晶片和所述处理晶片，其中在所述应变硅层与所述介电层之间形成接合界面；沿着所述弛豫含硅层内的分离平面分离所述接合结构，以便所述处理晶片上的所述应变硅层在其表面上具有厚度为至少约 20nm 的剩余的弛豫含硅

层；以及蚀刻所述分离的处理晶片，以基本上去除所述剩余的含硅层，从而暴露所述应变硅层的表面，其中所述暴露的应变硅层表面具有小于约 $0.35 \text{ LPD}/\text{cm}^2$ 。

本发明还旨在一种绝缘体上硅结构，其包括应变硅层、处理晶片、以及其间的介电层，其中所述应变硅层的表面具有小于约 $0.35 \text{ LPD}/\text{cm}^2$ 。

在再一方面中，本发明还旨在一种绝缘体上硅结构，其包括应变硅层、处理晶片、以及其间的介电层，其中所述应变硅层的表面具有小于约 $1 \times 10^{10} \text{ Ge 原子}/\text{cm}^2$ 和小于约 1 nm 的 RMS 粗糙度。

本发明的其它目的和特征将在下文中部分显而易见和部分指出。

附图说明

图 1A 是其表面上具有驰豫含硅层 (13) 和应变硅层 (14) 的供体晶片 (12) 的截面示意图。在驰豫含硅层 (13) 中的虚线 (17) 表示存在于其中的分离或解理平面。

图 1B 是在与图 1A 的晶片接合之前其表面上设置有的介电层 (15) 的处理晶片 (16) 的截面示意图。

图 2 是通过使供体晶片 (示于图 1A 中) 上的应变硅层 (14) 的表面接触处理晶片 (示于图 1B 中) 的介电层 (15) 的表面而产生的接合结构 (20) 的截面示意图。

图 3 是截面示意图，示出了沿着驰豫含硅层 (13) 中的分离或解理平面 (17) 分离接合结构 (20)，由此将其上具有驰豫含硅层的剩余部分 (33) 的应变硅层 (14) 转移到处理晶片 (16) 的介电层 (15) 上。

图 4 是本发明的绝缘体上应变硅结构 (40) 的截面示意图，驰豫含硅层的剩余部分已基本从转移的应变硅层 (14) 的表面被去除。

关于附图，对应的参考标号表示贯穿附图的几个视图的对应部分。

具体实施方式

根据本发明，已发现可以这样制备其中应变硅层与存在于处理晶片或

支撑晶片上的介电层直接接触的绝缘体上应变硅结构，以便应变硅层的表面具有改善的表面特性，同时其上基本上没有任何弛豫层。如下面在此将进一步详述的，已发现一旦在介电层上形成（例如在介电层上沉积或转移到介电层上）应变硅层，可以使用包括 NH_4OH 、 H_2O_2 和 H_2O 的蚀刻剂，以有效且选择性地去除存在于应变硅层上的弛豫层的剩余部分。

注意，根据本发明，实质上可以采用任何公知的导致在应变硅层的表面上弛豫层的存在的制备 SSOI 结构的技术（参见例如美国专利 No. 6,790,747；美国专利申请公开 No. 2004/0005740 以及 2004/0031979）。这些技术包括，例如，接合和层转移（或者接合和分离）技术以及接合和磨削或回蚀刻技术。然而，优选地，本发明的方法利用晶片接合和层转移技术。因此，将在这些晶片接合和层转移技术的情况下在下面更详细阐述本发明。然而，应理解，这是为了示例的目的，因此，不应被视为限制。还应理解，在本发明的实践中，可以使用本领域公知的各种装置和工艺条件适当地实施这些技术，并且在一些情况下，只要不脱离本发明的范围，这些技术可以被省略或与其它技术和条件结合。

应变硅层的形成

一般地说，用于制备本发明的绝缘体上应变硅结构的晶片接合和层转移技术包括两个分离结构的制备、沿接合界面将它们接合在一起，以及然后沿分离平面使它们分层，该分离平面与接合界面不同并且已经通过注入技术形成。每个结构包括衬底或支撑晶片，该衬底或支撑晶片可包括这样的任何材料，该材料的晶格常数不同于纯硅的晶格常数或者能够在其上形成这样的材料层，在该材料层上可以随后形成纯硅。例如，衬底或支撑晶片可以由石英或蓝宝石制成，但其更常见地包括半导体材料，例如硅（例如，根据例如 Czochralski 法制备的单晶硅）、锗或硅-锗（SiGe）。在一个优选实施例中，衬底包括单晶硅晶片，该晶片具有至少约 75mm、100mm、150mm、200mm、300mm 或更大的直径。

在下文中，一个衬底将被称为“处理晶片”。处理晶片具有直接沉积在其表面上的介电层，并用作最终的 SSOI 结构的衬底。在下文中，另一

个衬底将被称为“供体晶片”。供体晶片具有直接沉积在其表面上的完全或部分弛豫的（在下文中概括地称为“弛豫的”）层，并且，在一个实施例中，用作在晶片接合步骤之前在其上形成应变硅层的衬底。注意，供体晶片的弛豫层可以包括其上可以形成应变硅层的任何材料，例如 Ge、SiGe 或其它 III-V 化合物。在一个优选实施例中，弛豫层是含硅层。虽然下文中的讨论具体参考该优选实施例，但应理解，可能的材料的范围不限于含硅材料。

供体晶片结构

现在参考图 1A，供体晶片结构包括供体晶片或衬底 12、在其表面上的弛豫含硅层 13，以及在弛豫含硅层的表面上的应变硅层 14，其中该弛豫含硅层的晶格常数不同于弛豫硅晶格的晶格常数。典型地，弛豫含硅层的晶格常数以至少约 0.25% 的程度不同于弛豫硅晶格常数。在一个优选实施例中，含硅层是 SiGe。弛豫 SiGe 层的具体组分可以根据将要在应变硅层中诱导的晶格应变的所需水平而变化。典型地，SiGe 层包括至少约 10% 的 Ge，在一些情况下可包括约 15%、约 20%、约 25%、约 35%、约 50% 或更多（例如 60%、70%、80%、90% 或更多）。然而，在一个优选实施例中，SiGe 层的 Ge 浓度在至少约 10% 至小于约 50% 的范围内，或者至少约 15% 至小于约 45%，其中优选至少约 20% 至小于约 40% 的 Ge 的浓度。注意，根据所需的应用，只要不脱离本发明的范围，Ge 的实际百分比或者弛豫层的精确组分可以不同于这些 SiGe 组分。

实质上，可以将本领域公知的任何技术用于形成弛豫含硅（例如 SiGe）层；参见例如美国专利 No. 5,221,413、5,442,205 以及 6,573,126。例如，可以将已知的外延沉积技术中的一种用于形成这样的弛豫层。一般地说，只要晶格仍然呈现至少部分塑性弛豫，弛豫材料尽可能地薄。然而，典型地，弛豫层具有至少约 0.1 微米的基本上均匀的厚度。例如，该厚度典型地在约 0.1 微米至约 10 微米或者在约 0.5 微米至约 5 微米的范围内

在弛豫的（例如 SiGe）层 13 上形成或沉积例如硅的应变层 14，由在例如应变硅层与弛豫 SiGe 层之间的晶格常数差异产生应变。当将 SiGe 用

作弛豫层以诱导应变时，拉伸应变产生硅应变层。可选地，其它弛豫层组分可以在应变层中诱导压缩应变。

与弛豫层相似地，实质上可以将本领域中公知的任何技术用于在弛豫层上形成或沉积应变层，以便在其沉积之后应变存在于该层中。在一个优选实施例中，使用公知的外延沉积技术（例如大气压化学气相沉积（APCVD）；低压或减压 CVD（LPCVD）；超高真空 CVD（UHVCVD）；分子束外延（MBE）；或者原子层沉积（ALD））中的一种，可选择地与前体（precursor）例如甲硅烷、乙硅烷、丙硅烷、一氯甲硅烷、二氯甲硅烷和三氯甲硅烷结合使用。外延生长系统可以是单晶片或多晶片批反应器。生长系统还可以利用低能量等离子体，以提高层生长反应动力学。为了有助于限定应变层与弛豫层之间的界面，可以在相对低的温度（例如低于 700 °C）下形成应变层。这样的限定的界面可提高随后的应变层从弛豫层的分离或去除。在其中应变层包含基本上 100% 的硅的实施例中，该层可以在沉积装置的未暴露于例如 Ge 源气体的专用室中形成，从而有助于避免交叉污染，并改善应变层与弛豫层之间的界面的质量。另外，应变层可以由具有比常规硅更好的导热性的同位素纯硅前体形成。较高的热导率可以帮助从随后形成在应变层上的器件散热，从而维持由应变层提供的提高的载流子迁移率。

一般地说，应变层 14 生长为具有这样的基本上均匀的厚度，该厚度对于随后的器件制造是足够的，但对于在暴露的硅表面处的晶格不够厚而不经历显著的塑性弛豫。因此，典型地，应变层生长为厚度在约 1nm 至约 100nm 之间，优选在约 2nm 至约 80nm 之间，更优选在约 10nm 至约 60nm 之间。在一个优选实施例中，硅层的厚度为约 20nm。

再次参考图 1A，在形成应变层 14 之前或之后，为了在弛豫层中限定分离或解理平面 17，将离子例如氢离子（即 H^+ 或 H_2^+ ）注入弛豫层 13 的表面下方的基本上一致的深度。如下面将在此进一步详述的，典型地，离子被注入弛豫层的表面（或者当存在应变层时，在弛豫层与应变层之间的界面）下方至少约 10、15、20 纳米（nm）或更大的深度。可以使用本领

域已知的方法实现离子注入。例如，可以以类似于在美国专利 No. 6,790,747 中公开的方法的方式，实现该注入。注入参数可包括，例如，以例如约 20 至约 100keV 的能量注入剂量为约 2×10^{16} 至约 5×10^{16} 离子/cm² 的氢离子 (H₂⁺) (例如，可以以 20keV 的能量和 2.4×10^{16} 离子/cm² 的剂量将 H₂⁺ 穿过应变层注入驰豫层中)。

在这一点上，应注意，在可选实施例中，可以采用其它的注入物类，例如 H⁺ 或 He⁺，其中相应地调整剂量和能量。

还应注意，当在形成应变层之前进行注入时，在驰豫层上的应变层的随后生长或沉积优选在足够低的温度下进行，以防止在驰豫层中沿平面 17 过早 (即在晶片接合工艺步骤之前) 的分离或解理。分离或解理温度是注入物类、注入剂量和注入材料的复杂函数。然而，典型地，通过将沉积或生长温度维持在约 500℃ 以下，可以避免过早的分离或解理。

处理晶片结构

现在参考图 1B，处理晶片结构 11 包括在其表面上具有介电层 15 以在最终的 SSOI 结构中提供绝缘层的处理晶片或衬底 16。介电层可以是适合用于 SSOI 结构中的任何电绝缘材料，例如包括 SiO₂、Si₃N₄、氧化铝或氧化镁的材料。在一个优选实施例中，介电层是 SiO₂。然而，应注意，在一些情况下，可选地，可以优选使用其熔点高于纯 SiO₂ 的熔点 (即高于约 1700℃) 的材料作为介电层。这样的材料的实例有氮化硅 (Si₃N₄)、氧化铝和氧化镁。不固守特定理论，通常认为使用具有较高熔点的介电层有助于防止转移的应变层在随后的加工期间发生的可能驰豫，该驰豫可能是由在器件制造期间典型地使用的温度 (约 1000-1200℃) 下下面的介电层的软化引起的。

可以根据本领域中任何已知的技术例如热氧化、湿法氧化或热氮化来施加介电层。一般地说，介电层生长为足以在最终的 SSOI 结构中提供希望的绝缘特性的基本上均匀的厚度。然而，典型地，介电层的厚度为至少约 1nm，优选至少约 10nm，更优选至少约 50nm 或者甚至约 100nm。在一个优选实施例中，介电层的厚度为约 145nm。

晶片接合和应变层的转移

一旦已经制备了供体晶片结构 10 和处理晶片结构 11，形成最终的 SSOI 结构包括将供体晶片结构的应变硅层转移到处理晶片结构的介电层上。现在参考图 2，一般地说，通过使介电层的表面接触应变层的表面以形成单个接合结构 20（在两个表面之间形成接合界面 18），然后沿着在驰豫层中的分离或解理平面 17 解理或分离接合结构，实现该转移。

在接合之前，应变硅层和/或介电层的表面可以可选择地经历清洗和/或短时间蚀刻、平面化或者等离子体激活，以为使用本领域已知的技术接合而准备好它们的表面。不固守特定理论，通常认为在最终的 SSOI 结构中应变硅层的表面质量部分地随着接合之前表面质量而改变。另外，接合之前两个表面的质量将对所产生的接合界面的质量或强度有直接影响。

因此，在一些实例中，可以对应变层和/或介电层进行以下工序中的一者或多者，以在接合之前获得例如低的表面粗糙度（例如小于约 0.5nm 均方根（RMS）的粗糙度）：（i）：通过例如 CMP 平面化和/或（ii）通过例如湿法化学清洗工序，例如亲水表面制备工艺（例如，RCA SCI 清洗工艺，其中在约 65℃ 下使表面与包含比例为例如 1:2:50 的氢氧化铵、过氧化氢和水的溶液接触 20 分钟，随后用去离子水清洗并干燥）清洗。还可以可选择地在湿法清洗工艺之后或者替代湿法清洗工艺，对表面中的一者或两者都进行等离子体激活，以增大所产生的接合的强度。等离子体环境可包括例如氧、氨、氩、氮、乙硼烷或磷化氢。

如图 2 所示，通过使应变层 14 和介电层 15 的表面组合在一起以形成接合界面 18，将供体晶片结构接合到处理晶片。一般地说，如果用于实现接合界面的形成的能量足以确保在随后的加工期间（即，通过沿着驰豫层中的解理或分离平面 17 分离的层转移）维持接合界面的完整性，实质上可以使用本领域中已知的任何技术实现晶片接合。然而，典型地，通过在降低的压力（例如约 50 毫毛）下且在室温下使应变层与介电层的表面接触，随后在升高的温度（例如，至少约 200℃、300℃、400℃，或者甚至 500℃）下加热足够的时间周期（例如，至少约 10 秒、100 秒、1000 秒，或者

甚至 10,000 秒)，实现晶片接合。例如，可在约 300℃ 下进行加热持续约 3600 秒。所产生的界面的接合强度大于约 500mJ/m²、约 1000mJ/m²、约 1500mJ/m²，或者约 2000mJ/m²。

现在参考图 3，在已形成接合界面 18 之后，使所产生的接合结构 20 经历足以在驰豫层 13 内导致沿分离或解理平面 18 断裂的条件。一般地说，可以使用本领域中已知的技术例如热或机械诱导解理技术，实现该断裂。然而，典型地，通过在惰性（例如氩或氮）气氛或环境条件下，在至少约 200℃、300℃、400℃、500℃、600℃、700℃，或者甚至 800℃ 下（温度在例如约 200℃ 至约 800℃，或者约 250℃ 至约 650℃ 的范围内）退火接合结构至少约 10 秒、100 秒、1000 秒，或者甚至 10,000 秒的时间周期（温度越高，需要的退火时间越短，反之亦然），实现断裂。

在这一点上，应注意，在可选实施例中，可以单独通过机械力或者通过机械力结合退火的方式，导致或实现该分离。

再次参考图 3，在分离时，形成两个结构（30 和 31）。由于在驰豫层 13 中沿着分离或解理平面 17 发生接合结构 20 的分离，在两个结构的部分中保留了部分驰豫层（即部分驰豫层与应变层一起被转移）。结构 30 包括供体晶片 12 和驰豫层 13 的某部分。结构 31 包括处理晶片 16、介电层 15 和应变硅层 14，在应变硅层 14 的表面上是驰豫层 13 的剩余部分 33。

剩余的驰豫层 33 的厚度（T）约等于在晶片接合之前离子被注入驰豫层的深度。因此，典型地，T 大于约 10nm、15nm 或者甚至 20nm。例如，在一些实例中，剩余层可以可选择地为至少约 30nm、50nm、80nm、100nm、120nm 厚或者更厚。

在已经实现分离之后，可以在升高的温度（例如，范围在 600-1250℃ 的温度）下进一步退火所产生的结构 31（即，在分离之后其上具有应变层的结构），以进一步增强应变层与介电层之间的接合。

在层转移之后磨光 (finish) 应变硅表面

现在参考图 3 和 4，在已将应变硅层 14 转移到处理晶片 16 从而形成结构 31 之后，对结构 31 进行附加的加工，以产生具有对于在其上器件制

造所希望的特性的应变硅表面。这样的特性将在此在下面进一步限定，包括例如降低的表面粗糙度、和/或降低的光点缺陷浓度、和/或在应变层的表面上基本上没有 Ge。具体地，通过使用包含 NH_4OH 、 H_2O_2 和 H_2O 的蚀刻剂的湿法蚀刻工艺，去除基本上所有的剩余的驰豫含硅层 33。该蚀刻剂以各种制剂商业可得，通常被称为“SCI”蚀刻剂。如图 4 所示，最终的 SSOI 结构 40 包括硅处理晶片 16 和应变硅层 14，其间具有介电层 15，应变层的表面基本上没有驰豫层 33。

根据各种因素，包括剩余驰豫层（例如 SiGe 层）的精确组分和蚀刻剂的选择性，来选择适当的蚀刻组分，其中“选择性”是指这样的优先速率，蚀刻剂以该优先速率相对于根据本发明的应变层材料去除驰豫层材料。在一个优选实施例中，关于与应变硅层被去除的速率相比驰豫的 SiGe 层被去除的速率，评价蚀刻剂的选择性。SiGe:Si 去除的该比率至少部分依赖于在驰豫 SiGe 层中 Ge 的浓度以及蚀刻剂组分。一般地说，优选较高的选择性，以便快速去除剩余的驰豫 SiGe 层，同时保留尽可能多的应变硅层。即，优选快速发生蚀刻工艺，同时去除剩余的驰豫层，但是一旦去除了基本上所有的驰豫层，蚀刻工艺突然停止。

如上所述，剩余层中 Ge 的浓度为至少约 10% 的 Ge，在一些实例中，可以为至少约 15%、约 20%、约 25%、约 35%、约 50% 或更高（例如，60%、70%、80%、90% 或更高）。然而，在一个优选实施例中，SiGe 层的 Ge 浓度范围为至少约 10% 至小于约 50%、或者至少约 15% 至小于约 35%，其中最优选约 20% 的 Ge 浓度。

典型地，蚀刻剂包含 NH_4OH 、 H_2O_2 和 H_2O ，其比率足以从处理晶片去除剩余的驰豫 SiGe 层且 SiGe:Si 的选择性为至少约 3:1。然而，优选地，蚀刻剂包含 NH_4OH 、 H_2O_2 和 H_2O ，其比率足以获得至少约 3.5:1，更优选至少约 4:1，进一步更优选至少约 4.5:1，再进一步更优选至少约 5:1 或更高的选择性。

通常，蚀刻剂包含比率为约 1:1:200 至约 1:1:10，或者约 1:1:100 至约 1:1:25 的 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 。可选地，蚀刻剂包含比率为约 1:2:200 至约

1:2:10, 或者约 1:2:100 至约 1:2:25 的 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 。在一个优选实施例中, 蚀刻剂包含比率为约 1:2:50 的 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 。

一般地说, 蚀刻工艺的持续时间和工艺发生的温度足以基本上去除剩余的弛豫 SiGe 层, 如这里在别处所详述的。然而, 典型地, 将处理晶片暴露于蚀刻剂约 10 分钟至约 500 分钟之间, 优选约 10 分钟至约 400 分钟之间, 更优选约 10 分钟至约 300 分钟之间。另外, 典型地在约 10°C 至约 100°C 之间, 优选在约 20°C 至约 90°C 之间, 更优选在约 30°C 至约 80°C 之间(温度越低, 使用越长的蚀刻时间, 反之亦然)的温度下蚀刻处理晶片。在一个实施例中, 在约 65°C 下发生持续约 200 分钟的蚀刻。

在蚀刻工艺期间, 典型地应用搅拌, 以便于去除剩余的弛豫 SiGe 层, 由此典型地能够实现较短的蚀刻持续时间。在一个优选实施例中, 采用兆声搅拌或处理。根据本发明以典型地范围在约 5 至约 1500 瓦特的功率水平下进行兆声蚀刻。然而, 在其它实施例中, 兆声蚀刻的功率的范围可在约 10 至约 1250 瓦特、约 25 至约 1000 瓦特、约 50 至约 750 瓦特, 或者约 200 至约 600 瓦特。

本发明的蚀刻工艺产生其表面具有对于随后的器件制造所希望的特性的 SSOI 结构。一个这样的特性是剩余的弛豫层被“基本上去除”的程度, 即 SSOI 表面“基本上没有”剩余的弛豫层的程度。可以通过确定在蚀刻工艺之后保留在 SSOI 表面上的非硅元素的水平, 来测量该特性。这里, 探测集中在起初包含在弛豫层中的非硅元素上。例如, 在本发明的其中 SiGe 作为弛豫层的实施例中, 测量在 SSOI 表面上剩余的来自弛豫 SiGe 层的剩余 Ge 的水平。剩余的 Ge 会影响随后的器件制造或操作。因此, 根据本发明, 在蚀刻之后, 应变硅表面基本上没有弛豫层, 由此包含小于约 1.0×10^{10} Ge 原子/ cm^2 , 优选包含小于约 7.5×10^9 Ge 原子/ cm^2 , 小于约 5.0×10^9 Ge 原子/ cm^2 , 小于约 7.5×10^8 Ge 原子/ cm^2 , 或者甚至小于约 5.0×10^8 Ge 原子/ cm^2 。最优选地, SSOI 表面包含实质上探测不到的 Ge 原子(目前的探测极限为约 3.0×10^8 Ge 原子/ cm^2)。

在这一点上, 应注意, 可以使用本领域中已知的方法, 例如通过电感

耦合等离子体质谱仪 (ICP-MS) (例如由 Agilent Technology 生产的 HP4500 ICP-MS), 确定在应变层中剩余 Ge 的浓度。

在本发明的另一方面中, 所产生的应变硅层的蚀刻表面还具有浓度减少的光点缺陷, 或者说 LPD。光点缺陷是限制适用器件的成品率的许多缺陷中的一种, 这些适用器件可由给定晶片或者在本实例中绝缘体上应变硅结构获得。可使用本领域中已知的技术, 包括例如由 KLA-Tencor 生产的 SurfScan SPI, 探测这样的缺陷。

虽然最高目标是在 SSOI 表面上完全消除 LPD, 但在加工期间仍会形成 LPD。因此, 优选尽可能多地减小这样的 LPD 的尺寸和浓度。换句话说, 虽然一些硅技术产生或者具有如优选的最小尺寸的高浓度 LPD, 或者相对大尺寸的低浓度 LPD, 但本发明产生具有相对较小尺寸的低浓度 LPD。具体地, 根据本发明, SSOI 表面包括小于约 $0.35\text{LPD}/\text{cm}^2$, 所述 LPD 的平均 Latex 球等效直径小于约 1 微米, 优选小于约 0.5 微米, 更优选小于 0.3 微米。优选地, SSOI 表面包括小于约 $0.30\text{LPD}/\text{cm}^2$, 小于约 $0.25\text{LPD}/\text{cm}^2$, 小于约 $0.20\text{LPD}/\text{cm}^2$, 小于约 $0.15\text{LPD}/\text{cm}^2$, 或者小于约 $0.10\text{LPD}/\text{cm}^2$ 。更优选地, SSOI 表面包括实质上不可探测的 LPD (在当前探测极限下可探测的 LPD 的直径必须为至少 0.3 微米)。

在本发明的又一方面中, 应变硅表面具有低的表面粗糙度, 这导致可在其上更可靠地制造器件。通常, 应变硅表面的 RMS 粗糙度小于约 1.0nm。优选地, 应变硅表面的 RMS 粗糙度小于约 0.75nm, 更优选小于约 0.5nm, 进一步更优选小于约 0.25nm。

根据本发明制造的绝缘体上应变硅结构可用于制造其中减小的泄漏电流、较低的电容和提高了的载流子迁移率是所希望特性的任何器件。例如, 本发明的 SSOI 结构适合用于制造 EMOS、PMOS、MOSFET、FinFET、CMOS 以及双极 CMOS 器件。该列举决不旨在限制或概括。

进一步通过以下实例示例本发明。

实例

使用本领域中常用的技术制备未加工的 SOI 结构, 以便在分离之后,

所产生的结构包括处理晶片、SiO₂层、SiO₂层上的应变硅层、以及应变硅层上的剩余的驰豫 SiGe 层，剩余的驰豫层的厚度为 120nm。然后在约 65℃下将该结构暴露于比率为 1:2:50 的 NH₄OH:H₂O₂:H₂O 蚀刻剂持续 240 分钟，同时施加约 1500W 的兆声处理，以从应变层表面基本上去除剩余的驰豫层。

评价所产生的应变硅表面的 RMS 粗糙度、剩余 Ge 浓度以及 LPD 浓度。使用 30μm × 30μm 的视场，硅表面呈现约 0.8nm 的 RMS 粗糙度。此外，测得剩余 Ge 浓度为约 1.0×10^{10} Ge 原子/cm²。最后，探测到的 LPD 浓度为约 0.35LPD/cm²，而 Latex 球等效直径测得为约 0.15μm 或更大。

本发明不限于上述实施例，且可以有多种修改。对优选实施例的上述描述仅仅旨在使得本发明领域的其他技术人员认识其原理及其实际应用，以便本领域的其他技术人员可以将本发明以其多种形式改造和应用为最适于具体应用的要求。

关于在该整个说明书（包括以下的权利要求书）中词语“包括”或“包含”的使用，应注意，除非上下文另有要求，基于且清楚地理解它们是包容性的，而不是排他性的，以及这些词语中的每一个旨在解释为解释该整个说明书，而使用这些词语。

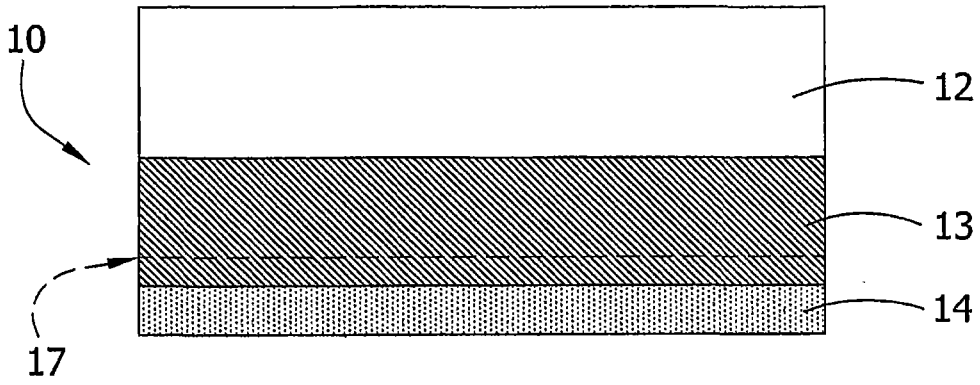


图 1A

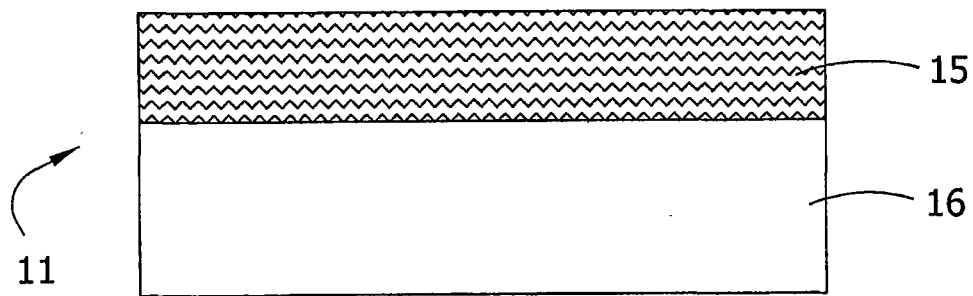


图 1B

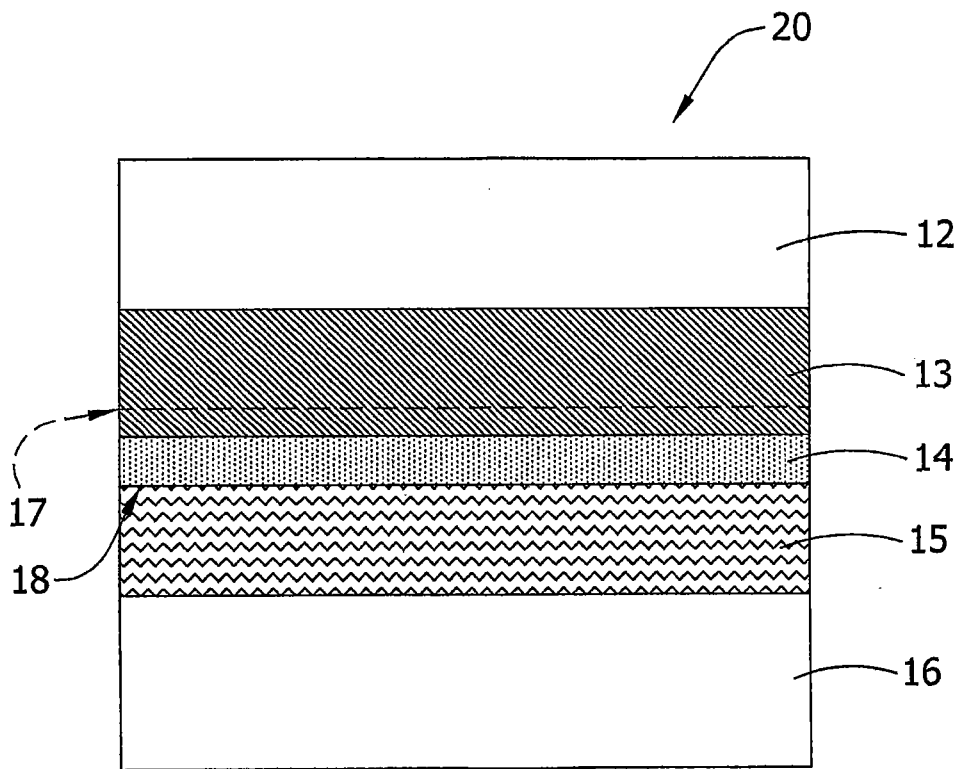


图 2

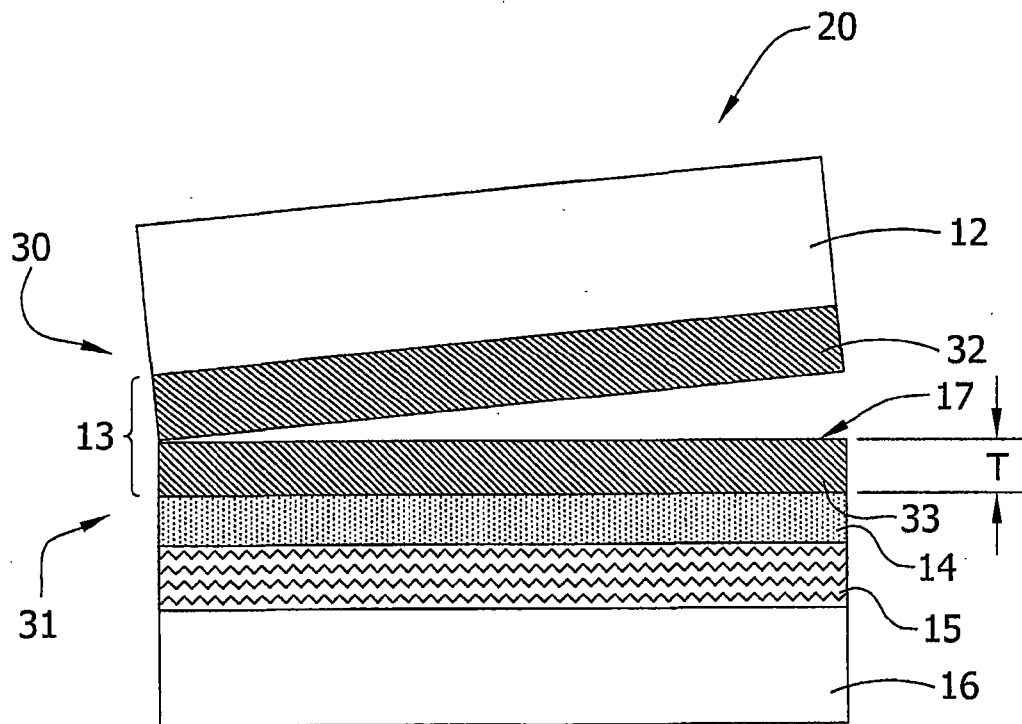


图 3

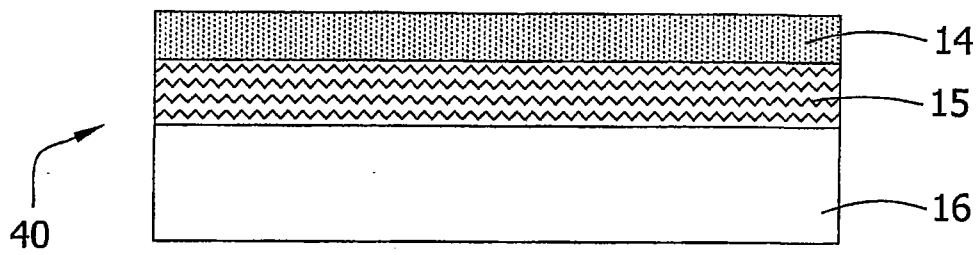


图 4

1. 一种制备绝缘体上应变硅结构的方法, 所述方法包括以下步骤:

在供体晶片的表面上形成弛豫含硅层;

在所述弛豫含硅层的表面上形成应变硅层;

在处理晶片的表面上形成介电层;

接合所述供体晶片和所述处理晶片, 以形成接合结构, 其中在所述应变硅层与所述介电层之间形成接合界面;

沿着所述弛豫含硅层内的分离平面分离所述接合结构, 以便所述处理晶片上的所述应变硅层在其表面上具有厚度为至少约 10nm 的剩余的弛豫含硅层; 以及

蚀刻所述分离的处理晶片, 以基本上去除所述剩余的含硅层, 从而暴露所述应变硅层的表面。

2. 根据权利要求 1 的方法, 其中所述弛豫含硅层的晶格常数与纯硅的晶格常数显著不同。

3. 根据权利要求 1 的方法, 其中所述弛豫含硅层包括 SiGe。

4. 根据权利要求 3 的方法, 其中所述蚀刻包括使所述 SiGe 层与具有大于 3:1 的 SiGe:Si 选择比的蚀刻剂接触。

5. 一种制备绝缘体上应变硅结构的方法, 所述方法包括以下步骤:

在供体晶片的表面上形成弛豫含硅层, 所述弛豫含硅层包括具有至少约 10% 的 Ge 的 SiGe;

在所述弛豫含硅层的表面上形成应变硅层;

在处理晶片的表面上形成介电层;

接合所述供体晶片和所述处理晶片, 其中在所述应变硅层与所述介电层之间形成接合界面;

沿着所述弛豫含硅层内的分离平面分离所述接合结构, 以便所述处理晶片上的所述应变硅层在其表面上具有剩余的弛豫含硅层; 以及

蚀刻所述分离的处理晶片, 以基本上去除所述剩余的含硅层, 从而暴

露所述应变硅层的表面,其中所述蚀刻包括将所述处理晶片暴露于具有至少约 3:1 的 SiGe:Si 选择比的蚀刻剂。

6. 根据权利要求 1 或 5 的方法,其中所述蚀刻包括使所述剩余的弛豫含硅层与包含氟的蚀刻剂接触。

7. 根据权利要求 1 或 5 的方法,其中使用兆声搅拌进行所述蚀刻。

8. 根据权利要求 1 或 5 的方法,其中在所述蚀刻之后,所述暴露的应变硅层表面具有小于约 1.0nm 的 RMS 粗糙度。

9. 根据权利要求 1 或 5 的方法,其中在所述蚀刻之后,所述暴露的应变硅层表面具有小于约 $0.35\text{LPD}/\text{cm}^2$ 。

10. 根据权利要求 1 或 5 的方法,其中在所述蚀刻之后,所述暴露的应变硅层具有小于约 1.0×10^{10} Ge 原子/ cm^2 的 Ge 浓度。

11. 根据权利要求 1 或 5 的方法,其中基本上沿着在所述弛豫含硅层的表面下方至少约 10nm 的深度处的分离平面将离子注入到所述弛豫含硅层中。

12. 根据权利要求 1 或 5 的方法,其中所述处理晶片和所述供体晶片具有至少约 200mm 的直径。

13. 根据权利要求 1 或 5 的方法,其中在所述蚀刻之后,所述应变硅层具有约 1nm 至约 100nm 之间的厚度。

14. 一种绝缘体上硅结构,包括应变硅层、处理晶片、以及其间的介电层,其中所述应变硅层的表面具有小于约 $0.35\text{LPD}/\text{cm}^2$ 。

15. 根据权利要求 14 的绝缘体上硅结构,其中所述应变硅层的表面具有小于约 1.0nm 的 RMS 粗糙度。

16. 根据权利要求 14 或 15 的绝缘体上硅结构,其中所述应变硅层具有小于约 1×10^{10} Ge 原子/ cm^2 的 Ge 浓度。

17. 根据权利要求 14 至 16 中任何一项的绝缘体上硅结构,其中所述应变硅层的表面具有小于约 0.75nm 的 RMS 粗糙度。

18. 根据权利要求 14 至 16 中任何一项的绝缘体上硅结构,其中所述处理晶片具有至少约 200mm 的直径。

19. 根据权利要求 14 至 16 中任何一项的绝缘体上硅结构, 其中所述应变硅层具有小于约 7.5×10^9 Ge 原子/cm² 的 Ge 浓度。

20. 根据权利要求 14 至 16 中任何一项的绝缘体上硅结构, 其中所述应变硅层具有约 1nm 至约 100nm 之间的厚度。