

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96127941

※申請日期：96.7.31

※IPC 分類：H01L<sup>21/</sup><sub>60</sub>，<sup>25/</sup><sub>04</sub>  
(2006.01)

一、發明名稱：(中文/英文)

具矽通道之多晶片堆疊結構及其製法

MULTI-CHIP STACK STRUCTURE HAVING SILICON CHANNEL AND METHOD FOR FABRICATING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

矽品精密工業股份有限公司

SILICONWARE PRECISION INDUSTRIES CO., LTD.

代表人：(中文/英文)(簽章) 林文伯 / LIN, WEN-PO

住居所或營業所地址：(中文/英文)

台中縣潭子鄉大豐路三段 123 號

No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國/R.O.C.

三、發明人：(共 5 人)

姓名：(中文/英文)

1. 江政嘉 / CHIANG, CHIANG-CHENG

2. 黃建屏 / HUANG, CHIEN PING

3. 張錦煌 / CHANG, CHIN-HUANG

4. 邱啟新 / CHIU, CHI-HSIN

5. 黃榮彬 / HUANG, JUNG-PIN

國籍：(中文/英文) 1. 至 5. 中華民國 / R.O.C.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種半導體裝置及其製法，尤指一種多晶片利用矽通道堆疊之結構及其製法。

### 【先前技術】

由於通訊、網路、及電腦等各式可攜式(Portable)電子產品及其周邊產品輕薄短小之趨勢的日益重要，且該等電子產品係朝多功能及高性能的方向發展，以滿足半導體封裝件高積集度(Integration)及微型化(Miniaturization)的封裝需求，且為求提昇單一半導體封裝件之性能(ability)與容量(capacity)以符合電子產品小型化、大容量與高速化之趨勢，習知係以半導體封裝件多晶片模組化(Multi-chip Module；MCM)的形式呈現，以在單一封裝件之基板上接置至少二個以上之晶片。

習知多晶片模組化之半導體封裝件係在一基板上以水平間隔方式排列多數晶片，並透過鐳線而電性連接至該基板，此種多晶片模組化之半導體封裝件主要缺點在於，為避免晶片間之導線誤觸，須以一定之間隔來黏接各該晶片，故若需黏接多數之晶片則需於基板上佈設大面積的晶片接置區域(Die Attachment Area)以容設所需數量之晶片，此舉將造成基板使用面積及製程成本之增加。

另外美國專利第 6,538,331 號案則揭露以疊晶方式(Stacked)將第一晶片及第二晶片疊接於基板上，同時各該疊接晶片係相對下層晶片偏位(off-set)一段距離，以方便該

第一及第二晶片分別打設鐳線至該基板。

此方法雖可較前述以水平間隔方式排列多晶片之技術節省基板空間，惟其仍須利用鐳線技術電性連接晶片及基板，使晶片與基板間電性連接品質易受鐳線之線長影響而導致電性不佳，同時由於該些晶片於堆疊時須偏移一段距離，且加上鐳線設置空間之影響，依舊可能造成晶片堆疊面積過大而無法容納更多晶片。

鑒於前述問題，請參閱第 1A 至 1G 圖，美國專利 US5,270,261 及 5,202,754 揭露一種利用矽通道(Through Silicon Via, TSV)技術以供複數半導體晶片垂直堆疊且相互電性連接之結構及製法。

其製法主要係提供具相對第一表面 111 及第二表面 112 之第一晶圓 11a，該第一晶圓 11a 包含有複數第一晶片 11，其中該第一表面 111 形成有複數孔洞 110，並於該孔洞 110 中形成金屬柱 13，以構成矽通道(TSV)結構，及於該金屬柱 13 外露端形成鐳墊 131，以將該第一晶圓 11a 第一表面 111 透過膠黏層 141 而黏置於一如玻璃之載板 151 上，俾藉由該載板 151 提供製程所需之支撐強度(如第 1A 圖所示)；利用研磨作業，對該第一晶圓 11a 之第二表面 112 進行薄化，以外露出該金屬柱 13(如第 1B 圖所示)；於外露出該第二表面 112 之金屬柱 13 上形成鐳墊 132，以供另一形成有矽通道之具複數第二晶片 12 之第二晶圓 12a 藉由其矽通道之金屬柱 16 垂直接置並電性連接於該第一晶圓 11a 之第二表面 112 上(如第 1C 圖所示)；接著重複前

述製程，研磨薄化該具複數第二晶片 12 之第二晶圓 12a，以外露出該矽通道之金屬柱 16，及於該金屬柱 16 外露端形成鐳墊 136(如第 1D 圖所示)；後續為供第一及第二晶片 11,12 與外部裝置電性連接，需於該第一晶圓之第一表面植設複數鐳球，此時即需再利用另一如玻璃之載板 152 以透過膠黏層 142 而將該第一及第二晶圓 11a,12a 黏置其上，且外露出該第一晶圓 11a 之第一表面 111(如第 1E 圖所示)；俾於該第一晶圓第一表面 111 之鐳墊 131 上植設鐳球 17(如第 1F 圖所示)；接著切割該堆疊之第一及第二晶圓，以形成複數個相互垂直堆疊之第一及第二晶片 11,12，再經拾取及透過鐳球 17 而電性連接至基板 18，以形成多晶片模組化之半導體封裝件(如第 1G 圖所示)。

然而於前述之製程中，須額外使用複數之載板 151,152，且將第一及第二晶圓 11a,12a 多次反覆黏置於載板 151,152 上，惟此不僅增加製程成本，亦造成製程複雜性的提高，再者，若所使用之膠黏層 141,142 為例如環氧樹脂(epoxy)之高分子材料時，於形成該鐳墊 131,136 所進行之濺鍍(sputtering)及後續之濕式蝕刻(strip)作業，極易造成製程上之污染而致生產不易。

是以，如何解決上述習知多晶片模組化半導體裝裝件於製程中所產生之問題，並開發一種不須使用載板及膠黏層之多晶片堆疊結構及其製法，以簡化製程及降低成本，及避免因使用高分子膠黏層而發生污染問題，實為目前亟欲解決的課題。

**【發明內容】**

鑒於以上所述先前技術之缺點，本發明之一目的在於提供一種於製程中不須使用載板及膠黏層之具矽通道之多晶片堆疊結構及其製法。

本發明之另一目的在於提供一種製程簡單及低成本之具矽通道之多晶片堆疊結構及其製法。

本發明之再一目的在於提供一種具矽通道之多晶片堆疊結構及其製法，避免因使用高分子膠黏層而發生污染問題。

為達上揭及其他目的，本發明揭露一種具矽通道之多晶片堆疊結構之製法，係包括：提供一包含有複數第一晶片之晶圓，該晶圓及第一晶片具有相對之第一及第二表面，其中該第一晶片之第一表面形成有複數孔洞，且該孔洞形成有金屬柱及錫墊，以構成矽通道(TSV)結構；於各該第一晶片之第二表面形成至少一凹槽，且令該矽通道之金屬柱顯露於該凹槽底部；以及將至少一第二晶片堆疊於該第一晶片上並電性連接至外露出該凹槽之該矽通道之金屬柱。

該製法復包括：於該第一晶片之凹槽中填充包覆第二晶片之絕緣材料；平整化該絕緣材料，以令該絕緣材料與該第一晶片之第二表面齊平；於該第一晶片第一表面之錫墊上植設導電元件；對該晶圓進行切割，以分離各該第一晶片；以及將堆疊有第二晶片之第一晶片透過該導電元件而接置並電性連接至晶片承載件上。

另外，該第二晶片中復形成有矽通道(TSV)，以供後續於該第二晶片上堆疊及電性連接第三晶片，再者，亦可於該第一晶片之第一表面之鐳墊上堆疊第四晶片，藉由晶片數目之增加，以強化整體結構之電性功能。

透過前述製法，本發明復揭示一種具矽通道之多晶片堆疊結構，係包括：第一晶片，其具有相對之第一及第二表面，該第一表面形成有複數孔洞，且於該孔洞形成有金屬柱及鐳墊，以構成矽通道(TSV)結構，該第二表面形成有至少一凹槽以外露出該矽通道之金屬柱；以及至少一第二晶片，係堆疊於該第一晶片上並電性連接至外露出該凹槽之矽通道之金屬柱。

該具矽通道之多晶片堆疊結構復包括：絕緣材料，係填充於該第一晶片之凹槽中且包覆第二晶片；導電元件，係植設於該第一晶片第一表面之鐳墊；以及晶片承載件，係供堆疊之第二晶片及第一晶片透過該導電元件而接置其上並形成電性連接。

再者，於另一實施例中，該具矽通道之多晶片堆疊結構復包括有第三晶片，係堆疊於該第二晶片上，且該第二晶片中形成有矽通道(TSV)，以供與該第三晶片電性連接。於又一實施例中，該多晶片堆疊結構復包括有第四晶片，係接置並電性連接至該第一晶片第一表面之鐳墊。

因此，本發明之具矽通道之多晶片堆疊結構及其製法，主要係在具複數第一晶片之晶圓第一表面形成有複數孔洞，且於該孔洞形成金屬柱及鐳墊，以構成矽通道結構，

再於該第一晶片之第二表面形成有至少一外露出該矽通道金屬柱之凹槽，以將至少一第二晶片堆疊於該第一晶片上且容置於該凹槽中，並電性連接至外露出該凹槽之矽通道之金屬柱，以形成第一及第二晶片之垂直堆疊，接著即可於該凹槽中填充包覆第二晶片之絕緣材料，並平整化該絕緣材料，以令其與該第一晶片之第二表面齊平，再於該第一晶片第一表面之鐳墊上植設導電元件及進行晶圓切割，藉以將堆疊有第二晶片之第一晶片透過該導電元件而接置並電性連接至晶片承載件上，俾透過利用該未經整體薄化之具複數第一晶片之晶圓作為製程進行之承載架構，避免習知利用矽通道結構垂直堆疊複數晶片及將該些晶片接置於晶片承載件上時須多次使用載板及膠黏層，所產生的製程繁雜、成本高以及可能遭受污染等問題。

### 【實施方式】

以下係藉由特定的具體實施例說明本創作之實施方式，所屬技術領域中具有通常知識者可由本說明書所揭示之內容輕易地瞭解本創作之其他優點與功效。

#### 第一實施例

請參閱第 2A 至 2F 圖，係為本發明之具矽通道之多晶片堆疊結構及其製法第一實施例之示意圖。

如第 2A 圖所示，提供一包含有複數第一晶片 21 之晶圓 21a，該晶圓 21a 及各該第一晶片 21 具有相對之第一表面 211 及第二表面 212，其中該第一晶片 21 第一表面 212 形成有複數孔洞 210，以對應該孔洞 210 處形成金屬柱 23



及鐳墊 231，而構成矽通道(TSV)結構。

該矽通道之孔洞 210 與金屬柱 23 間係設有如二氧化矽或氮化矽之絕緣層 23''，且該絕緣層 23'' 與金屬柱 23 間係設有如鎳之阻障層 23'，而該金屬柱 23 之材質係例如為銅、金、鋁等。

如第 2B 圖所示，對該第一晶片 21 之第二表面 212 利用如深層蝕刻 (Deep Reactive Ion Etching, DRIE) 之方式蝕刻形成至少一凹槽 2120，且令該矽通道之金屬柱 23 顯露於該凹槽 2120 底部，其中該金屬柱 23 係可凸出於該凹槽 2120 底部。

如第 2C 圖所示，將至少一第二晶片 22 堆疊於該第一晶片 21 上且容置於該凹槽 2120 中，並電性連接至外露出該凹槽 2120 之矽通道之金屬柱 23。

如第 2D 及 2E 圖所示，於該凹槽 2120 中填充包覆第二晶片 22 之絕緣材料 25 (例如為封裝膠體)，接著，利用研磨作業以平整化該絕緣材料 25，以令該絕緣材料 25 外表面與該第一晶片 21 之第二表面 212 齊平。

該第二晶片 22 之接置高度係可選擇小於該第一晶片 21 之第二表面 212 高度，而於平整化該絕緣材料 25 後仍使該第二晶片 22 包覆於該絕緣材料 25 中 (如第 2E 圖所示)；亦或該第二晶片 22 之接置高度係可選擇等於或略大於該第一晶片 21 之第二表面 212 高度，而於平整化該絕緣材料 25 後，使該第二晶片 22 外露出該絕緣材料 (如第 2D' 及 2E' 圖所示)。

如第 2F 圖所示，於該第一晶片 21 之第一表面 211 之鐳墊 231 上植設導電元件 27，並對該晶圓 21a 進行切割作業以分離各該第一晶片 21，及進行拾取作業，以將堆疊之第二晶片 22 及第一晶片 21 透過該導電元件 27 而接置並電性連接至晶片承載件 28 上。

透過前述製法，本發明復揭示一種具矽通道之多晶片堆疊結構，係包括：第一晶片 21，該第一晶片 21 具相對之第一表面 211 及第二表面 212，該第一表面 211 形成有孔洞 210，且於該孔洞 210 形成金屬柱 23 及鐳墊 231，以構成矽通道結構，該第二表面 212 形成有至少一凹槽 2120 以外露出該矽通道之金屬柱 23；以及至少一第二晶片 22，係堆疊於該第一晶片 21 上並電性連接至外露出該凹槽 2120 之矽通道之金屬柱 23。

該具矽通道之多晶片堆疊結構復包括有：絕緣材料 25，係填充於該第一晶片 21 之凹槽 2120 中且包覆第二晶片 22；導電元件 27，係植設於該第一晶片 21 第一表面 211 之鐳墊 231；以及晶片承載件 28，係供堆疊之第二晶片 22 及第一晶片 21 透過該導電元件 27 而接置其上並形成電性連接。

因此，本發明之具矽通道之多晶片堆疊結構及其製法，主要係在具複數第一晶片之晶圓第一表面形成有複數孔洞，且於該孔洞形成金屬柱及鐳墊，以構成矽通道結構，再於該第一晶片之第二表面形成有至少一外露出該矽通道金屬柱之凹槽，以將至少一第二晶片堆疊於該第一晶片上

且容置於該凹槽中，並電性連接至外露出該凹槽之矽通道之金屬柱，以形成第一及第二晶片之垂直堆疊，接著即可於該凹槽中填充包覆第二晶片之絕緣材料，並平整化該絕緣材料，以令其與該第一晶片之第二表面齊平，再於該第一晶片第一表面之鐳墊上植設導電元件及進行晶圓切割，藉以將堆疊有第二晶片之第一晶片透過該導電元件而接置並電性連接至晶片承載件上，俾透過利用該未經整體薄化之具複數第一晶片之晶圓作為製程進行中之承載架構，避免習知利用矽通道結構垂直堆疊複數晶片及將該些晶片接置於晶片承載件上時須多次使用載板及膠黏層，所產生的製程繁雜、成本高以及可能遭受污染等問題。

## 第二實施例

請參閱第 3A 至 3D 圖，係為本發明之具矽通道之多晶片堆疊結構及其製法第二實施例之示意圖。同時為簡化本圖示，本實施例中對應前述相同或相似之元件係採用相同標號表示。

本實施例之具矽通道之多晶片堆疊結構及其製法與前述實施例大致相同，主要差異在於第二晶片中形成有矽通道(TSV)，藉以於該第二晶片上垂直堆疊及電性連接第三晶片，俾藉由晶片堆疊數目之增加以強化整體結構之電性功能。

如第 3A 圖所示，於具複數第一晶片 21 之晶圓 21a 上，將至少一第二晶片 22 堆疊於該第一晶片 21 第二表面 212 之凹槽 2120 中，並電性連接至外露出該凹槽 2120 之第一

晶片 21 矽通道之金屬柱 23，其中該第二晶片 22 中形成有金屬柱 223 以構成矽通道，並於該凹槽 2120 中填充絕緣材料 25，且經如研磨之平整化作業而使該第二晶片 22 矽通道之金屬柱 223 外露出該絕緣材料 25。

如第 3B 圖所示，利用例如濺鍍(sputtering)之方式於外露之第二晶片 22 矽通道之金屬柱 223 上方形成鍍墊 2231。

如第 3C 圖所示，將第三晶片 26 接置於該第二晶片 22 上，並電性連接至該第二晶片 22 之鍍墊 2231。

另外，復請參閱第 3D 圖，亦可利用濺鍍方式於該第二晶片 22 上乃至該絕緣材料 25 及第一晶片 21 第二表面 212 上形成電性連接至該第二晶片 22 矽通道之金屬柱 223 的線路重佈置層 2232(RDL)，並於該線路重佈置層 2232 之終端形成有鍍墊 2231，以供第三晶片 26 電性連接至該鍍墊 2231。

後續即可於該第一晶片之第一表面上植設導電元件，並對該晶圓進行切割以分離各該第一晶片，以供堆疊之第一、第二及第三晶片透過該導電元件接置並電性連接至晶片承載件上。

### 第三實施例

請參閱第 4 圖，係為本發明之具矽通道之多晶片堆疊結構及其製法第三實施例之示意圖。同時為簡化本圖示，本實施例中對應前述相同或相似之元件係採用相同標號表示。

本實施例之多晶片堆疊結構及其製法與前述實施例大致相同，主要差異在於第一晶片 21 之第一表面 211 上復可接置至少一第四晶片 24，並使該第四晶片 24 電性連接至第一晶片 12 第一表面 211 之鐳墊 231，俾藉由晶片堆疊數目之增加以強化整體結構之電性功能。

以上所述之具體實施例，僅係用以例釋本發明之特點及功效，而非用以限定本發明之可實施範疇，在未脫離本發明上揭之精神與技術範疇下，任何運用本發明所揭示內容而完成之等效改變及修飾，均仍應為下述之申請專利範圍所涵蓋。

#### 【圖式簡單說明】

第 1A 至 1G 圖係為習知美國專利 US5,270,261 及 5,202,754 所揭露之藉由矽通道(TSV)技術垂直堆疊複數半導體晶片之示意圖；

第 2A 至 2F 圖係為本發明之多晶片堆疊結構及其製法第一實施例之示意圖；

第 2D' 及 2E' 圖係為對應第 2D 及 2E 圖中第二晶片不同高度之示意圖；

第 3A 至 3D 圖係為本發明之多晶片堆疊結構及其製法第二實施例之示意圖；以及

第 4 圖係為本發明之多晶片堆疊結構及其製法第三實施例之示意圖。

#### 【主要元件符號說明】

11	第一晶片	111	第一表面
----	------	-----	------

112	第二表面	110	孔洞
12	第二晶片	13,16	金屬柱
131,132,136	鐳墊	141,142	膠黏層
151,152	載板	17	鐳球
18	基板	21	第一晶片
210	孔洞	211	第一表面
212	第二表面	23	金屬柱
231	鐳墊	23''	絕緣層
23'	阻障層	2120	凹槽
22	第二晶片	223	金屬柱
2231	鐳墊	2232	線路重佈置層
24	第四晶片	25	絕緣材料
26	第三晶片	27	導電元件
28	晶片承載件		

## 五、中文發明摘要：

一種具矽通道之多晶片堆疊結構及其製法，係提供一包含有複數第一晶片之晶圓，各該第一晶片之第一表面形成有複數孔洞，且該孔洞形成有金屬柱及鐳墊，以構成矽通道結構，相對該第一晶片第二表面形成有至少一外露出該矽通道之金屬柱的凹槽，以將至少一第二晶片堆疊於該第一晶片上且容置於該凹槽中，並電性連接至外露出該凹槽之該矽通道之金屬柱，接著於該凹槽中填充包覆第二晶片之絕緣材料，再於該第一晶片第一表面之鐳墊上植設導電元件，並進行晶圓切割及拾取作業，以將堆疊之第二與第一晶片透過該導電元件而接置並電性連接至晶片承載件上，俾利用未經整體薄化之包含有複數第一晶片之晶圓作為製程中之承載架構，藉以避免習知垂直堆疊複數晶片及接置於晶片承載件上時須多次使用載板及膠黏層，所產生製程繁雜、成本高以及膠黏層污染等問題。

## 六、英文發明摘要：

This invention discloses a multi-chip stack structure having a silicon channel and a method for fabricating the same. The method includes providing a wafer having a plurality of first chips, forming a plurality of holes on a first surface of each of the first chips and forming metal posts and bond pads in the holes so as to create a silicon channel, forming at least one groove on a second surface of each of the first chips to expose the metal posts of the silicon channels and allow at least one second chip to be stacked on the first chip, received in the groove, and electrically connected to the metal posts exposed from the groove, filling the groove with an insulating material for encapsulating the second chip, implanting an electrical device on the bond pads on the first surface of the first chip, performing a wafer cutting and collecting operation, mounting and electrically connecting the stacked second and first chips to a chip carrier via the electrical device. The wafer, which is not totally thinned but includes a plurality of first chips, serves a carrying purpose during the fabrication process and thereby solves problems, namely a complicated process, high costs, and adhesive layer contamination, facing the prior art that entails repeated use of a carrier board and an adhesive layer for stacking a plurality of chips vertically and mounting the stacked chips on a chip carrier.

## 十、申請專利範圍：

1. 一種具矽通道之多晶片堆疊結構之製法，係包括：

提供具複數第一晶片之晶圓，該晶圓及第一晶片具相對之第一及第二表面，該第一晶片之第一表面形成有複數孔洞，且該孔洞處形成金屬柱及鐳墊以構成矽通道(TSV)結構；

於該第一晶片之第二表面形成至少一凹槽，且令該矽通道之金屬柱顯露於該凹槽底部；以及

將至少一第二晶片堆疊於該第一晶片上並電性連接至外露出該凹槽之第一晶片矽通道之金屬柱。

2. 如申請專利範圍第1項之具矽通道之多晶片堆疊結構之製法，其中，該孔洞與金屬柱間復設有絕緣層，該絕緣層與金屬柱間復設有阻障層。
3. 如申請專利範圍第2項之具矽通道之多晶片堆疊結構之製法，其中，該絕緣層為二氧化矽及氮化矽之其中一者，該阻障層為鎳，該金屬柱之材質為銅、金、鋁所組群組之一者。
4. 如申請專利範圍第1項之具矽通道之多晶片堆疊結構之製法，復包括：

於該第一晶片之凹槽中填充包覆第二晶片之絕緣材料；以及

平整化該絕緣材料，以令該絕緣材料與該第一晶片之第二表面齊平。
5. 如申請專利範圍第4項之具矽通道之多晶片堆疊結構之



製法，復包括：

於該第一晶片第一表面之鐳墊上植設導電元件；以及

對該晶圓進行切割以分離各該第一晶片。

6. 如申請專利範圍第5項之具矽通道之多晶片堆疊結構之製法，復包括將堆疊之第二晶片及第一晶片透過該導電元件而接置並電性連接至晶片承載件上。
7. 如申請專利範圍第4項之具矽通道之多晶片堆疊結構之製法，其中，該第二晶片之接置高度小於該第一晶片之第二表面高度，而於平整化該絕緣材料後，使該第二晶片包覆於該絕緣材料中。
8. 如申請專利範圍第4項之具矽通道之多晶片堆疊結構之製法，其中，該第二晶片之接置高度等於或略大於該第一晶片之第二表面高度，而於平整化該絕緣材料後，使該第二晶片之一表面外露出該絕緣材料。
9. 如申請專利範圍第1項之具矽通道之多晶片堆疊結構之製法，其中，該第一晶片之第一表面上接置有第四晶片，並使該第四晶片電性連接至第一晶片第一表面之鐳墊。
10. 一種具矽通道之多晶片堆疊結構之製法，係包括：

提供具複數第一晶片之晶圓，該晶圓及第一晶片具相對之第一及第二表面，該第一晶片之第一表面形成有複數孔洞，且該孔洞處形成金屬柱及鐳墊以構成矽通道(TSV)結構；

於該第一晶片之第二表面形成至少一凹槽，且令該矽通道之金屬柱顯露於該凹槽底部；

將至少一形成有矽通道(TSV)之第二晶片堆疊於該第一晶片上並電性連接至外露出該凹槽之第一晶片矽通道之金屬柱；

於該凹槽中填充絕緣材料，並平整化該絕緣材料，且令該第二晶片矽通道之金屬柱外露出該絕緣材料；

於該第二晶片上形成電性連接至外露出該絕緣材料之第二晶片矽通道之金屬柱的鐳墊；以及

於該第二晶片上接置第三晶片，並使該第三晶片電性連接至該第二晶片上之鐳墊。

11.如申請專利範圍第 10 項之具矽通道之多晶片堆疊結構之製法，其中，該孔洞與金屬柱間復設有絕緣層，該絕緣層與金屬柱間復設有阻障層。

12.如申請專利範圍第 11 項之具矽通道之多晶片堆疊結構之製法，其中，該絕緣層為二氧化矽及氮化矽之其中之一者，該阻障層為鎳，該金屬柱之材質為銅、金、鋁所組群組之一者。

13.如申請專利範圍第 10 項之具矽通道之多晶片堆疊結構之製法，復包括：

於該第一晶片之第一表面鐳墊上植設導電元件；以及

對該晶圓進行切割以分離各該第一晶片。

14.如申請專利範圍第 13 項之具矽通道之多晶片堆疊結構

之製法，復包括將堆疊之第一晶片、第二晶片及第三晶片透過該導電元件而接置並電性連接至晶片承載件上。

15. 如申請專利範圍第 10 項之具矽通道之多晶片堆疊結構之製法，其中，該第二晶片上之鐳墊係直接形成於該第二晶片矽通道之金屬柱上方。

16. 如申請專利範圍第 10 項之具矽通道之多晶片堆疊結構之製法，其中，該第二晶片上之鐳墊係透過線路重佈置層(RDL)而連接至該第二晶片矽通道之金屬柱。

17. 如申請專利範圍第 10 項之具矽通道之多晶片堆疊結構之製法，其中，該第二晶片上之鐳墊係透過濺鍍方式形成。

18. 一種具矽通道之多晶片堆疊結構，係包括：

第一晶片，該第一晶片具相對之第一及第二表面，該第一表面形成有複數孔洞，且該孔洞處形成有金屬柱及鐳墊以構成矽通道(TSV)結構，該第二表面形成有至少一凹槽以外露出該矽通道之金屬柱；以及

至少一第二晶片，係堆疊於該第一晶片上並電性連接至外露出該凹槽之矽通道之金屬柱。

19. 如申請專利範圍第 18 項之具矽通道之多晶片堆疊結構，復包括有絕緣材料，係填充於該第一晶片之凹槽中。

20. 如申請專利範圍第 19 項之具矽通道之多晶片堆疊結構，其中，該絕緣材料經過平整化，以令該絕緣材料與該第一晶片之第二表面齊平。

21. 如申請專利範圍第 20 項之具矽通道之多晶片堆疊結

構，其中，該第二晶片之高度小於該第一晶片之第二表面高度，而於平整化該絕緣材料後使該第二晶片包覆於該絕緣材料中。

- 22.如申請專利範圍第 20 項之具矽通道之多晶片堆疊結構，其中，該第二晶片之高度等於或略大於該第一晶片之第二表面高度，而於平整化該絕緣材料後，使該第二晶片之一表面外露出該絕緣材料。
- 23.如申請專利範圍第 18 項之具矽通道之多晶片堆疊結構，復包括有導電元件，係植設於該第一晶片第一表面之鐳墊。
- 24.如申請專利範圍第 23 項之具矽通道之多晶片堆疊結構，復包括有晶片承載件，係供堆疊之第二晶片及第一晶片透過該導電元件而接置並電性連接至該晶片承載件。
- 25.如申請專利範圍第 18 項之具矽通道之多晶片堆疊結構，其中，該孔洞與金屬柱間復設有絕緣層，該絕緣層與金屬柱間復設有阻障層。
- 26.如申請專利範圍第 25 項之具矽通道之多晶片堆疊結構，其中，該絕緣層為二氧化矽及氮化矽之其中之一者，該阻障層為鎳，該金屬柱之材質為銅、金、鋁所組群組之一者。
- 27.如申請專利範圍第 18 項之具矽通道之多晶片堆疊結構，其中，該第一晶片第一表面上接置有第四晶片，並使該第四晶片電性連接至該第一晶片第一表面之鐳墊。

28. 一種具矽通道之多晶片堆疊結構，係包括：

第一晶片，該第一晶片具相對之第一及第二表面，該第一表面形成有複數孔洞，且該孔洞處形成有金屬柱及鐳墊以構成矽通道(TSV)結構，該第二表面形成有至少一凹槽以外露出該矽通道之金屬柱；

至少一形成有矽通道(TSV)之第二晶片，係堆疊於該第一晶片上並電性連接至外露出該凹槽之第一晶片矽通道之金屬柱；

絕緣材料，係於該凹槽中，且令該第二晶片矽通道之金屬柱外露出該絕緣材料；

鐳墊，係形成於該第二晶片上且電性連接至外露出該絕緣材料之第二晶片矽通道之金屬柱；以及

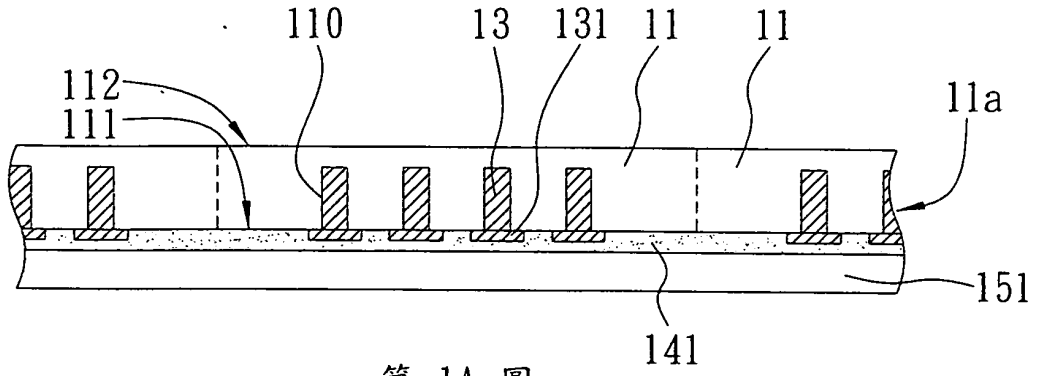
第三晶片，係接置於該第二晶片上，並電性連接至該第二晶片上之鐳墊。

29. 如申請專利範圍第 28 項之具矽通道之多晶片堆疊結構，其中，該孔洞與金屬柱間復設有絕緣層，該絕緣層與金屬柱間復設有阻障層。

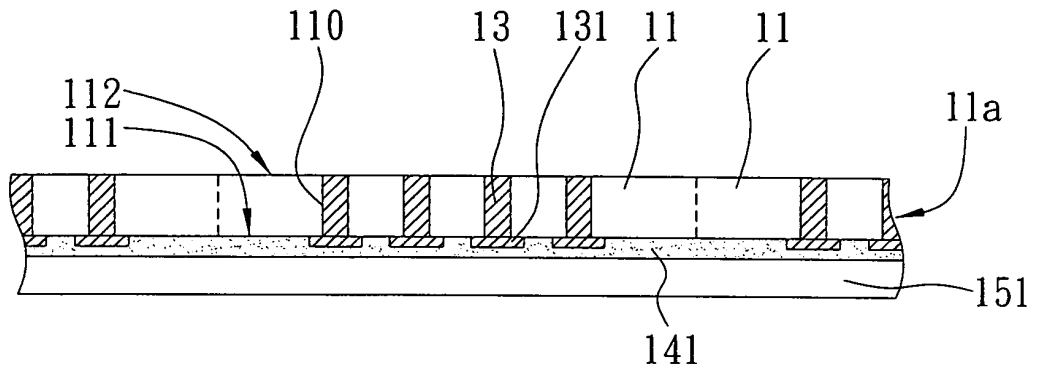
30. 如申請專利範圍第 29 項之具矽通道之多晶片堆疊結構，其中，該絕緣層為二氧化矽及氮化矽之其中一者，該阻障層為鎳，該金屬柱之材質為銅、金、鋁所組群組之一者。

31. 如申請專利範圍第 28 項之具矽通道之多晶片堆疊結構，復包括有導電元件，係植設於該第一晶片之第一表面鐳墊上。

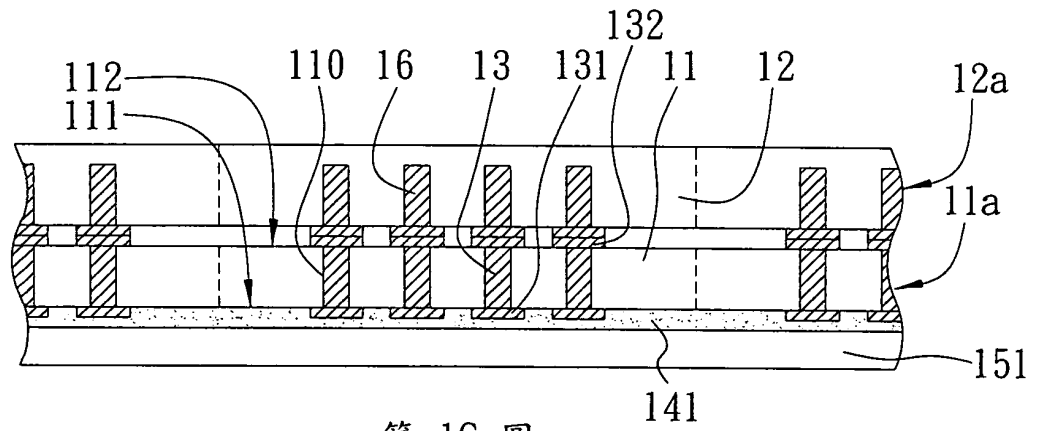
32. 如申請專利範圍第 31 項之具矽通道之多晶片堆疊結構，復包括有晶片承載件，係供堆疊之第一、第二及第三晶片透過該導電元件而接置並電性連接至該晶片承載件上。
33. 如申請專利範圍第 28 項之具矽通道之多晶片堆疊結構，其中，該第二晶片上之鐳墊係直接形成於該第二晶片之矽通道之金屬柱上方。
34. 如申請專利範圍第 28 項之具矽通道之多晶片堆疊結構，其中，該第二晶片上之鐳墊係透過線路重佈置層 (RDL) 而連接至該第二晶片之矽通道之金屬柱。



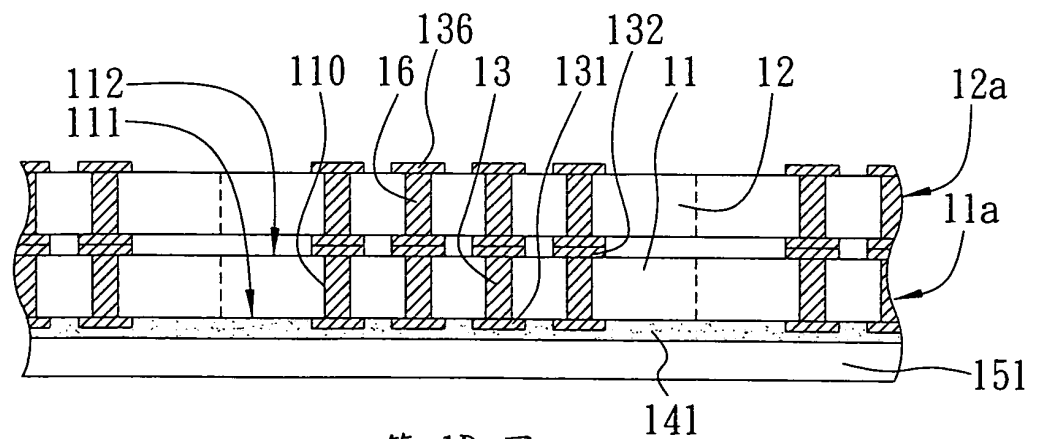
第 1A 圖



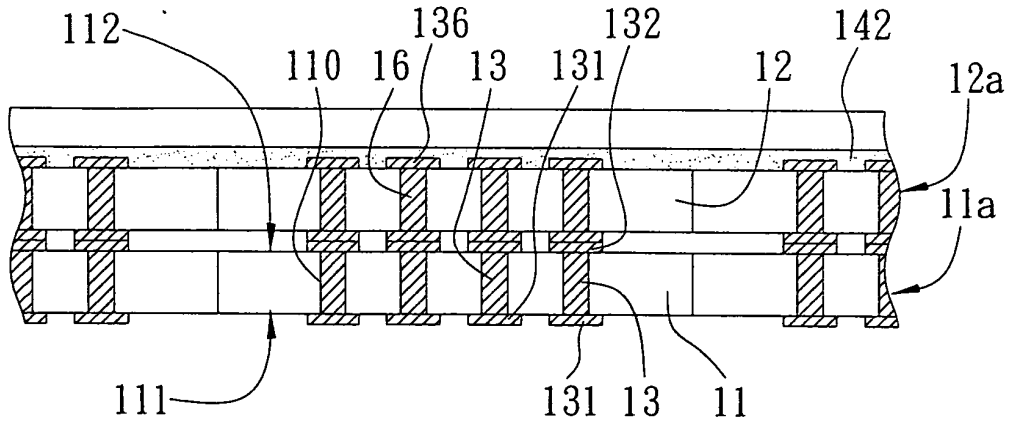
第 1B 圖



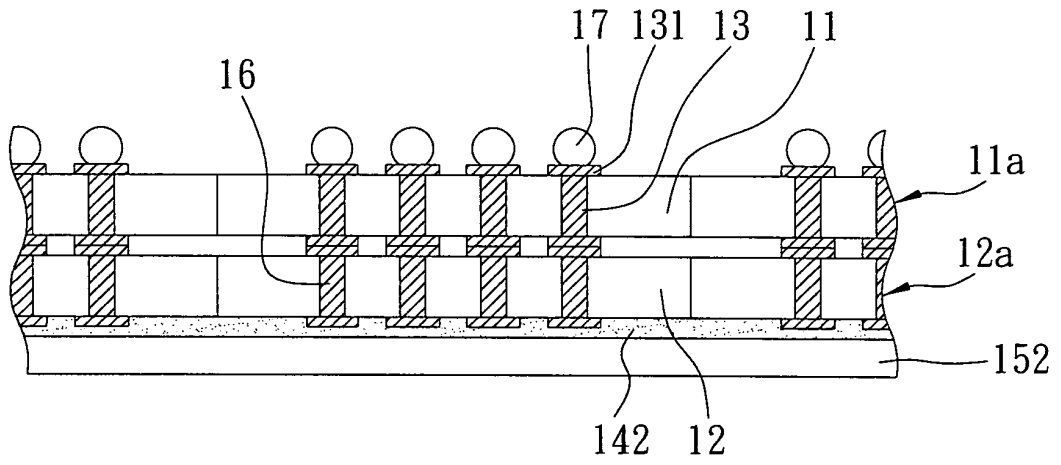
第 1C 圖



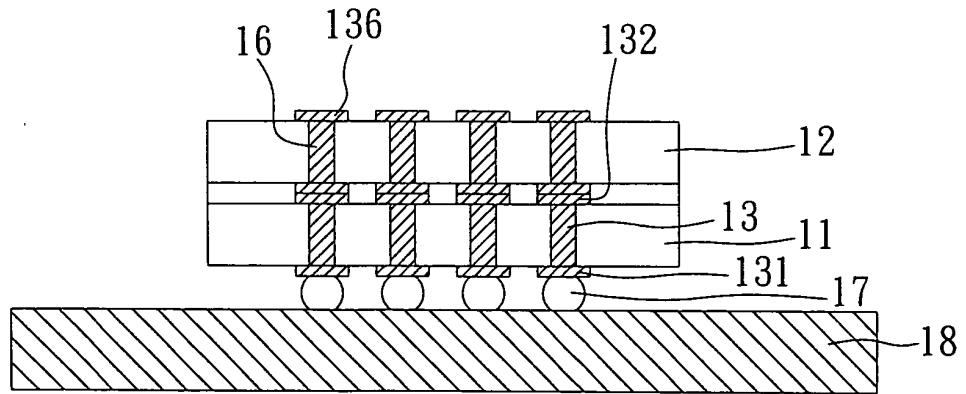
第 1D 圖



第 1E 圖

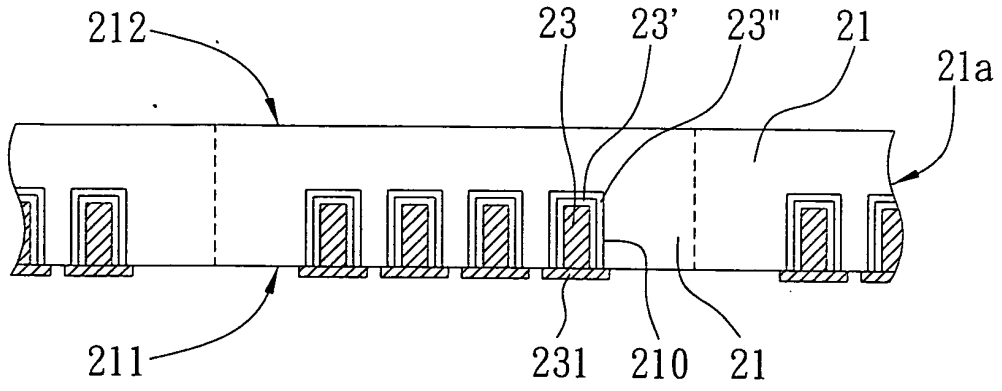


第 1F 圖

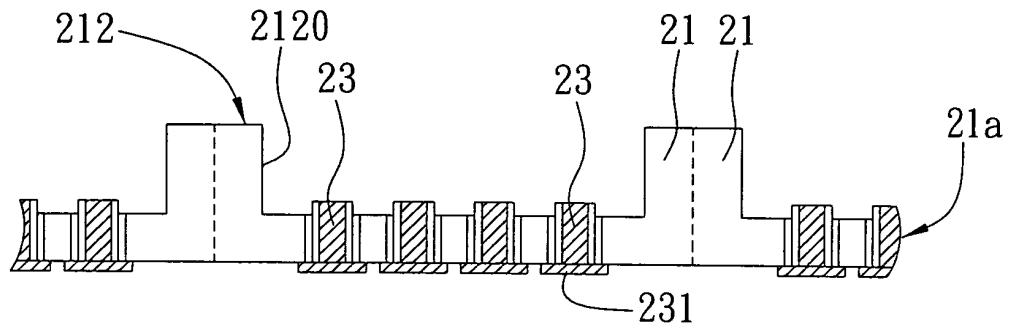


第 1G 圖

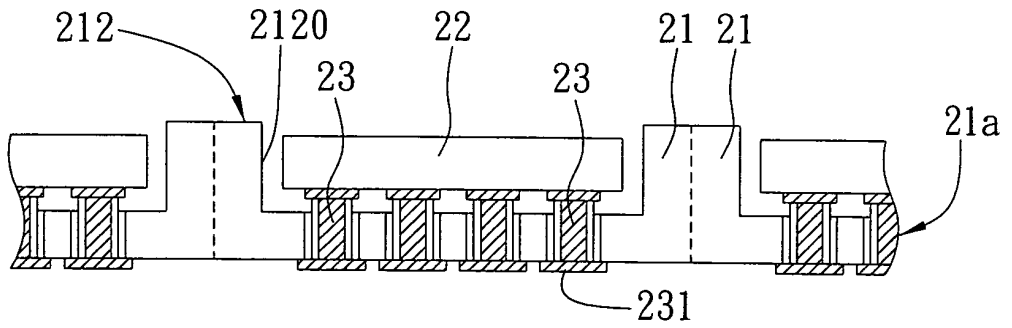




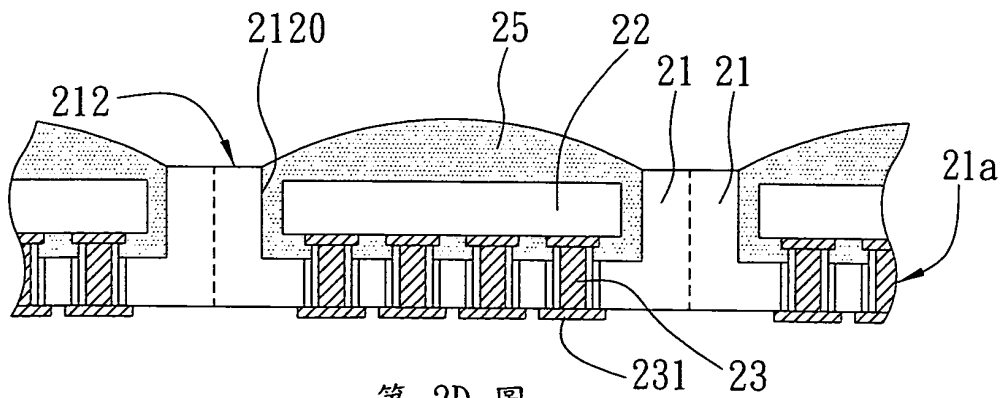
第 2A 圖



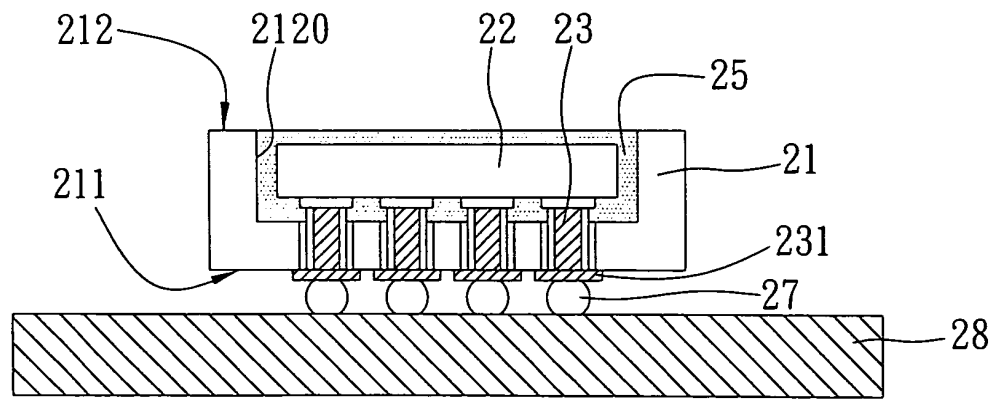
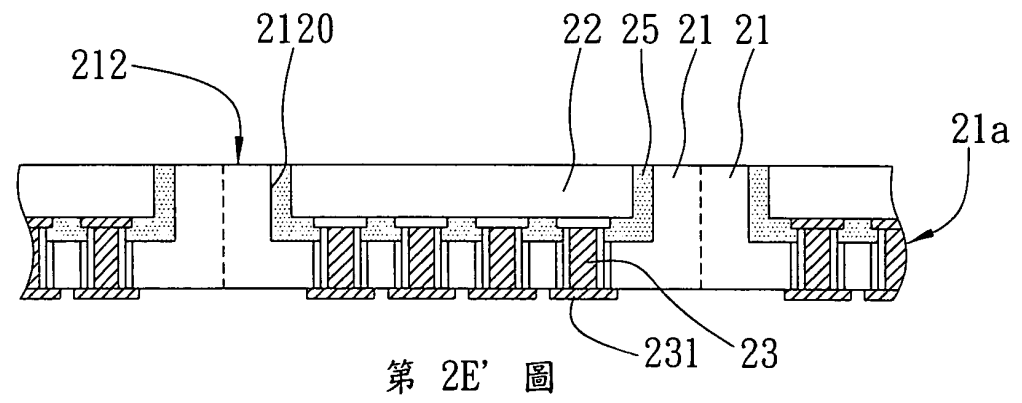
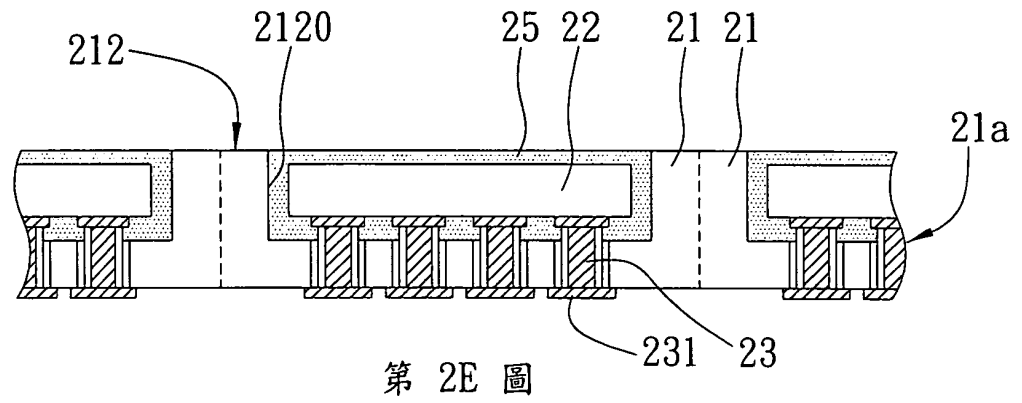
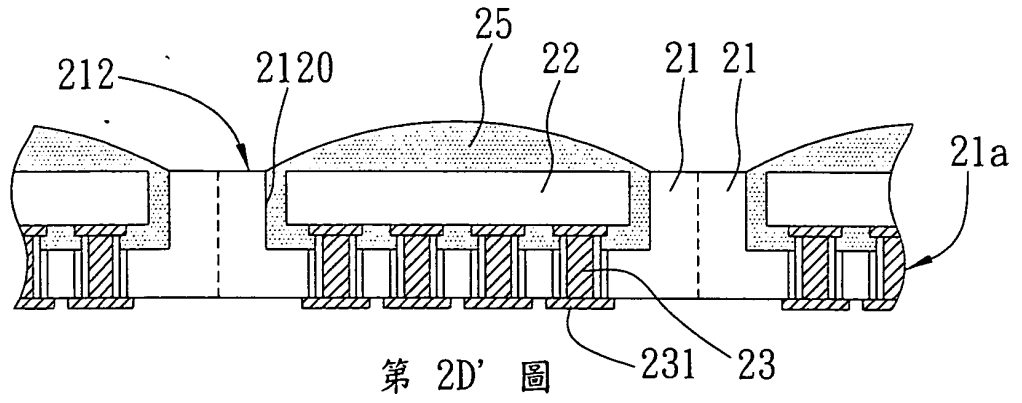
第 2B 圖

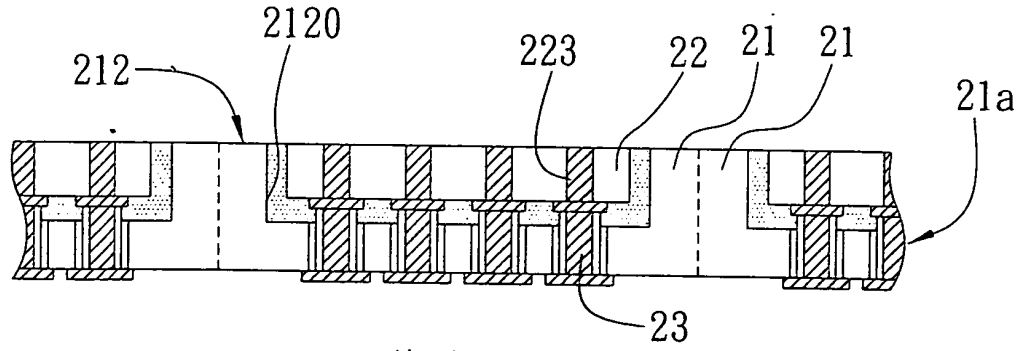


第 2C 圖

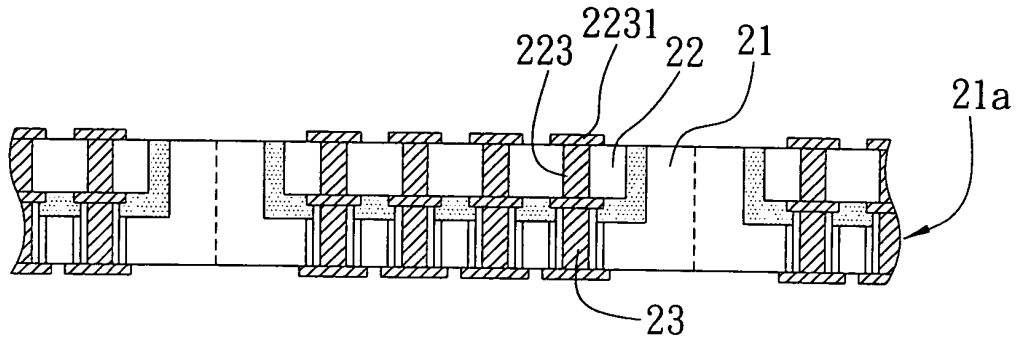


第 2D 圖

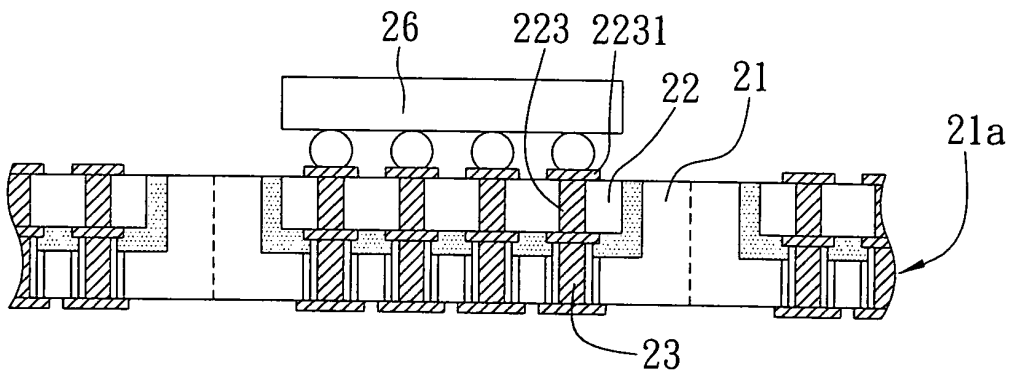




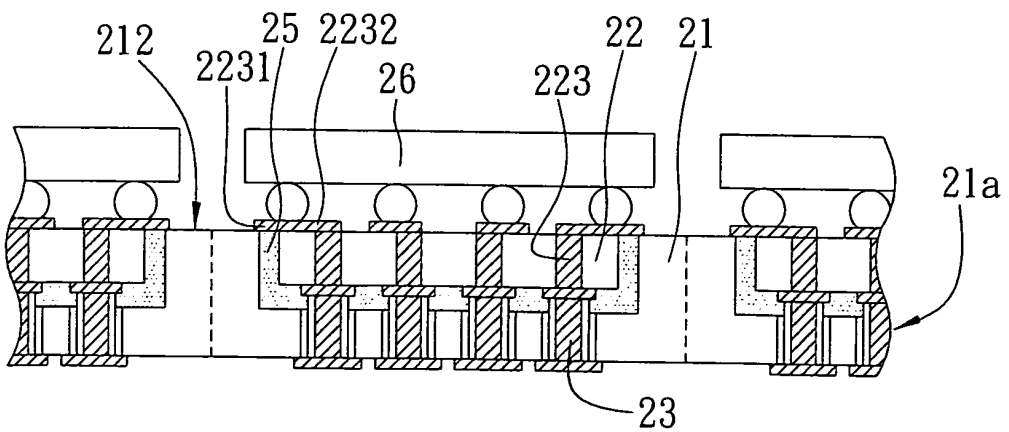
第 3A 圖



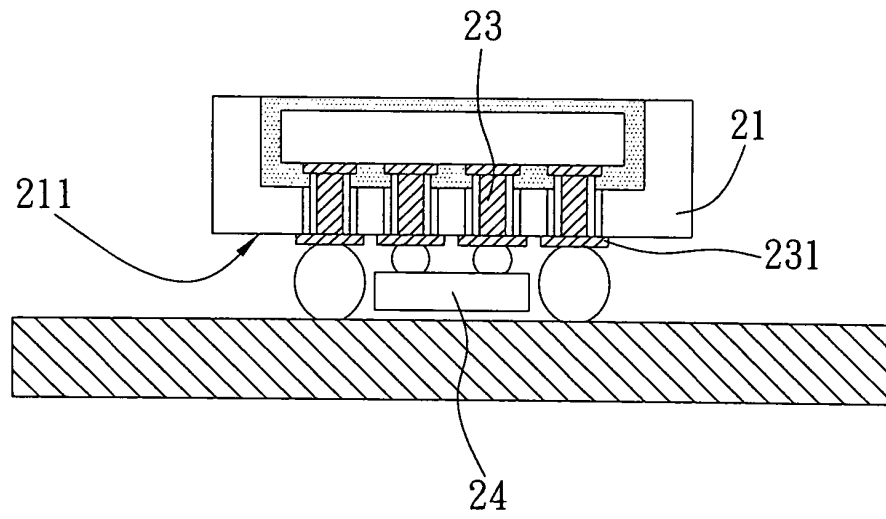
第 3B 圖



第 3C 圖



第 3D 圖



第 4 圖

七、指定代表圖：

(一)本案指定代表圖為：第 ( 2F ) 圖。

(二)本代表圖之元件符號簡單說明：

- 21 第一晶片
- 211 第一表面
- 212 第二表面
- 2120 凹槽
- 22 第二晶片
- 23 金屬柱
- 231 鐳墊
- 25 絕緣材料
- 27 導電元件
- 28 晶片承載件

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：