

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G06F 13/16 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월03일 10-0594198 2006년06월21일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-1999-0017360 1999년05월14일	(65) 공개번호 (43) 공개일자	10-2000-0073817 2000년12월05일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자             이형용  
                              경기 수원시 권선구 권선동 1305번지 대우아파트 322-502

                              김경기  
                              경기 화성시 태안읍 병점리 한신아파트 108-1402

                              김대선  
                              경기 용인시 기흥읍 영덕리 대명아파트 106-1402

(74) 대리인             리엔목특허법인

심사관 : 권오성

(54) 다중채널 램버스 시스템

요약

본 발명은 램버스 메모리를 사용하는 다중채널 램버스 시스템을 개시한다. 본 발명의 램버스 시스템은 클럭발생기, 반도체 메모리, 메모리 컨트롤러, 데이터 버스, 클럭전송선을 구비한다. 클럭전송선은 전송용 클럭전송선 및 수신용 클럭전송선으로 이루어진다. 반도체 메모리 및 메모리 컨트롤러는 전송용 클럭전송선, 수신용 클럭전송선 및 데이터버스와 연결되어 있다. 메모리 컨트롤러와 반도체 메모리를 연결하는 채널이 복수개 형성되어 있으며, 이러한 채널은 메모리 컨트롤러에 대하여 병렬로 연결된다. 하나의 채널은 수신용 클럭 및 전송용 클럭의 tTR이 1이하가 된다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 단일 채널 램버스 시스템을 도시한 회로도이다.

도 2는 도 1의 A점에서의 수신용 클럭 및 전송용 클럭의 위상차를 도시한 타이밍도이다.

도 3은 도 1의 B점에서의 수신용 클럭 및 전송용 클럭의 위상차를 도시한 타이밍도이다.

도 4는 본 발명에 의한 다중 채널 램버스 시스템을 도시한 도면이다.

도 5는 도 4의 A,B,C,D점에서의 수신용 클럭 및 전송용 클럭의 위상차를 도시한 타이밍도이다.

<도면의 주요부분에 대한 부호의 설명>

100,400:클럭발생기 110,410:메모리 컨트롤러

120,122,420,421:반도체 메모리

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다중채널 램버스 시스템에 관한 것으로서, 더욱 상세하게는 램버스(RAMBUS) 메모리를 이용하는 다중채널 램버스 시스템에 관한 것이다.

최근 컴퓨터 메모리, 그래픽 회로, 비디오등을 고속으로 동작시키기 위하여, 각 기기들에 대하여 빠른 전송속도(Bandwidth) 및 짧은 응답시간(Latency)등을 요구하고 있다. 이러한 요구에 부응하기 위하여 램버스 메모리(RAMBUS DRAM)이 사용된다. 램버스 메모리는 300MHz - 400MHz의 입출력 주파수로 클럭(clock)의 하강(falling) 및 상승(rising)의 엣지(edge)에서 데이터를 램버스 메모리 컨트롤러(RMC)에 전송하거나 데이터를 저장하는 고성능 메모리 소자이다.

램버스 메모리는 데이터와 클럭의 스큐(skew)를 줄이기 위하여 데이터와 클럭을 동일한 방향으로 전송시킨다. 즉, 램버스 메모리를 이용하는 메모리 회로에 있어서, 램버스 메모리에서의 데이터와 클럭은 데이터버스 및 클럭 전송선을 따라 전파하게 된다. 이때, 클럭은 클럭발생기로부터 램버스 메모리 컨트롤러로 전송되는 전송용 클럭(Clock To Master:이하 CTM이라 한다) 및 램버스 메모리 컨트롤러로부터 램버스 메모리로 전송되는 수신용 클럭(Clock From Master:이하 CFM이라 한다)으로 나누어진다.

도 1은 종래의 단일 채널 램버스 시스템을 나타내는 도면이다. 도 1을 참조하면, 종래의 램버스 메모리(120,122)를 이용하는 램버스 시스템에서는, 램버스 메모리 컨트롤러(110)로부터 하나의 채널이 형성되며, 하나의 채널상에 복수개의 램버스 메모리들(120,122)이 순차적으로 연결된다. 클럭 발생기(100)로부터 클럭을 발생하여 각각의 램버스 메모리 컨트롤러(110) 및 램버스 메모리들(120,122)로 공급한다. 각 램버스 메모리들(120,122)은 데이터버스, CTM 및 CFM 전송선과 연결된다. 채널상의 CTM 및 CFM은 동일한 주파수를 가지나, 램버스 메모리 컨트롤러(110)로부터의 거리에 따라 위상이 달라지게 된다. 따라서, 채널에 놓여있는 램버스 메모리(120,122)에 입력되는 CTM 및 CFM은 서로 다른 위상을 가지게 된다.

CTM 및 CFM은 램버스 메모리 컨트롤러(110)에 위치해 있는 지점(A)에서 턴어라운드(turn-around)되며, 이 지점에서 이들은 동일한 위상을 갖는다. 도 2는 A점에서의 CTM 및 CFM의 위상을 도시한 타이밍도이다. 하지만, 램버스 메모리(120,122)의 위치가 램버스 메모리 컨트롤러(110)에서 멀어질수록, CFM의 위상은 CTM에 비해 상대적으로 늦어지게 된다. 도 3은 B지점에서의 CTM 및 CFM의 위상차를 도시한 타이밍도이다. 즉, 채널에 놓여있는 램버스 메모리(120,122)의 위치에 따라 CTM 및 CFM의 위상차가 발생하게 되는데, 이러한 CTM 및 CFM의 위상차를 tTR이라고 한다. tTR은 수학식 1로 표현된다.

$$\text{수학식 1} \\ tTR = \frac{CFM - CTM}{\text{cycle}}$$

여기서,  $t_{cycle}$ 은 클럭의 한 주기에 해당하는 위상으로서  $360^\circ$ 가 된다. 따라서, CTM과 CFM의 위상차가  $0^\circ$ 이면  $tTR$ 은 0가 되며, 위상차가  $360^\circ$ 이면  $tTR$ 은 1이 되며, 위상차가  $720^\circ$ 이면  $tTR$ 은 2가 된다. 램버스 메모리 컨트롤러의 응답시간(latency)은 램버스 메모리의 응답시간 및  $tTR$ 의 합으로 결정된다. 따라서, 램버스 메모리 컨트롤러의 응답시간은 일반적으로  $tTR$ 의 값에 의해 많은 영향을 받으며,  $tTR$ 이 큰 채널을 사용하는 경우 램버스 메모리 컨트롤러의 응답시간이 증가하게 된다.

그 결과, 메모리의 용량을 증가시키기 위하여 하나의 채널에 연결할 수 있는 램버스 메모리의 수를 증가하면, 채널에서의  $tTR$ 이 증가되고, 이로 인하여 램버스 메모리 컨트롤러의 응답시간이 증가하게 되는 문제점이 있다. 현재, 램버스 메모리를 사용하는 메모리 회로에서 하나의 채널에  $tTR=5$  까지 램버스 메모리를 확장할 수 있으며, 더 이상의 확장은 회로설계상 적절치 않다. 즉, 이러한  $tTR$ 로 인하여 램버스 메모리의 확장이 제한되는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 램버스 메모리를 사용하는 메모리 회로에서, 하나의 램버스 메모리 컨트롤러에 대하여 연결될 수 있는 램버스 메모리의 개수를  $tTR$ 에 의하여 제한받지 않고 메모리의 용량을 확장할 수 있는 다중채널 램버스 시스템을 제공하는 데 그 목적이 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 다중채널 램버스 시스템은, 클럭신호를 발생하는 클럭발생기와, 데이터를 저장하는 하나 이상의 반도체 메모리와, 상기 반도체 메모리에 데이터를 저장하는 동작 및 상기 반도체 메모리에 저장된 데이터를 불러오는 동작을 제어하는 메모리 컨트롤러와, 상기 반도체 메모리 및 상기 메모리 컨트롤러 사이에 전기적으로 연결되어 있어 이들 상호간에 데이터를 전송하는 데이터버스와, 상기 클럭발생기에서 발생된 클럭을 상기 반도체 메모리 및 상기 메모리 컨트롤러에 공급하며, 상기 클럭발생기로부터 상기 메모리 컨트롤러로 클럭신호를 전송하는 전송용 클럭전송선 및 상기 메모리 컨트롤러로부터 상기 반도체 메모리로 클럭신호를 전송하는 수신용 클럭전송선으로 이루어지는 클럭전송선을 구비한다.

이때, 각각의 상기 반도체 메모리 및 상기 메모리 컨트롤러는 상기 전송용 클럭전송선, 상기 수신용 클럭전송선 및 상기 데이터버스와 연결되고, 상기 반도체 메모리 및 상기 메모리 컨트롤러를 연결하는 채널이 복수개 형성되어 있으며, 각각의 상기 채널들은 상기 메모리 컨트롤러에 병렬로 연결되어 있는 것을 특징으로 한다.

또한, 상기 전송용 클럭전송선 및 상기 수신용 클럭전송선의 턴어라운드점은 상기 메모리 컨트롤러인 것이 바람직하다. 또한, 상기 메모리 컨트롤러는 램버스 디램 컨트롤러이며, 상기 반도체 메모리는 램버스 디램인 것이 바람직하다.

본 발명에 의하여, 메모리 컨트롤러의 응답시간을 최소화하며, 메모리 컨트롤러의 응답시간을 증가시키지 않으면서 더 많은 반도체 메모리를 더 연결하여 회로의 메모리 용량을 향상시킬 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다. 하지만, 본 발명은 상술하는 실시예에 한정되는 것은 아니며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것으로서, 본 발명의 기술사상 및 범위내에서 당 분야의 통상의 지식을 가진 자에 의하여 각종 변형 및 개량이 가능함은 명백하다.

도 4는 본 발명에 의한 다중채널 램버스 시스템을 나타내는 도면이다. 도 4를 참조하면, 본 발명의 다중채널 램버스 시스템은 램버스 메모리를 이용하는 것으로서, 클럭발생기(400), 반도체 메모리(420,421,422,423), 메모리 컨트롤러(410), 데이터버스 및 클럭전송선(430)을 구비한다.

클럭발생기(400)는 클럭신호를 발생한다. 이렇게 발생된 클럭신호는 회로내의 메모리에 클럭을 공급된다.

클럭전송선(430)은 클럭발생기(400)로부터 시작하여 각 반도체 메모리(420,421,422,423) 및 메모리 컨트롤러(410)에 연결되어 있으며, 메모리 컨트롤러(410)에서 턴어라운드(turn-around)된다. 클럭전송선(430)은 수신용 클럭전송선(434) 및 전송용 클럭전송선(432)으로 나뉘며, 전송용 클럭전송선(432)은 클럭발생기(400)로부터 메모리 컨트롤러(410)로 들어가는 방향의 클럭전송선이며, 수신용 클럭전송선(434)은 메모리 컨트롤러(410)로부터 반도체 메모리(420,421,422,423)로 나가는 방향의 클럭전송선이다.

메모리 컨트롤러(410)는 반도체 메모리들(420,421,422,423)의 데이터전송을 제어하며, 램버스 메모리 컨트롤러인 것이 바람직하다. 메모리 컨트롤러(410) 및 반도체 메모리 사이에 형성되어 있는 채널들은 메모리 컨트롤러(410)에 대하여 병렬로 연결되어 있다.

반도체 메모리들(420,421,422,423)은 데이터를 저장하는 소자들이며, 램버스 메모리인 것이 바람직하다. 하나이상의 반도체 메모리들이 메모리 컨트롤러(410)와 반도체 메모리들(420,421,422,423)을 각각 연결하는 채널들을 형성하며, 각 채널은 메모리 컨트롤러(410)에 대하여 병렬로 연결된다. 하나의 채널은 하나이상의 반도체 메모리들이 연결될 수 있다. 반도체 메모리들(420,421,422,423)은 데이터전송에 관하여 메모리 컨트롤러(410)에 의해 제어된다.

반도체 메모리들(420,421,422,423)은 채널에 하나이상 연결되어 있으며, 각 반도체 메모리는 전송용 클럭전송선(432), 수신용 클럭전송선(434) 및 데이터버스와 연결되어 있다.

각 채널은 채널의 tTR이 1이하가 되도록 구성한다. 따라서, 하나의 채널에 연결되는 반도체 메모리의 수는 채널의 tTR에 의해 결정된다. 각 채널에서의 전송용 클럭 전송선 및 수신용 클럭 전송선의 턴어라운드점(turn-around point)은 도 4에서의 A,B,C,D지점이며, 이 지점들에서 위상차는 항상 0°가 된다. 그리고 각 채널은 메모리 컨트롤러(410)에 병렬로 연결되어 있기 때문에, 전체 회로에 있어서의 tTR은 1이하로 고정된다. 도 5는 A,B,C,D지점에서의 전송용 클럭(CTM) 및 수신용 클럭(CFM)의 위상차를 도시한 타이밍도이다. 도 5를 참조하면, A,B,C,D 지점에서의 전송용 클럭 및 수신용 클럭의 위상이 서로 동일함을 알 수 있다.

그 결과, 본 발명에서의 메모리 컨트롤러의 응답시간에 영향을 미치는 tTR이 1이하로 한정되므로, 메모리 컨트롤러의 응답시간이 감소하게 된다.

### 발명의 효과

이상에서 살펴본 바와 같이 본 발명에 따른 다중채널 램버스 시스템은, 메모리 컨트롤러에 대하여 채널들을 병렬로 형성하고 각 채널의 tTR을 1이하로 고정함으로써, 메모리 컨트롤러의 응답시간을 감소할 수 있다. 또한, 1이하의 tTR을 갖는 채널들을 병렬로 더 형성함으로써 메모리 컨트롤러의 응답시간을 더 증가시키지 않으면서 메모리의 용량을 확장할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

클럭신호를 발생하는 클럭발생기;

데이터를 저장하는 하나이상의 반도체 메모리;

상기 반도체 메모리에 데이터를 저장하는 동작 및 상기 반도체 메모리에 저장된 데이터를 불러오는 동작을 제어하는 메모리 컨트롤러;

상기 반도체 메모리 및 상기 메모리 컨트롤러사이에 전기적으로 연결되어 있어 이들 상호간에 데이터를 전송하는 데이터 버스; 및

상기 클럭발생기에서 발생된 클럭을 상기 반도체 메모리 및 상기 메모리 컨트롤러에 공급하며, 상기 클럭발생기로부터 상기 메모리 컨트롤러로 클럭신호를 전송하는 전송용 클럭전송선 및 상기 메모리 컨트롤러로부터 상기 반도체 메모리로 상기 클럭신호를 전송하는 수신용 클럭전송선으로 이루어지는 클럭전송선을 구비하고,

각각의 상기 반도체 메모리 및 상기 메모리 컨트롤러는 상기 전송용 클럭전송선, 상기 수신용 클럭전송선 및 상기 데이터 버스와 연결되고,

상기 반도체 메모리와 상기 메모리 컨트롤러를 연결하는 채널이 형성되어 있고, 상기 채널은 복수개 형성되어 있으며,

각각의 상기 채널들은 상기 메모리 컨트롤러에 병렬로 연결되어 있으며, 상기 채널의 위상차를 360°로 나눈 값이 1이하인 것을 특징으로 하는 다중채널 램버스 시스템.

**청구항 2.**

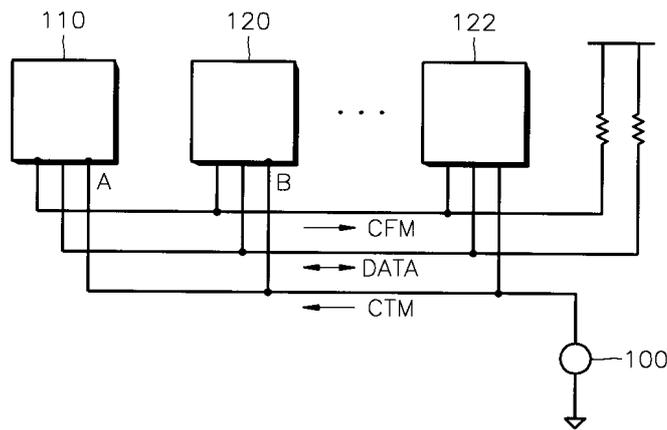
제1항에 있어서, 상기 전송용 클럭전송선 및 상기 수신용 클럭전송선의 턴어라운드점은 상기 메모리 컨트롤러인 것을 특징으로 하는 다중채널 램버스 시스템.

**청구항 3.**

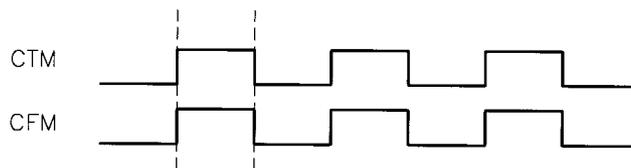
제1항 또는 제2항에 있어서, 상기 메모리 컨트롤러는 램버스 디램 컨트롤러이며, 상기 반도체 메모리는 램버스 디램인 것을 특징으로 하는 다중채널 램버스 시스템.

도면

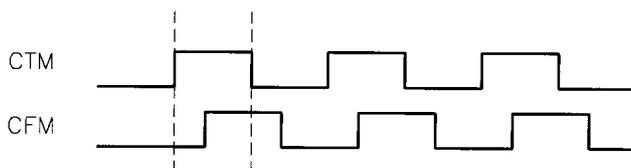
도면1



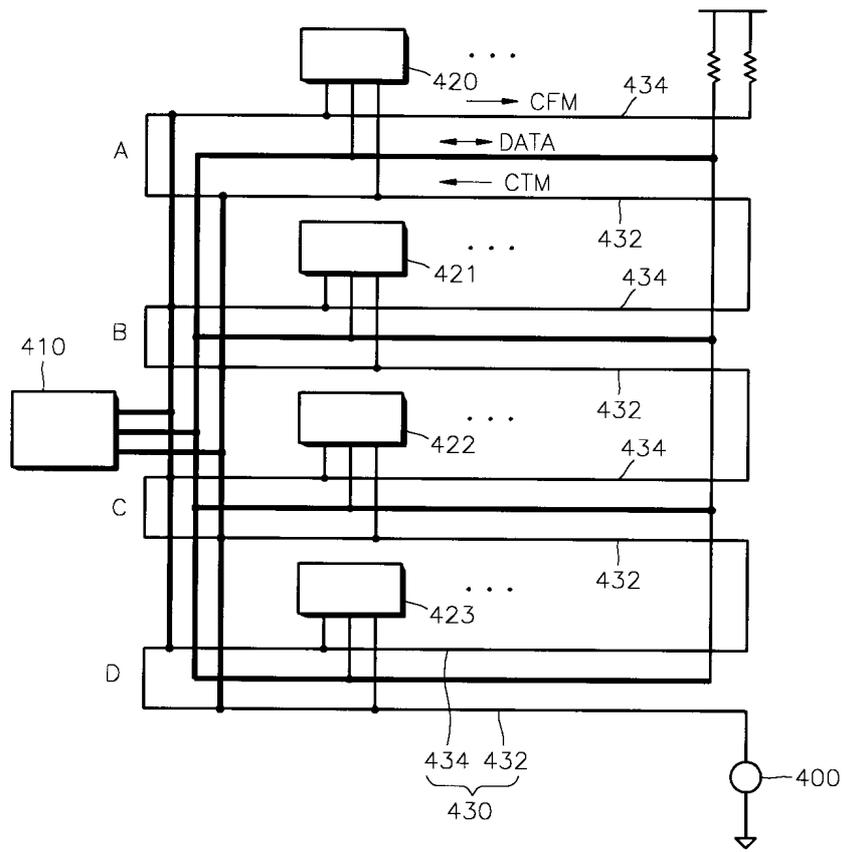
도면2



도면3



도면4



도면5

