



(12) 发明专利

(10) 授权公告号 CN 109509835 B

(45) 授权公告日 2022. 09. 23

(21) 申请号 201811516556.0

审查员 梁静静

(22) 申请日 2018.12.12

(65) 同一申请的已公布的文献号

申请公布号 CN 109509835 A

(43) 申请公布日 2019.03.22

(73) 专利权人 北京时代全芯存储技术股份有限公司

地址 100094 北京市海淀区丰豪东路9号院
2号楼8层4单元802

(72) 发明人 杨子瀚 张明丰

(51) Int. Cl.

H01L 45/00 (2006.01)

(56) 对比文件

CN 105609631 A, 2016.05.25

US 6329244 B1, 2001.12.11

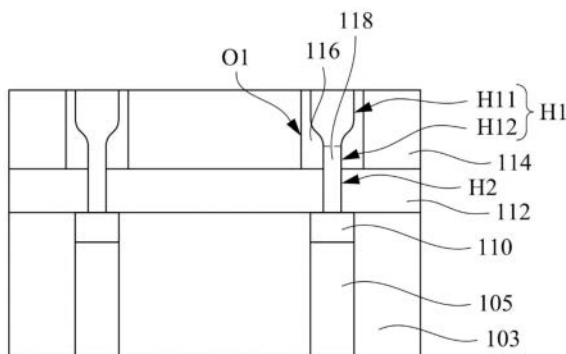
权利要求书1页 说明书5页 附图4页

(54) 发明名称

制造相变化记忆体的方法

(57) 摘要

一种制造相变化记忆体的方法,包含:形成一结构,包含:底电极;介电层,位于底电极上方;隔离层,位于介电层上方,并具有开口贯穿隔离层;以及多晶硅层,位于开口内;形成第一孔洞及第二孔洞分别贯穿多晶硅层及介电层,第二孔洞位于第一孔洞的下方;形成保护层于第一孔洞及第二孔洞内及多晶硅层上方;进行化学机械研磨制程,或者进行干蚀刻制程及化学机械研磨制程,以移除保护层的一部分、隔离层及多晶硅层,并暴露介电层,以及留下第二孔洞内的保护层;移除第二孔洞内的保护层,以暴露第二孔洞;以及沉积加热材料至第二孔洞内。此方法可避开使用氢氧化四甲基铵溶液造成的危险,又可避免介电层中的孔洞损伤,使孔洞具有良好的尺寸稳定性。



1. 一种制造相变化记忆体的方法,其特征在于,包含:
形成一结构,该结构包含:
一底电极;
一介电层,位于该底电极上方;
一隔离层,位于该介电层上方,并具有一开口贯穿该隔离层;以及
一多晶硅层,位于该开口内;
形成一第一孔洞及一第二孔洞分别贯穿该多晶硅层及该介电层,该第二孔洞位于该第一孔洞的下方;
形成一保护层于该第一孔洞及该第二孔洞内及该多晶硅层上方;
对该保护层进行干蚀刻制程,以暴露该隔离层及该多晶硅层;
进行化学机械研磨制程,以移除暴露的该隔离层、暴露的该多晶硅层以及位于该第一孔洞内的该保护层,并暴露该介电层,以及留下该第二孔洞内的该保护层,进行该化学机械研磨制程的步骤是仅使用用以化学机械研磨该隔离层的一研磨液;
移除该第二孔洞内的该保护层,以暴露该第二孔洞;以及
沉积一加热材料至该第二孔洞内。
2. 根据权利要求1所述的制造相变化记忆体的方法,其特征在于,该结构的该多晶硅层具有一空隙位于该开口内。
3. 根据权利要求1所述的制造相变化记忆体的方法,其特征在于,暴露的该隔离层的上表面与暴露的该多晶硅层的上表面共平面或大致上共平面。
4. 根据权利要求1所述的制造相变化记忆体的方法,其特征在于,暴露的该多晶硅层的上表面与位于该第一孔洞内的该保护层的上表面共平面或大致上共平面。
5. 根据权利要求1所述的制造相变化记忆体的方法,其特征在于,移除该第二孔洞内的该保护层的步骤是使用干蚀刻、湿蚀刻或其组合。
6. 根据权利要求1所述的制造相变化记忆体的方法,其特征在于,沉积该加热材料的步骤还包含沉积该加热材料至该介电层上方。
7. 根据权利要求6所述的制造相变化记忆体的方法,其特征在于,还包含:
于沉积该加热材料的步骤之后,进行另一化学机械研磨制程,以移除位于该介电层上方的该加热材料,并暴露该介电层,以形成一加热器于该介电层中,其中该加热器的顶表面与该介电层的顶表面齐平。
8. 根据权利要求7所述的制造相变化记忆体的方法,其特征在于,还包含:
形成一顶电极与一相变化元件于该加热器上方。

制造相变化记忆体的方法

技术领域

[0001] 本揭示是有关于一种制造相变化记忆体的方法。

背景技术

[0002] 电子产品(例如:手机、平板电脑以及数字相机)常具有储存数据的记忆体元件。习知记忆体元件可透过记忆体单元上的储存节点储存信息。其中,相变化记忆体利用记忆体元件的电阻状态(例如高阻值与低阻值)来储存信息。记忆体元件可具有一可在不同相态(例如:晶相与非晶相)之间转换的材料。不同相态使得记忆体单元具有不同电阻值的电阻状态,以用于表示储存数据的不同数值。

[0003] 目前制造相变化记忆体元件的制程包含典型的锁孔转移方法(keyhole transfer method)。详细而言,此方法透过先形成具有锁孔结构(或可称空隙)的多晶硅层于介电层上方,然后透过蚀刻将锁孔结构向下转移至介电层,于介电层中形成小尺寸的孔洞,之后再移除剩余的多晶硅层。

[0004] 然而在移除剩余的多晶硅层的步骤中,通常使用对多晶硅层及周遭材料具有极高选择比的溶液,如氢氧化四甲基铵(tetramethylammonium hydroxide (TMAH))溶液,进行湿蚀刻,以避免损伤孔洞,进而导致孔洞尺寸改变,影响相变化记忆体的性能。但氢氧化四甲基铵溶液有剧毒,致死性高,对操作人员造成极大的危险。

发明内容

[0005] 本揭示的目的在于提供一种制造相变化记忆体的方法,以其他制程步骤移除多晶硅层,而不使用氢氧化四甲基铵溶液移除多晶硅层。此方法除了可以避免使用氢氧化四甲基铵溶液造成的危险之外,又可以避免介电层中的孔洞损伤,使孔洞具有良好的尺寸稳定性。

[0006] 本揭示提供一种制造相变化记忆体的方法,包含:形成一结构,此结构包含:底电极;介电层,位于底电极上方;隔离层,位于介电层上方,并具有开口贯穿隔离层;以及多晶硅层,位于开口内;形成第一孔洞及第二孔洞分别贯穿多晶硅层及介电层,第二孔洞位于第一孔洞的下方;形成保护层于第一孔洞及第二孔洞内及多晶硅层上方;进行化学机械研磨制程,或者进行干蚀刻制程及化学机械研磨制程,以移除保护层的一部分、隔离层及多晶硅层,并暴露介电层,以及留下第二孔洞内的保护层;移除第二孔洞内的保护层,以暴露第二孔洞;以及沉积加热材料至第二孔洞内。

[0007] 根据本揭示的数个实施例,结构的多晶硅层具有一空隙位于开口内。

[0008] 根据本揭示的数个实施例,进行干蚀刻制程及化学机械研磨制程的步骤包含:对保护层进行干蚀刻制程,以暴露隔离层及多晶硅层;以及进行化学机械研磨制程,以移除暴露的隔离层、暴露的多晶硅层以及位于第一孔洞内的保护层,并暴露介电层,以及留下第二孔洞内的保护层。

[0009] 根据本揭示的数个实施例,暴露的隔离层的上表面与暴露的多晶硅层的上表面共

平面或大致上共平面。

[0010] 根据本揭示的数个实施例,暴露的多晶硅层的上表面与位于第一孔洞内的保护层的上表面共平面或大致上共平面。

[0011] 根据本揭示的数个实施例,进行化学机械研磨制程的步骤是仅使用用以化学机械研磨隔离层的研磨液。

[0012] 根据本揭示的数个实施例,移除第二孔洞内的保护层的步骤是使用干蚀刻、湿蚀刻或其组合。

[0013] 根据本揭示的数个实施例,沉积加热材料的步骤还包含沉积加热材料至介电层上方。

[0014] 根据本揭示的数个实施例,方法还包含:于沉积加热材料的步骤之后,进行另一化学机械研磨制程,以移除位于介电层上方的加热材料,并暴露介电层,以形成一加热器于介电层中,其中加热器的顶表面与介电层的顶表面齐平。

[0015] 根据本揭示的数个实施例,方法还包含:形成顶电极与相变化元件于加热器上方。

附图说明

[0016] 为了让本揭示的上述和其他目的、特征、优点与实施例能更明显易懂,所附附图的说明如下:

[0017] 图1至图10绘示根据本揭示数个实施例的一种制造相变化记忆体的方法在各制造阶段的剖面示意图。

具体实施方式

[0018] 以下提供本揭示的多种不同的实施例或实例,以实现所提供的标的的不同技术特征。下述具体实例的元件和设计用以简化本揭示。当然,这些仅为示例,而非用以限定本揭示。举例而言,说明书中揭示形成第一特征结构于第二特征结构的上方,其包括第一特征结构与第二特征结构形成而直接接触的实施例,亦包括于第一特征结构与第二特征结构之间另有其他特征结构的实施例,亦即,第一特征结构与第二特征结构并非直接接触。此外,本揭示于各个实例中可能用到重复的参考符号及/或用字。这些重复符号或用字是为了简化与清晰的目的,并非用以限定各个实施例及/或所述结构之间的关系。

[0019] 另外,空间相对用语,如“下”、“上”等,是用以方便描述一元件或特征与其他元件或特征在附图中的相对关系。这些空间相对用语旨在包含除了附图所示的方位以外,装置在使用或操作时的不同方位。装置可被另外定位(例如旋转90度或其他方位),而本文所使用的空间相对叙述亦可相对应地进行解释。

[0020] 本揭示的目的在于提供一种制造相变化记忆体的方法,以其他制程步骤移除多晶硅层,而不使用氢氧化四甲基铵溶液移除多晶硅层。此方法除了可以避免使用氢氧化四甲基铵溶液造成的危险之外,又可以避免介电层中的孔洞损伤,使孔洞具有良好的尺寸稳定性。以下详述制造相变化记忆体的方法的实施例。

[0021] 图1至图10绘示根据本揭示数个实施例的一种制造相变化记忆体的方法在各制造阶段的剖面示意图。如图1所示,取得一结构,此结构包含底电极110、介电层112、隔离层114及多晶硅层116。介电层112位于底电极110上方。隔离层114位于介电层112上方,并且隔离

层114具有开口01贯穿114隔离层。多晶硅层116位于开口01内。

[0022] 在一些实施例中,如图1所示,结构还包含另一介电层103及下连接元件105。介电层103可为单层或多层结构。在一些实施例中,介电层103由氧化物、氮化物、氮氧化物或其组合制成,例如氧化硅、氮化硅、氮氧化硅或其组合。在一些实施例中,介电层103具有开口贯穿介电层103,而下连接元件105及底电极110位于开口内。

[0023] 在一些实施例中,下连接元件105包含金属、金属化合物或其组合,例如钛、钽、钨、铝、铜、钼、铂、氮化钛、氮化钽、碳化钽、氮化钽硅、氮化钨、氮化钼、氮氧化钼、氧化钨、钛铝、氮化钛铝、碳氮化钽、其他合适的材料或其组合。在一些实施例中,底电极110透过下连接元件105耦接主动元件(未绘示)。在数个实施例中,底电极110包含钨、钛、氮化钛、氮化钽、氮化铝钛、氮化铝钽、或其组合。

[0024] 在一些实施例中,如图1所示,先形成介电层103、下连接元件105及底电极110,然后在底电极110及介电层103上方形成介电层112。在一些实施例中,介电层112包含氧化物、氮化物、氮氧化物或其组合,例如氧化硅、氮化硅、氮氧化硅或其组合。在一些实施例中,介电层112由氮化硅制成,但不限于此,亦可由其他介电材料制成,如氧化硅。在一些实施例中,利用薄膜沉积制程形成介电层112。在一些实施例中,介电层112的厚度介于500纳米至1500纳米。

[0025] 在一些实施例中,在形成介电层112之后,在介电层112上方沉积隔离材料。在一些实施例中,隔离材料包含氧化物、氮化物、氮氧化物或其组合,例如氧化硅、氮化硅、氮氧化硅或其组合。在一些实施例中,隔离材料包含氧化硅,但不限于此。然后,对隔离材料进行微影蚀刻制程,以形成具有开口01的隔离层114,如图1所示。在一些实施例中,开口01的宽度大于或等于底电极110的宽度。在一些实施例中,隔离层114的厚度及介电层112的厚度的比值介于1.3至2。

[0026] 在一些实施例中,如图1所示,随后在开口01中共形地形成多晶硅层116。在一些实施例中,透过化学气相沉积形成多晶硅层116。亦可透过原子层沉积、物理沉积、低压化学气相沉积或高密度电浆化学气相沉积形成多晶硅层116。在一些实施例中,多晶硅层116具有空隙V1(亦可称为锁孔结构)位于开口01内。后续可将此锁孔结构向下转移至介电层112。

[0027] 之后,如图1至图2所示,形成孔洞贯穿多晶硅层116及介电层112,露出底电极110的上表面。详细而言,如图2所示,形成第一孔洞H1及第二孔洞H2分别贯穿多晶硅层116及其下方的介电层112。第二孔洞H2位于第一孔洞H1的下方。在一些实施例中,透过蚀刻制程形成第一孔洞H1及第二孔洞H2分别贯穿多晶硅层116及介电层112,蚀刻制程包含反应离子蚀刻、高密度电浆蚀刻或其组合。

[0028] 在一些实施例中,如图2所示,第一孔洞H1的最大宽度大于第二孔洞H2的最大宽度。在一些实施例中,第一孔洞H1的宽度小于多晶硅层116的宽度。在一些实施例中,第一孔洞H1具有宽区域H11及窄区域H12,窄区域H12位于宽区域H11的下方,并且连接第二孔洞H2。在一些实施例中,宽区域H11呈漏斗状,窄区域H12及第二孔洞H2呈柱状。在一些实施例中,宽区域H11具有一转角 θ ,转角 θ 大于89度。在一些实施例中,第二孔洞H2的宽度介于10纳米至30纳米。

[0029] 如图2至图3所示,形成保护层118于第一孔洞H1及第二孔洞H2内及多晶硅层116上方。在一些实施例中,保护层118包含无机材料、有机材料或其组合。例如可透过化学气相沉

积或其他合适的沉积制程形成包含无机材料的保护层118。无机材料可包含碳化硅、硅酸盐、硅氧烷、旋转涂布玻璃 (Spin-On Glass) 或其组合。例如可透过旋转涂布或其他合适的涂布制程形成包含有机材料的保护层118。有机材料可包含光阻。

[0030] 如图3至图4所示,对保护层118进行干蚀刻制程或化学机械研磨制程,以暴露隔离层114及多晶硅层116。在一些实施例中,此干蚀刻制程使用的处理气体包含氩气、氧气、三氟甲烷、四氟化碳的气体或其组合。在一些实施例中,此化学机械研磨制程是使用用以化学机械研磨保护层118的研磨液。在一些实施例中,暴露的隔离层114的上表面与暴露的多晶硅层116的上表面共平面或大致上共平面。在一些实施例中,暴露的多晶硅层116的上表面与位于第一孔洞H1内的保护层118的上表面共平面或大致上共平面。

[0031] 如图4至图5所示,进行化学机械研磨制程,以移除暴露的隔离层114、暴露的多晶硅层116以及位于第一孔洞H1内的保护层118,并暴露介电层112,以及留下第二孔洞H2内的保护层118。留在第二孔洞H2内的保护层118可保护第二孔洞H2,避免第二孔洞H2的尺寸改变。在一些实施例中,进行化学机械研磨制程是使用用以化学机械研磨隔离层114的研磨液。在一些实施例中,进行化学机械研磨制程仅使用此用以化学机械研磨隔离层114的研磨液。这是因为在化学机械研磨隔离层114时,多晶硅层116及保护层118失去可支撑的侧壁,因此突出的多晶硅层116及保护层118会在制程中自动剥离。如此一来,无需额外使用用以化学机械研磨多晶硅层116及/或保护层118的研磨液。

[0032] 如图5至图6所示,移除第二孔洞H2内的保护层118,以暴露第二孔洞H2及底电极110的上表面。在一些实施例中,利用干蚀刻、湿蚀刻或其组合移除第二孔洞H2内的保护层118。在一些实施例中,利用干蚀刻移除第二孔洞H2内的保护层118。在一些实施例中,移除第二孔洞H2内的保护层118的干蚀刻制程使用的处理气体包含氩气、氧气、三氟甲烷、四氟化碳或其组合。

[0033] 如图6至图7所示,沉积加热材料120'至第二孔洞H2内。在一些实施例中,加热材料120'亦沉积至介电层112上方,如图7所示。在一些实施例中,透过原子层沉积、物理气相沉积或其组合形成加热材料120'。在一些实施例中,加热材料120'包含氮化钛、氮化钽、钛或其组合。可形成一或多层的加热材料层。在一些实施例中,形成三层加热材料层,由下而上依序为氮化钽、氮化钛及氮化钽。

[0034] 值得注意的是,如图4至图5所示,隔离层114已被移除,如此一来,如图6至图7所示,沉积加热材料120'至第二孔洞H2内是相当容易的,因为填洞制程的深度(即介电层112的厚度)与宽度(即第二孔洞H2的宽度)的比值小。在一些实施例中,第二孔洞H2的深宽比值介于2.5至3.5。假若如图4所示的隔离层114未被移除,则后续沉积加热材料120'至第二孔洞H2内的制程难度较高,因为填洞制程的深度(即隔离层114的厚度与介电层112的厚度的总和)与宽度(即第二孔洞H2的宽度)的比值太大。

[0035] 如图7至图8所示,进行另一化学机械研磨制程,以移除位于介电层112上方的加热材料120',并暴露介电层112,以形成加热器120于介电层112中。加热器120的顶表面与介电层112的顶表面齐平。在一些实施例中,在此所述的化学机械研磨制程可仅使用用以移除加热材料120'(含金属)的研磨液。

[0036] 如图8至图9所示,形成相变化材料130'与顶电极材料130'于加热器120的上方,以与加热器120电性连接。在一些实施例中,先形成相变化材料130'毯覆式地覆盖介电层112

以及形成顶电极材料140' 毯覆式地覆盖相变化材料130' , 然后进行微影蚀刻制程, 以形成相变化元件130与顶电极140, 如图9至图10所示。在一些实施例中, 顶电极140包含钛、氮化钛、氮化钽、氮化铝钛、氮化铝钽、或其组合。

[0037] 由上述可知, 本揭示的制造相变化记忆体的方法以其他制程步骤(参照图3至图5)移除多晶硅层, 而不使用氢氧化四甲基铵溶液直接移除多晶硅层。如此一来, 除了可以避免使用氢氧化四甲基铵溶液造成的危险及其带来的环境污染之外, 又可以透过位于第二孔洞内的保护层避免第二孔洞损伤, 使第二孔洞具有良好的尺寸稳定性。

[0038] 另一方面, 参照图4至图7, 由于先移除隔离层, 因此沉积相变化材料至第二孔洞内的制程是相当容易的, 有利于未来制造更小尺寸的第二孔洞(亦可称接触窗)。

[0039] 以上扼要地提及多种实施例的特征, 因此熟悉此技艺的人士可较好了解本揭示的各方面。熟悉此技艺的人士应意识到, 为了落实相同的目的及/或达到在此提出的实施例的相同优点, 其可轻易使用本揭示以做为设计或修改其他制程及结构的基础。熟悉此技艺的人士亦应了解的是, 这些均等的构造不背离本揭示的精神及范围, 以及其人可在此进行各种改变、取代、及替代而不背离本揭示的精神及范围。

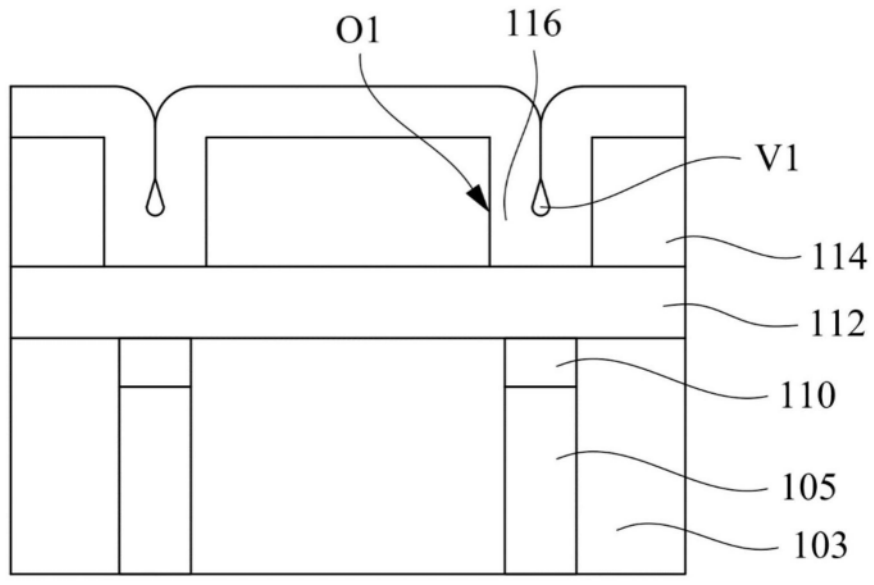


图1

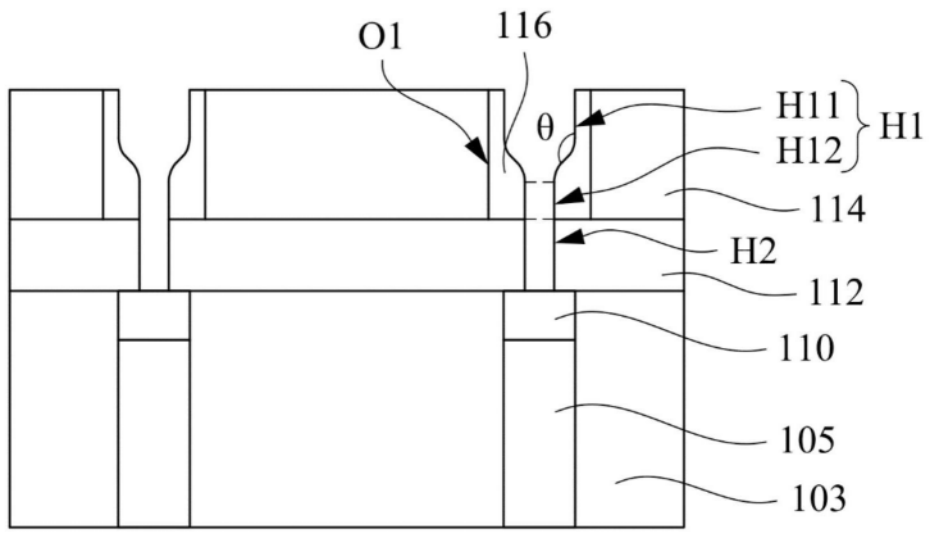


图2

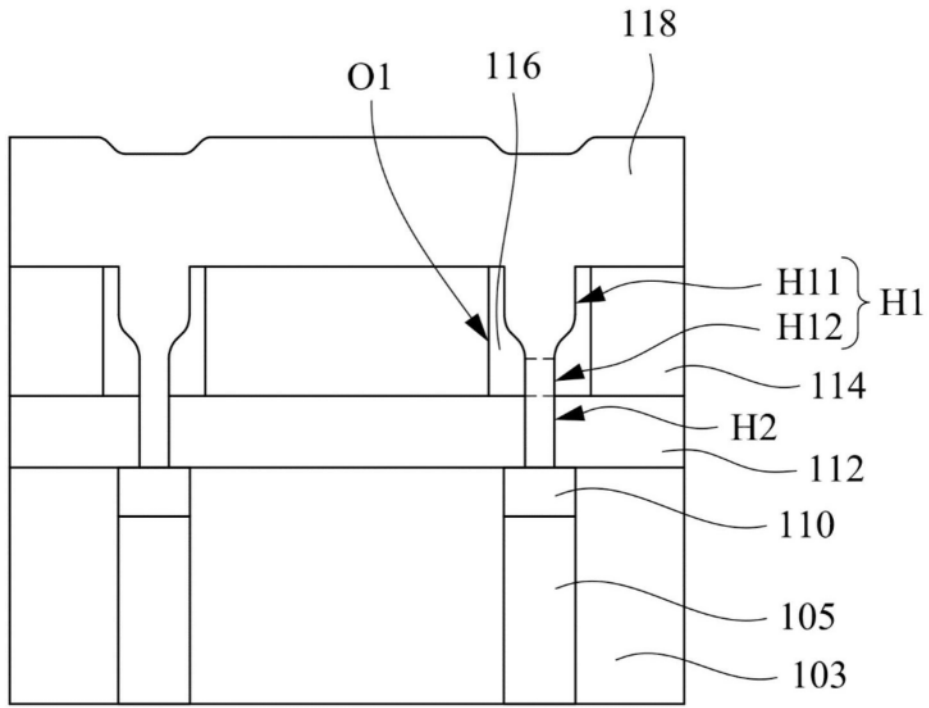


图3

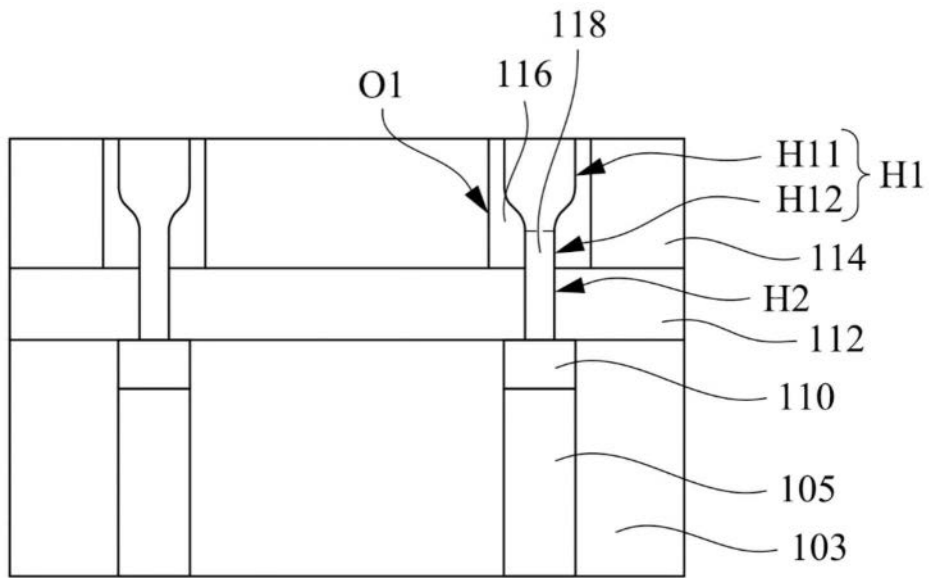


图4

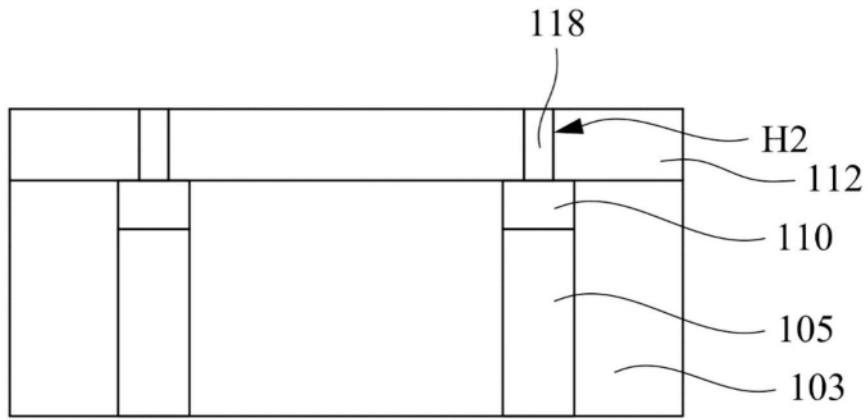


图5

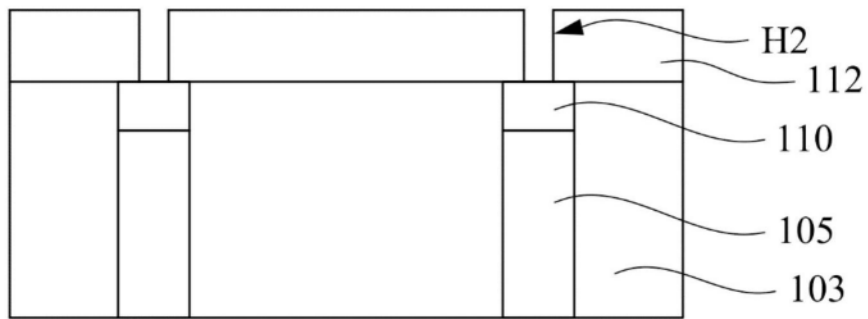


图6

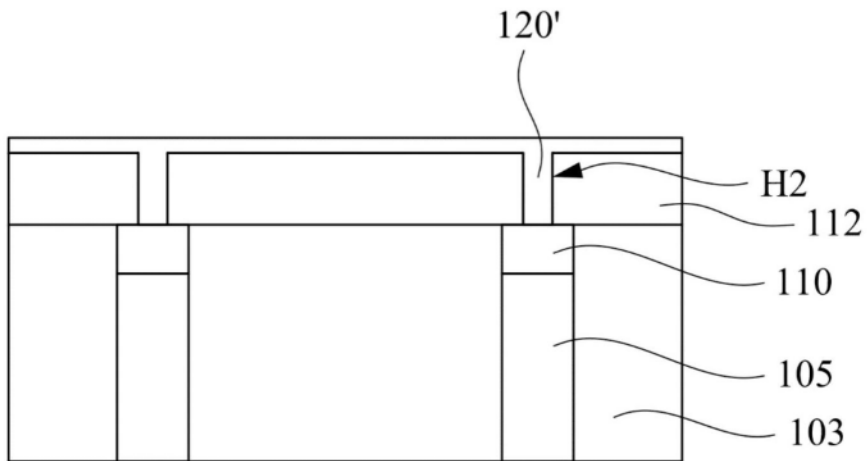


图7

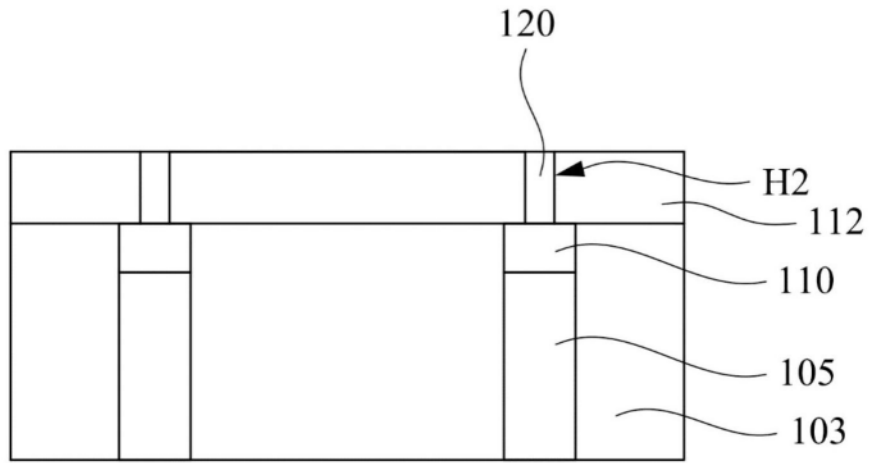


图8

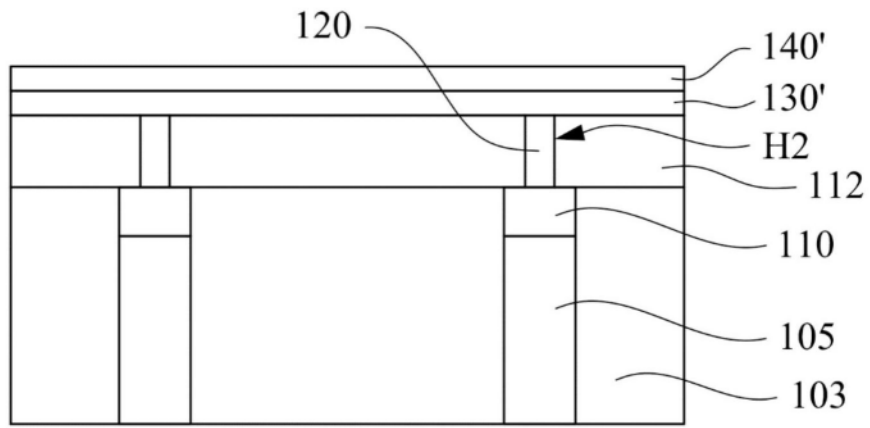


图9

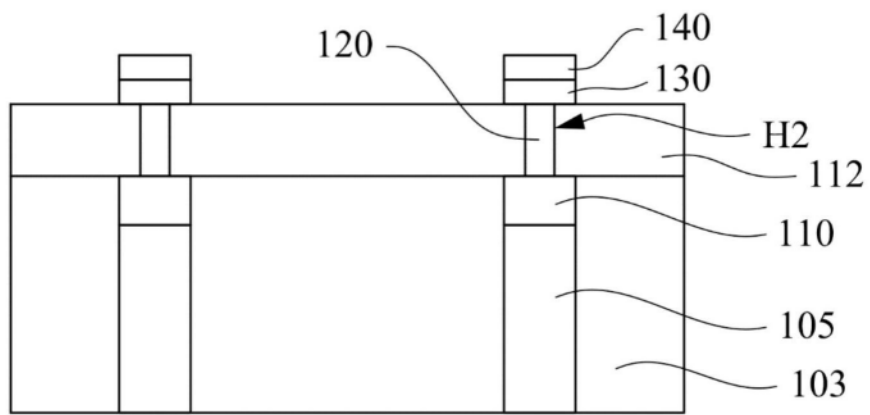


图10