(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H04N 5/335 (2006.01)
H01L 27/146 (2006.01)

(45) 공고일자 2007년03월27일
(11) 등록번호 10-0699847
(24) 등록일자 2007년03월20일

(21) 출원번호 10-2005-0053018
(22) 출원일자 2005년06월20일
심사청구일자 2005년06월20일

(65) 공개번호 10-2006-0133263
(43) 공개일자 2006년12월26일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 아사바 테츠오
경기도 수원시 영통구 영통동 황골마을 신명아파트 202동 1005호

(74) 대리인 리앤목특허법인
이해영

(56) 선행기술조사문헌
13345436
* 심사관에 의하여 인용된 문헌

심사관 : 구대성

전체 청구항 수 : 총 13 항

(54) 이미지 센서에서 협폭 밴드갭 광소자를 가지는 픽셀 회로

(57) 요약

이미지 센서에서 협폭 밴드갭 광소자를 가지는 픽셀 회로가 개시된다. 상기 이미지 센서에서는 협폭 밴드갭을 가지는 광소자에 의하여 반도체 표면으로부터 얕은 위치에서도 장파장 빛이 용이하게 흡수될 수 있다.

대표도

도 5

특허청구의 범위

청구항 1.

광소자;

전달 제어 신호에 따라 동작하는 전달 트랜지스터;

리셋 제어 신호에 따라 동작하는 리셋 트랜지스터; 및

FD 노드에 전달된 신호에 따라 동작하는 소스-폴로워 트랜지스터를 구비하고,

상기 리셋 트랜지스터를 통하여 상기 FD 노드로 전달된 신호를 기반으로 한 리셋신호 및 상기 전달 트랜지스터에 의하여 상기 광소자로부터 상기 FD 노드로 전달된 신호를 기반으로 한 영상신호가 상기 소스-폴로워 트랜지스터를 통하여 출력되고,

상기 광소자는 반도체 기판 내에 협폭 밴드갭 반도체 층을 가지도록 형성된 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 2.

제 1항에 있어서, 상기 협폭 밴드갭 반도체 층은 SiGe 층이며,

상기 SiGe 층은 Si:70% 및 Ge:30% 되도록 성장시키고 그 두께는 1μm 인 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 3.

제 1항에 있어서, 상기 협폭 밴드갭 반도체 층은 SiGeC 층인 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 4.

제 1항에 있어서,

행 선택신호에 따라 선택적으로 상기 소스-폴로워 트랜지스터 출력을 출력하거나 출력하지 않는 행 선택 트랜지스터를 더 구비하는 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 5.

제 4항에 있어서, 상기 행 선택신호가 액티브된 상태에서 상기 소스-폴로워 트랜지스터로부터 상기 출력 노드로 상기 리셋 신호 및 상기 영상신호가 출력되는 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 6.

게이트 전극은 행 선택신호를 받고, 소스/드레인 전극들 중 일측은 제1 노드에 접속되고, 나머지 일측은 출력 노드에 접속된 제1 MOSFET;

게이트 전극은 리셋 제어 신호를 받고, 소스/드레인 전극들 중 일측은 제1 전원에 접속되고, 나머지 일측은 제2 노드에 접속된 제2 MOSFET;

게이트 전극은 상기 제2 노드에 접속되고, 소스/드레인 전극들 중 일측은 상기 제1 전원에 접속되고, 나머지 일측은 상기 제1 노드에 접속된 제3 MOSFET;

게이트 전극은 전달 제어 신호를 받고, 소스/드레인 전극들 중 일측은 상기 제2 노드에 접속되고, 나머지 일측은 제3 노드에 접속된 제4 MOSFET; 및

제2 전원과 상기 제3 노드 사이에서 광전 변환하는 광소자를 구비하고,

상기 광소자는 반도체 기판 내에 협폭 밴드갭 반도체 층을 가지도록 형성된 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 7.

제 6항에 있어서, 상기 협폭 밴드갭 반도체 층은 SiGe 층이며,

상기 SiGe 층은 Si:70% 및 Ge:30% 되도록 성장시키고 그 두께는 1μm 인 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 8.

제 6항에 있어서, 상기 협폭 밴드갭 반도체 층은 SiGeC 층인 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 9.

제 6항에 있어서, 상기 픽셀 회로는 베이어 패턴의 APS 어레이를 이루는 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 10.

제 9항에 있어서, 상기 베이어 패턴 중 G 및 B 패턴에 대응되는 광소자들만 상기 협폭 밴드갭 반도체 층을 가지는 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 11.

제 9항에 있어서, 상기 광소자는 상기 협폭 밴드갭 반도체 층 위에 실리콘 에피텍셜 층을 더 가지고, 상기 실리콘 에피텍셜 층 내에 다이오드 구조가 형성되는 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 12.

제 11항에 있어서, 상기 제1 내지 제4 MOSFET는 상기 실리콘 에피텍셜 층에 형성되는 것을 특징으로 하는 이미지 센서의 픽셀 회로.

청구항 13.

제 6항에 있어서, 상기 행 선택신호가 액티브된 상태에서 바이어스 회로와 연결된 상기 출력 노드를 통하여, 상기 리셋 제어 신호에 응답하여 상기 제1 전원이 상기 제2 노드로 전달된 신호를 기반으로 한 리셋신호를 출력하고, 상기 전달 제어 신호에 응답하여 상기 광소자로부터 광전 변환된 신호가 상기 제2 노드로 전달된 신호를 기반으로 한 영상신호를 출력하는 것을 특징으로 하는 이미지 센서의 픽셀 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이미지 센서에 관한 것으로, 특히 CIS(CMOS Image Sensor) 타입의 이미지 센서의 픽셀 회로에 관한 것이다.

CMOS 이미지 센서는 휴대폰 카메라, 디지털 스틸 카메라(digital still camera) 등에 장착되어, 시야에 전개되는 영상을 촬상하여 전기적 신호로 변환하고 변환된 영상 신호를 디지털 신호로 바꾸어 전송한다. CMOS 이미지 센서에서 출력되는 디지털 영상 신호는 삼색(Red, Green, Blue) 컬러 이미지 데이터이고, 상기 디지털 영상 신호는 신호 처리되어 LCD(liquid crystal display)와 같은 디스플레이 장치를 구동한다.

도 1은 일반적인 CMOS 이미지 센서(100)를 나타내는 블록도이다. 도 1을 참조하면, 상기 이미지 센서(100)는 APS (Active Pixel Sensor) 어레이(110), 로우(row) 드라이버(120), 및 아날로그-디지털 변환부(ADC: analog-digital converter)(130)를 구비한다.

상기 로우 드라이버(120)는 로우 디코더(미도시)에서 제어 신호를 받고, 아날로그-디지털 변환부(130)는 열(column) 디코더(미도시)에서 제어 신호를 받는다. 이외에 상기 이미지 센서(100)는 전반적인 타이밍 제어 신호들과 각 픽셀의 선택 및 감지된 영상신호의 출력을 위한 어드레싱(addressing) 신호들을 생성하는 콘트롤부(미도시)를 구비한다.

도 2는 도 1의 APS 어레이(110)의 컬러 필터 패턴을 나타내는 일례이다. 통상적으로 칼라 이미지 센서(100)인 경우에, 도 2와 같이, APS 어레이(110)를 이루는 각 픽셀 상부에 특정 컬러의 빛만 받아들이도록 컬러 필터(color filter)를 설치하는데, 색 신호를 구성하기 위하여 적어도 3 가지 종류의 컬러 필터를 배치한다. 가장 일반적인 컬러 필터 어레이는 한 행에 R (red), G(green) 2 가지 컬러의 패턴, 및 다른 행에 G(green), B(blue) 2 가지 컬러의 패턴이 반복적으로 배치되는 베이어 (Bayer) 패턴을 가진다. 이때, 휘도 신호와 밀접한 관련이 있는 G(green) 컬러는 모든 행에 배치되고, R(red) 컬러, B (blue) 컬러는 각 행마다 엇갈리게 배치되어 휘도 해상도를 높인다. 디지털 스틸 카메라 등에는 해상도를 높이기 위하여 100만 픽셀 이상의 많은 픽셀을 배열한 CIS가 적용되어 있다.

이와 같은 픽셀 구조를 가지는 상기 이미지 센서(100)에서, 상기 APS 어레이(110)는 광소자(photodiode)를 이용하여 빛을 감지하여 전기적 신호로 변환하여 영상신호를 생성한다. 상기 APS 어레이(110)에서 출력되는 영상신호는 R(red), G (green), B(blue) 3색의 아날로그 신호이다. 상기 아날로그-디지털 변환부(130)는 상기 픽셀 어레이(110)에서 출력되는 아날로그 영상신호를 받아 디지털 신호로 변환한다. 광소자에서 감지된 영상신호를 아날로그-디지털 변환부(130)에서 디지털 신호로 변환할 때, CDS(Correlated Double Sampling) 방식을 이용한다. 이와 같은 CDS 구동 방식에 대하여는 주지된 바와 같다.

도 3은 도 1의 APS 어레이(110)의 단위 픽셀 구동 회로도이다. 도 3을 참조하면, APS 어레이(110)의 단위 픽셀 구동 회로(300)는 일반적으로 광소자(PD) 및 4개의 트랜지스터들을 포함한다. CDS 방식의 아날로그-디지털 변환에서는, 행 선택 신호(SEL)에 의하여 선택된 행의 각 픽셀에서 리셋 제어 신호(RX)가 액티브될 때 전원 VDD로부터 전달된 FD(Floating Diffusion) 노드의 신호가 리셋신호(VRES)로서 출력되고, 전달 제어 신호(TX)가 액티브 될 때 광소자(PD)에서 감지되어 FD 노드로 전달된 신호가 영상신호(VSIG)로서 출력됨으로써, 리셋신호(VRES)와 영상신호(VSIG)의 차이에 따른 디지털 신호로의 변환이 이루어진다. 행 선택신호(SEL), 리셋 제어 신호(RX), 및 전달 제어 신호(TX)는 상기 로우 드라이버(120)에서 생성될 수 있다.

도 3과 같이, 이미지 센서의 픽셀 회로(300)는 광소자(PD)와 리셋신호(VRES)와 영상신호(VSIG)를 적절한 타이밍에 출력하기 위한 트랜지스터들로 구성된다. 최근들어, 이미지 센서가 고화소로 진화함에 따라 작은(Small Size) 픽셀에 대한 요구가 증가되고 있고, 이에 따라 고화소 APS 어레이(110)를 이용하여 디스플레이 품질을 향상시키기 위하여, 상기 픽셀 회로(300)의 광소자 및 트랜지스터들이 적절한 크기로 설계되어야 한다.

특히, 픽셀 사이즈를 작게 할수록 픽셀을 제조하는 반도체 기판의 깊이 방향의 스케일링(scaling)도 요구된다. 그러나, 광소자(PD)의 감도 특성과 관련하여 수직적으로의 스케일링에 한계가 있다. 도 4에 도 3의 광소자(PD)의 일반적인 단면 구조가 예시되어 있다. 도 4를 참조하면, 통상적으로 광소자(PD)는 "Deep P-well" 층위에 형성되는 P-N 다이오드 형태의 구조를 가진다. 여기서, R(red) 컬러와 같은 장파장에 대하여 감도를 저하시키지 않기 위해서, "Deep P-well"은 표면으로부터3~4μm 정도의 깊이에 형성된다. 이와 같은 광소자(PD) 구조에서, 픽셀 사이즈가 큰 경우는 문제가 없으나, 픽셀 사이즈를 작게 할수록 이웃 광소자와의 크로스토크(crosstalk)가 발생하여 화질을 저하시킬 수 있다. 크로스토크를 줄이기 위하여 "Deep P-well" 층을 얕게 할 필요가 있으나, 이때에는 광소자(PD)의 감도가 약화되는 문제점이 있기 때문이다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자하는 기술적 과제는, 픽셀 축소에 대응하여 크로스토크를 줄이기 위하여 반도체의 수직 방향으로의 스케일링이 가능한 협폭 밴드갭 광소자를 적용한 이미지 센서의 픽셀 회로를 제공하는 데 있다.

발명의 구성

상기의 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 이미지 센서의 픽셀 회로는, 광소자; 전달 제어 신호에 따라 동작하는 전달 트랜지스터; 리셋 제어 신호에 따라 동작하는 리셋 트랜지스터; 및 FD 노드에 전달된 신호에 따라 동작하는 소스-폴로워 트랜지스터를 구비하고, 상기 리셋 트랜지스터를 통하여 상기 FD 노드로 전달된 신호를 기반으로 한 리셋신호 및 상기 전달 트랜지스터에 의하여 상기 광소자로부터 상기 FD 노드로 전달된 신호를 기반으로 한 영상신호가 상기 소스-폴로워 트랜지스터를 통하여 출력되고, 상기 광소자는 반도체 기판 내에 협폭 밴드갭 반도체 층을 가지도록 형성된 것을 특징으로 한다.

상기 픽셀 회로는 행 선택신호에 따라 선택적으로 상기 소스-폴로워 트랜지스터 출력을 출력하거나 출력하지 않는 행 선택 트랜지스터를 더 구비할 수 있다. 상기 행 선택신호가 액티브된 상태에서 상기 소스-폴로워 트랜지스터로부터 상기 출력 노드로 상기 리셋 신호 및 상기 영상신호가 출력되는 것을 특징으로 한다.

상기 협폭 밴드갭 반도체 층은 SiGe 층 또는 SiGeC인 것을 특징으로 한다.

상기의 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 이미지 센서의 픽셀 회로는, 게이트 전극은 행 선택신호를 받고, 소스/드레인 전극들 중 일측은 제1 노드에 접속되고, 나머지 일측은 출력 노드에 접속된 제1 MOSFET; 게이트 전극은 리셋 제어 신호를 받고, 소스/드레인 전극들 중 일측은 제1 전원에 접속되고, 나머지 일측은 제2 노드에 접속된 제2 MOSFET; 게이트 전극은 상기 제2 노드에 접속되고, 소스/드레인 전극들 중 일측은 상기 제1 전원에 접속되고, 나머지 일측은 상기 제1 노드에 접속된 제3 MOSFET; 게이트 전극은 전달 제어 신호를 받고, 소스/드레인 전극들 중 일측은 상기 제2 노드에 접속되고, 나머지 일측은 제3 노드에 접속된 제4 MOSFET; 및 제2 전원과 상기 제3 노드 사이에서 광전 변환하는 광소자를 구비하고, 상기 광소자는 반도체 기판 내에 협폭 밴드갭 반도체 층을 가지도록 형성된 것을 특징으로 한다.

상기 픽셀 회로는 베이어 패턴의 APS 어레이를 이루고, 상기 베이어 패턴 중 G 및 B 패턴에 대응되는 광소자들만 상기 협폭 밴드갭 반도체 층을 가지도록 할 수 있다. 상기 광소자는 상기 협폭 밴드갭 반도체 층 위에 실리콘 에피텍셜 층을 더 가지고, 상기 실리콘 에피텍셜 층에 다이오드 층 내에 다이오드 구조가 형성된다. 상기 제1 내지 제4 MOSFET는 상기 실리콘 에피텍셜 층에 형성될 수 있다.

상기 행 선택신호가 액티브된 상태에서 바이어스 회로와 연결된 상기 출력 노드를 통하여, 상기 리셋 제어 신호에 응답하여 상기 제1 전원이 상기 제2 노드로 전달된 신호를 기반으로 한 리셋신호를 출력하고, 상기 전달 제어 신호에 응답하여 상기 광소자로부터 광전 변환된 신호가 상기 제2 노드로 전달된 신호를 기반으로 한 영상신호를 출력하는 것을 특징으로 한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 5는 본 발명의 일실시예에 따른 CMOS 이미지 센서의 픽셀 구동 회로들(500)을 나타낸다. 도 5를 참조하면, 본 발명의 일실시예에 따른 상기 픽셀 구동 회로들(500)은 단위 픽셀 회로(510) 및 상기 단위 픽셀 회로(510)의 출력(VRES/VSIG) 노드를 바이어싱(biasing)하기 위한 바이어스 회로(520)를 포함한다. 상기 단위 픽셀 회로(510)는 2차원적으로 배열되어 APS 어레이를 이루지만, 도 5에서는 APS 어레이를 이루는 픽셀 회로들 중 어느 하나의 픽셀 회로(510)만 도시되었다. 상기 바이어스 회로(520)는 APS 어레이 영역으로부터 수직으로 위쪽 또는 아래쪽 주변에 배치될 수 있다. 본 발명의 일실시예에 따른 상기 이미지 센서는 도 1과 같은 로우(row) 드라이버, 및 아날로그-디지털 변환부(ADC: analog-digital converter)를 구비할 수 있다. 로우 드라이버(미도시)는 도 5의 행 선택신호(SEL), 리셋 제어 신호(RX) 및 전달 제어 신호(TX)를 생성할 수 있다. 아날로그-디지털 변환부(미도시)는 상기 이미지 센서의 출력(VRES/VSIG) 노드에서 출력되는 아날로그 리셋신호(VRES) 및 영상신호(VSIG)를 받아 디지털 변환할 수 있다.

예를 들어, 본 발명의 일실시예에 따른 상기 이미지 센서의 APS 어레이를 이루는 단위 픽셀 회로(510)는, 행(row) 선택 트랜지스터(M1), 리셋(reset) 트랜지스터(M2), 소스-폴로워(source follower) 트랜지스터(M3), 전달(transfer) 트랜지스터(M4) 및 광소자(PD)를 포함한다. 이 트랜지스터들은 모두 N형 MOSFET인 것으로 도시되었으나, MOSFET의 형태는 다를 수 있다.

상기 행 선택 트랜지스터(M1)에서, 게이트 전극은 행 선택신호(SEL)를 받고, 소스/드레인 전극들 중 일측은 제1 노드(ND1)에 접속되고, 나머지 일측은 출력(VRES/VSIG) 노드에 접속된다. 상기 리셋 트랜지스터(M2)에서, 게이트 전극은 리셋 제어 신호(RX)를 받고, 소스/드레인 전극들 중 일측은 일정 전원(VDD)에 접속되고, 나머지 일측은 FD 노드에 접속된다. 상기 소스-폴로워 트랜지스터(M3)에서, 게이트 전극은 상기 FD 노드에 접속되고, 소스/드레인 전극들 중 일측은 상기 일정 전원(VDD)에 접속되고, 나머지 일측은 상기 제1 노드(ND1)에 접속된다. 상기 전달 트랜지스터(M4)에서, 게이트 전극은 전달 제어 신호(TX)를 받고, 소스/드레인 전극들 중 일측은 상기 FD 노드에 접속되고, 나머지 일측은 제3 노드(ND3)에 접속된다. 상기 광소자(PD)는 전원(VSS)(예를 들어, 접지)과 상기 제3 노드(ND3) 사이에서 광전 변환한다.

여기서, 상기 광소자(PD)는 반도체 기판(610) 내에 협폭 밴드갭(narrow band gap) 반도체 층(620)을 가지도록 형성된다. 도 6a 내지 도 6c는 도 5의 광소자(PD)의 제조 공정 상의 단면 구조를 나타낸다. 도 6a를 참조하면, 먼저, 준비된 N형 또는 P형 Si(Silicon) 반도체 기판(610) 위에 SiGe(Silicon-Germanium) 층(620)을 CVD(Chemical Vapor Deposition)나 MBE(Molecular Beam Epitaxial) 법 등에 의하여 성장시킨다. 예를 들면, Si:70% 및 Ge:30% 되도록 성장시키고, 결정의 두께는 예를 들면 1μm정도가 적당하다. 상기 Si 기판(610)과 SiGe 층(620) 사이에 발생하는 격자 일그러짐을 고려할 때, 상기 SiGe 층(620) 대신에 탄소(C)를 포함하는 SiGeC 구조도 가능하다. 상기 SiGe 층(620) 또는 SiGeC 층은 협폭 밴드갭을 가진다.

다음에, 도 6b와 같이, Si 에피텍셜(epitaxial) 층(630)을 증착시킨다. 예를 들어, Si 에피텍셜 층(630)의 두께는 1μm이 적당하다. 그 후, 도 6c와 같이, 상기 SiGe 층(620)과 상기 Si 기판(610)에 걸쳐 2 μm 정도 깊이에 "Deep p-well"을 형성하고, 사이드 트렌치(trench) 및 사이드 "p-well" 등을 형성한 후, 상기 Si 에피텍셜 층(630)에 N 및 P 형 불순물(impurity) 도핑 공정으로 필요한 다이오드 형태가 만들어 질 수 있다. 이때, 도 5의 MOSFET들(M1~M4)도 상기 Si 에피텍셜 층(630)에 형성될 수 있다.

APS 어레이의 B(Blue) 패턴으로 입사되는 빛은 대부분 상기 Si 에피텍셜 층(630)에서 흡수된다. G(Geen) 패턴으로 입사되는 빛은 상기 Si 에피텍셜 층(630)과 상기 협폭 밴드갭 층(620) 모두에서 흡수된다. R(Red) 패턴으로 입사되는 빛은 상기 Si 에피텍셜 층(630)에서 일부가 흡수될 수 있지만, 대부분은 상기 협폭 밴드갭 층(620)에서 흡수된다.

SiGe 결정은 Si 결정보다 밴드갭 폭이 좁다. 따라서, R(Red) 등 장파장에 대하여 흡수 계수가 크고, 이에따라 장파장의 빛을 짧은 거리에서 흡수 할 수 있다. 짧은 거리에서 빛을 흡수 할 수 있기 때문에, 도 6c와 같이 "Deep P-well"을 형성하는 깊이가 2μm 정도로 얕아도 감도가 저하되지 않는다. 따라서, 픽셀을 작게 스케일링 할 때, 이와 같이 얕은 위치에 광소자(PD)의 "Deep P-well"을 형성하는 것에 의하여, 이웃 광소자와의 크로스토크를 현저히 감소시킬 수 있다.

본질적으로 B(Blue) 패턴의 광소자(PD)에 대해서는, 상기 협폭 밴드갭 층(620)이 불필요 할 수 있다. 즉, 상기 협폭 밴드갭 층(620)의 배치에 있어서, R(Red) 및 G(Green)와 같은 장파장 패턴에서는 상기 협폭 밴드갭 층(620)을 가지도록 하고, B(Blue) 패턴과 같은 단파장 패턴에서는 상기 협폭 밴드갭 층(620)을 가지지 않도록 설계될 수 있다.

도 7은 도 5의 픽셀 구동 회로(510)를 동작시키는 신호들의 타이밍도이다. 도 7을 참조하면, 도 5의 픽셀 회로(510)는 행 선택신호(SEL), 리셋 제어 신호(RX) 및 전달 제어 신호(TX)에 따라 동작한다. 상기 행 선택신호(SEL)는 해당 행을 선택하기 위하여 수직 스캔(scan) 주기에 한번씩 로직 하이(high) 상태로 액티브된다. 상기 리셋 제어 신호(RX)는 상기 행 선택신호(SEL)의 액티브 기간 중 일정 기간 동안 로직 로우(low) 상태로 액티브된다. 상기 전달 제어 신호(TX)는 상기 리셋 제어 신호(RX)의 로직 로우 상태 기간 중 일정 기간 동안 로직 하이 상태로 액티브된다.

예를 들어, 행 선택신호(SEL)가 액티브되기 전에, 리셋 제어 신호(RX)는 논리 하이 상태이고, 이때, 리셋 트랜지스터(M2)를 통하여 전원(VDD)이 FD 노드로 전달된다. 이에 따라, 상기 FD 노드에는 FD 노드 리셋을 위한 논리 하이 신호가 안정적으로 전달된다.

한편, 행 선택 트랜지스터(M1)는 행 선택신호(SEL)에 따라 선택적으로 상기 소스-폴로워 트랜지스터(M3) 출력을 출력(VRES/VSIG) 노드로 전달하거나 전달하지 않는다. 행 선택신호(SEL)가 액티브되면, 상기 리셋 제어 신호(RX)가 논리 로우로 되고, 이때 소스-폴로워 트랜지스터(M3)가 상기 FD 노드로 전달된 이웃 픽셀의 리셋 제어 신호(RX)에 따라 동작하

여, 그에 비례하는 해당 전류를 출력한다. 이에 따라, 행 선택 트랜지스터(M1)가 소스-폴로워 트랜지스터(M3)의 출력을 받아, 바이어스 회로(520)에 연결된 행 선택 트랜지스터(M1)의 소스 단자를 통하여 리셋신호(VRES)로서 아날로그-디지털 변환부(미도시)로 독출(readout)한다.

전달 트랜지스터(M4)는 전달 제어 신호(TX)에 따라 선택적으로 상기 광소자(PD) 출력을 상기 FD 노드로 전달하거나 전달하지 않는다. 리셋신호(VRES)가 독출된 후에, 전달 제어 신호(TX)가 일정 기간동안 논리 하이 상태로 액티브되고, 이에 따라 광소자(PD)에서 광전 변환된 신호가 FD 노드로 전달된다. 전달 제어 신호(TX)가 논리 로우로 바뀌어 광전 변환된 신호가 FD 노드로 전달 완료되면, 상기 소스-폴로워 트랜지스터(M3)가 동작하여 상기 FD 노드로 전달된 광전 변환된 신호에 따라 그에 비례하는 해당 전류를 출력한다. 이에 따라, 행 선택 트랜지스터(M1)가 소스-폴로워 트랜지스터(M3)의 출력을 받아, 바이어스 회로(520)에 연결된 행 선택 트랜지스터(M1)의 소스 단자를 통하여 영상신호(VSIG)로서 아날로그-디지털 변환부(미도시)로 독출(readout)한다.

이와 같은 픽셀 회로(510) 동작에 의하여, 도 5의 행 선택신호(SEL)가 각 행세서 차례로 액티브될 때마다, 각 행의 픽셀들에서는 해당 리셋신호들(VRES) 및 영상신호들(VSIG)을 출력한다.

상기 아날로그-디지털 변환부(미도시)는 CDS 방식으로 동작할 수 있다. 즉, 상기 출력 리셋신호(VRES)에 대한 상기 영상신호(VSIG)의 차이에 대응하는 아날로그 신호를 디지털 신호로 변환하여 출력할 수 있다. 이와 같이 변환된 디지털 신호는 디지털 신호 처리부(미도시)로 출력되어 소정 보간(interpolation) 처리된다. 또한, 상기 디지털 신호 처리부는 LCD와 같은 디스플레이 장치의 해당 해상도에 적합한 구동 신호들을 생성하여, 디스플레이 장치를 구동한다.

위에서 기술된 바와 같이, 본 발명의 일실시예에 따른 이미지 센서에서는, 협폭 밴드갭을 가지는 광소자(PD)에 의하여 반도체 표면으로부터 얕은 위치에서도 장파장 빛이 용이하게 흡수될 수 있다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 이미지 센서에서는, 협폭 밴드갭 광소자를 적용하여 장파장 빛의 흡수 계수를 증대시키므로 수직 방향으로의 스케일링이 가능하게된다. 이에 따라, 이웃 광소자간의 크로스토크를 저하시키므로 리셋 신호에 대한 영상 신호의 SNR(Signal-to-Noise Ratio)을 증가시키며, 이에 따라 LCD 등에 디스플레이되는 화질을 개선시킬 수 있다.

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 이미지 센서를 나타내는 블록도이다.

도 2는 도 1의 APS 어레이의 컬러 필터 패턴을 나타내는 일례이다.

도 3은 도 1의 APS 어레이의 단위 픽셀 구동 회로도이다.

도 4는 도 3의 광소자의 일반적인 단면 구조를 나타낸다.

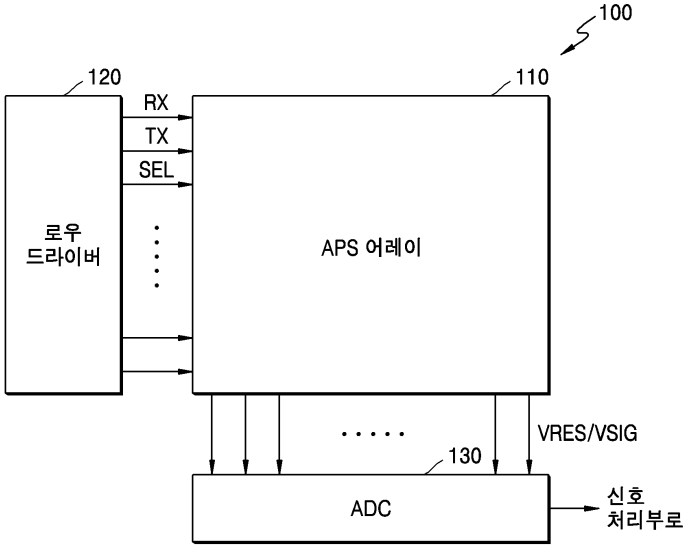
도 5는 본 발명의 일실시예에 따른 이미지 센서의 픽셀 구동 회로들을 나타낸다.

도 6a 내지 도 6c는 도 5의 광소자의 제조 공정 상의 단면 구조를 나타낸다.

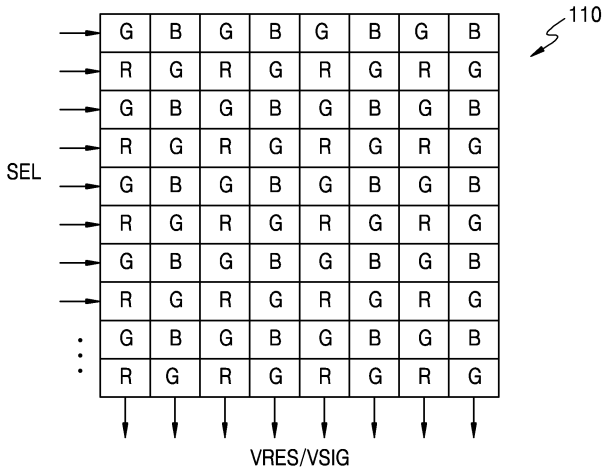
도 7은 도 5의 픽셀 구동 회로의 신호들에 대한 타이밍도이다.

도면

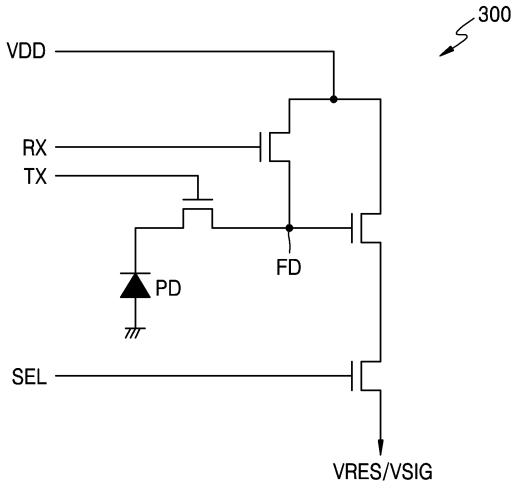
도면1


100
120
110
RX
TX
SEL
로우
드라이버
APS 어레이
VRES/VSIG
130
ADC
신호
처리부로

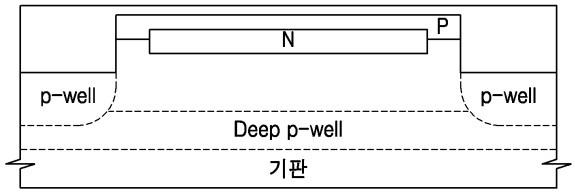
도면2


110
SEL
VRES/VSIG

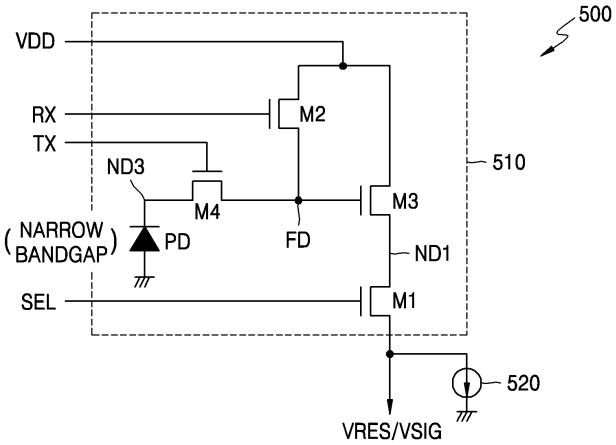
도면3



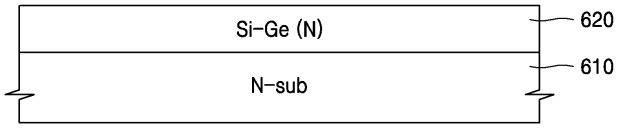
도면4



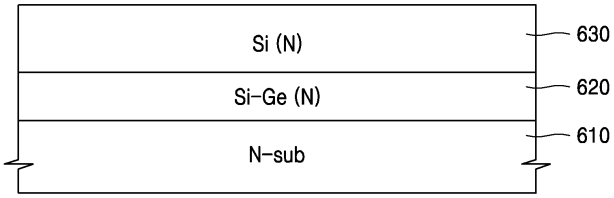
도면5



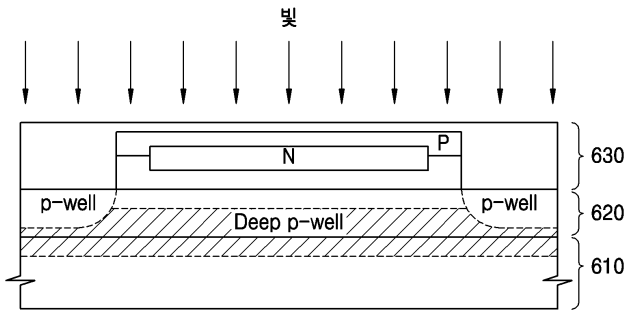
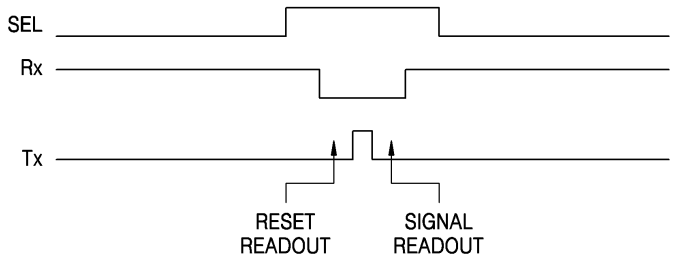
도면6a



도면6b



도면6c



도면7