

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4718677号  
(P4718677)

(45) 発行日 平成23年7月6日(2011.7.6)

(24) 登録日 平成23年4月8日(2011.4.8)

(51) Int.Cl. F I  
 HO 1 L 27/04 (2006.01) HO 1 L 27/04 H  
 HO 1 L 21/822 (2006.01) GO 2 F 1/1368  
 GO 2 F 1/1368 (2006.01) HO 1 L 29/78 6 2 3 A  
 HO 1 L 29/786 (2006.01)

請求項の数 8 (全 21 頁)

(21) 出願番号	特願2000-370873 (P2000-370873)	(73) 特許権者	000153878
(22) 出願日	平成12年12月6日(2000.12.6)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2002-176139 (P2002-176139A)		神奈川県厚木市長谷398番地
(43) 公開日	平成14年6月21日(2002.6.21)	(72) 発明者	村上 智史
審査請求日	平成19年11月28日(2007.11.28)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	塚本 洋介
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	熱海 知昭
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	坂倉 真之
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上に形成された結晶質半導体膜と、  
 前記結晶質半導体膜上に形成された絶縁膜と、  
 前記絶縁膜を間に挟んで前記結晶質半導体膜と一部重なり、互いに間隔をあけて配置された第1の信号線及び第2の信号線と、  
前記第1の信号線、前記第2の信号線、及び前記絶縁膜上に形成され、前記第1の信号線の一部及び前記第2の信号線の一部を露出する開口部を有する層間絶縁膜とを有し、  
前記第1の信号線と前記第2の信号線は、前記開口部及び前記層間絶縁膜上に形成された金属配線で電気的に接続されていることを特徴とする半導体装置。

10

【請求項2】

請求項1において、  
 前記第1の信号線及び前記第2の信号線はゲート信号線であることを特徴とする半導体装置。

【請求項3】

請求項1または2において、  
前記結晶質半導体膜、前記絶縁膜、前記第1の信号線、及び前記第2の信号線を有する保護回路を具備し、  
前記保護回路は、駆動回路と画素との間に設けられていることを特徴とする半導体装置

20

## 【請求項 4】

請求項 3 において、

前記保護回路は、前記画素のコンタクトホール形成で発生した静電気から前記画素及び前記駆動回路を保護することを特徴とする半導体装置。

## 【請求項 5】

請求項 1 乃至 4 のいずれか一において、

前記結晶質半導体膜は n 型または p 型を付与する不純物元素を含んでいることを特徴とする半導体装置。

## 【請求項 6】

絶縁表面上に結晶質半導体膜を形成し、

前記結晶質半導体膜上に絶縁膜を形成し、

前記絶縁膜上に導電膜を形成し、

前記導電膜をパターンニングして第 1 の信号線及び第 2 の信号線を形成し、

前記第 1 の信号線及び第 2 の信号線を覆う層間絶縁膜を形成し、

前記層間絶縁膜にコンタクトホールを形成し、

前記コンタクトホール及び前記層間絶縁膜上に、前記第 1 の信号線と前記第 2 の信号線とを電氣的に接続する金属配線を形成し、

前記第 1 の信号線の一部及び前記第 2 の信号線の一部は、前記絶縁膜を介して前記結晶質半導体膜と重なることを特徴とする半導体装置の作製方法。

10

## 【請求項 7】

請求項 6 において、

前記第 1 の信号線及び前記第 2 の信号線はゲート信号線であることを特徴とする半導体装置の作製方法。

20

## 【請求項 8】

請求項 6 または 7 において、

前記結晶質半導体膜は n 型または p 型を付与する不純物元素を含んでいることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は半導体装置の生産性向上のための技術に係わり、特に薄膜トランジスタ (Thin Film Transistor; TFT) 等のスイッチング素子等の静電破壊を防止する技術に関するものである。

30

## 【0002】

なお、本明細書中において半導体装置とは半導体特性を利用することで機能しうる装置全般を指し、電気光学装置 (以下、表示装置と記す)、半導体回路および電子機器は全て半導体装置である。

## 【0003】

## 【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜 (厚さ数百 ~ 数千 nm 程度) を用いて TFT を作製する技術が開発されている。TFT は集積回路 (Integrated Circuit; IC) や電気光学装置のような半導体装置に広く応用され、特に表示装置などのスイッチング素子として開発が急がれている。

40

## 【0004】

このように、近年の半導体装置は、モニターやテレビさらに携帯端末の表示装置として用途が拡大しているとともに量産化が進んでいる。

## 【0005】

従来の半導体装置全体の回路構成図の一例を図 18 に示す。画素領域 1701 には、多数の画素セルが行方向及び列方向に画素セルアレイとして配列されている。前記画素セルは TFT と、透明画素電極と、液晶と、保持容量とから構成されている。

50

## 【 0 0 0 6 】

ゲート信号線側駆動回路 1711 は、シフトレジスタ回路 1707 と、レベルシフト回路 1708 と、バッファ回路 1709 と、保護回路 1710 とから構成されている。

## 【 0 0 0 7 】

ソース信号線側駆動回路 1712 は、シフトレジスタ回路 1702 と、レベルシフト回路 1703 と、バッファ回路 1704 と、サンプリング回路 1705 及びプリチャージ回路 1706 から構成されている。尚、プリチャージ回路 1706 は画素領域 1701 を挟んで、シフトレジスタ回路 1702 と、レベルシフト回路 1703 と、バッファ回路 1704 と、サンプリング回路 1705 とは逆の位置に設けても良い。

## 【 0 0 0 8 】

上記半導体装置は、絶縁表面上に結晶質半導体膜を形成し、前記結晶質半導体膜上にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、薄膜トランジスタを形成している。次いで前記薄膜トランジスタを覆う層間絶縁膜を形成し、薄膜トランジスタ同士を電気的に接続するために層間絶縁膜をドライエッチングしてコンタクトホールを形成し、金属配線を形成する工程によって作製される。

## 【 0 0 0 9 】

前記半導体装置を作製する工程は、画素領域 1701 と、ゲート信号線側駆動回路 1711 と、ソース信号線側駆動回路 1712 とを同一の工程で作製することを特徴としている。

## 【 0 0 1 0 】

従来の回路の作製方法と静電気の発生と静電気による TFT の破壊を図 19 に基づいて説明する。まず、絶縁表面上に結晶質半導体膜 1803, 1804 を成膜した。次に、前記結晶質半導体膜 1803, 1804 を覆うように絶縁膜 1805 を成膜した。次に、前記絶縁膜 1805 の上にゲート信号線 1806 を形成した。前記の 3 つの工程で画素 TFT 1801 と駆動回路 TFT 1802 が同時に形成された。(図 19 (A))

## 【 0 0 1 1 】

画素 TFT 1801 と駆動回路 TFT 1802 を覆うように層間絶縁膜 1807 を成膜した。そして、画素 TFT 1801 と駆動回路 TFT 1802 をそれぞれ電気的に繋ぐために、コンタクトホール 1808, 1809 をドライエッチングで形成した。尚、図 19 (B) におけるコンタクトホール 1808, 1809 はゲート信号線 1806 の後ろに位置する。前記ドライエッチングの工程時に静電気が発生し、発生した静電気はコンタクトホールからゲート信号線へと移動することが確認された。図 19 (B) の矢印は画素 TFT のコンタクトホールで発生した静電気がゲート信号線を介して駆動回路 TFT に移動していく様子を示している。移動した静電気は、駆動回路 TFT のゲート絶縁膜を破壊して結晶質半導体層 1803 に移動した。よって、駆動回路 TFT 1802 は静電気により破壊された。(図 19 (B)) 従来の回路では、前記のように発生し移動する静電気による TFT の破壊を防止できなかった。

## 【 0 0 1 2 】

従来の回路のプリチャージ回路付近の静電気による TFT の破壊を図 20 に示す。画素領域で発生した静電気は、ソース信号線を移動して画素領域上端のコンタクトホール 1903 に移動した。次に、静電気はプリチャージ回路のドレイン部のコンタクトホール 1904 に移動した。さらに、プリチャージ回路のドレイン部のコンタクトホール 1904 からプリチャージ回路の第 1 の信号線 1905 に移動し、静電気はプリチャージ回路の第 2 の信号線 1906 へ移動した。

## 【 0 0 1 3 】

静電気が、プリチャージ回路のドレイン部のコンタクトホール 1904 からプリチャージ回路の第 1 の信号線 1905 に移動した時、絶縁膜を破壊して移動したため、プリチャージ回路は破壊された。従来の回路では、前記のように発生し移動する静電気によるプリチャージ回路の破壊を防止できなかった。

## 【 0 0 1 4 】

10

20

30

40

50

以上の問題により半導体装置のパネル表示において線欠陥や点欠陥等の表示不良の原因に繋がり、歩留まり及び信頼性の低下を招いていた。

【 0 0 1 5 】

【 発明が解決しようとする課題 】

半導体装置を作製するためには微細加工が必要とされ、特に直径  $3 \mu\text{m}$  のコンタクトホールを層間絶縁膜に形成するためには、微細加工に優れているドライエッチングが不可欠である。

【 0 0 1 6 】

ドライエッチング工程は以下の ( 2 ) ~ ( 6 ) のステップが繰り返すことにより進行する。

( 1 ) 真空チャンバー内にエッチングガス (  $\text{XeF}_2$ 、 $\text{CF}_4$  等 ) を導入し上下電極間に高周波電圧を印加することでプラズマが発生する。

( 2 ) 発生したプラズマから正の電荷を持つ反応イオンが層間絶縁膜表面に垂直に入射する。

( 3 ) 反応イオンが層間絶縁膜表面に吸着する。

( 4 ) 層間絶縁膜表面に吸着した反応イオンが表面で反応し、反応生成物が形成する。

( 5 ) 反応生成物が層間絶縁膜表面から脱離する。

( 6 ) 層間絶縁膜表面から脱離した反応生成物を排気する。

【 0 0 1 7 】

静電気の発生は、機械的作用によって正と負の電荷の分離させる現象であるので、固体表面間、固体と液体表面間、気体による固体や液体表面の分裂と分離、もしくは固体や液体がイオン化された気体を含むことにより起こる。従って前記ステップの中で ( 3 ) と ( 5 ) のステップの際に静電気が発生していることが予想される。そして、前記静電気の発生は押さえることができない。

【 0 0 1 8 】

特に層間絶縁膜をコンタクト開孔するためのドライエッチングの際、コンタクトホールとゲート信号線間でシリコンが消失するような静電破壊が発生し、静電気の移動はコンタクトホールからコンタクトホールへの移動が多く確認されている。

【 0 0 1 9 】

また、長いゲート信号線が静電気を引き寄せるアンテナ効果を有し、静電破壊箇所がゲート信号線の両端に見られる。

【 0 0 2 0 】

従来の回路でもゲート信号線側駆動回路 1 7 1 1 に保護回路 1 7 1 0 が形成されていた。しかし、前記保護回路 1 7 1 0 は金属配線を形成した後に機能する保護回路であるために、TFT 作製プロセス途中である層間絶縁膜のコンタクト開孔時に発生する静電気による TFT の破壊を防止する効果がない。従って、ゲート信号線を移動した静電気は TFT のゲート電極に移動し、ゲート絶縁膜を破壊してソースもしくはドレイン領域からソース信号線に移動する。前記のように静電気によってゲート信号線側駆動回路 1 7 1 1 や画素領域 1 7 0 1 の TFT が破壊される。

【 0 0 2 1 】

更に、層間絶縁膜をコンタクト開孔するためのドライエッチングの際に画素領域で発生した静電気は、画素領域 1 7 0 1 上端のコンタクトホールからプリチャージ回路 1 7 0 6 のドレイン部のコンタクトホールに移動する。更に静電気はプリチャージ回路 1 7 0 6 の第 1 の信号線に移動し、プリチャージ回路の第 2 の信号線に移動している。プリチャージ回路 1 7 0 6 のドレイン部のコンタクトホールからプリチャージ回路 1 7 0 6 の第 1 の信号線に移動する際、静電気は絶縁膜を破壊して移動する。

【 0 0 2 2 】

上記のように従来の半導体装置回路では、層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気によるゲート信号線側駆動回路 1 7 1 1、画素領域 1 7 0 1 またはソース信号線側駆動回路 1 7 1 2 の TFT の破壊を防止することができず、半導体

10

20

30

40

50

装置のパネル表示において、線欠陥や点欠陥等の表示不良の原因に繋がり、歩留まり及び信頼性の低下を招いていた。

【 0 0 2 3 】

【課題を解決するための手段】

前記問題を解決するためには静電気の移動する経路に第1の保護回路を予め設けて破壊させてやる方法と、静電気の移動する経路を予め設けてプリチャージ回路の破壊を防止する方法で、画素TFTと駆動回路TFTが破壊されるのを防止することが可能である。よって、本発明は画素TFTと駆動回路TFTの静電破壊を防止する第1の保護回路を、画素領域と駆動回路領域または画素領域と第2の保護回路領域の間に設けること。また、プリチャージ回路の第1の信号線端にコンタクトホールを設けることにより、発生した静電気をプリチャージ回路のTFTを破壊せずにプリチャージ回路の第2の信号線に移動させることである。

10

【 0 0 2 4 】

また、本発明に関する画素TFTと駆動回路TFTの静電破壊を防止する第1の保護回路とプリチャージ回路は、画素領域や駆動回路領域の薄膜トランジスタを形成する工程と同一の工程で作製することが可能であるので、新たな作製手順を追加する必要がない。

【 0 0 2 5 】

なお、本明細書中において第1の保護回路とは、半導体装置の作製プロセス中に発生する静電気から画素TFTと駆動回路TFTを保護する回路で、発生した静電気によって自らを破壊されることで発生した静電気のエネルギーを減少させて画素TFTと駆動回路TFTの静電破壊を防止する機能を有する回路である。

20

【 0 0 2 6 】

まず、層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気の移動する経路に第1の保護回路を設けて破壊させることによって画素TFTと駆動回路TFTが破壊されるのを防止する方法を図1に基づいて説明する。

【 0 0 2 7 】

まず、絶縁表面上に結晶質半導体膜14, 15, 16を成膜した。次に、前記結晶質半導体膜14, 15, 16を覆うように絶縁膜17を成膜した。次に、前記絶縁膜17の上にゲート信号線18, 19を形成した。(図1(A))

【 0 0 2 8 】

第1の保護回路は、結晶質半導体膜15上部でゲート信号線18とゲート信号線19とを間隔をあけて配置しているため、層間絶縁膜20のコンタクト開孔時には電氣的に接続されていない。よって、コンタクトホール24を形成するためのドライエッチングで発生した静電気は、ゲート信号線19をそのまま移動することはできないので、図1(B)の矢印で示したようにゲート信号線19からゲート絶縁膜17を破壊して結晶質半導体膜15を通り、再度ゲート絶縁膜17を破壊してゲート信号線18に移動する。尚、図1(B)においてコンタクトホール21, 24はゲート信号線18, 19の後ろに位置する。(図1(B))

30

【 0 0 2 9 】

層間絶縁膜20にコンタクトホールを形成するためのドライエッチングで発生した静電気が第1の保護回路13を破壊した時点で、前記静電気は駆動回路TFT12を破壊するだけのエネルギーを失っているので、駆動回路TFT12を静電破壊から防止することが可能となる。(図1(B))

40

【 0 0 3 0 】

図1(B)の時点でゲート信号線18と19が接続されていないために画素領域と駆動回路領域は電氣的に接続されていない。よって、画素領域と駆動回路領域を接続するために、金属配線形成工程で金属配線26を形成した。(図1(C))

【 0 0 3 1 】

次に、層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気の移動する経路を予め設けて、プリチャージ回路が破壊されるのを防止する方法を説明する。

50

## 【 0 0 3 2 】

層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気をプリチャージ回路の第1の信号線に移動させるために、プリチャージ回路を画素領域と間隔をあけて配置するように作製する。更にプリチャージ回路の画素領域側の第1の信号線端にコンタクトホールを設けることで、静電気が画素領域上端のコンタクトホールからプリチャージ回路の第1の信号線端に設けたコンタクトホールを介してプリチャージ回路の第1の信号線に移動する。第1の信号線に移動した静電気はプリチャージ回路の第2の信号線を通って行くのでプリチャージ回路の静電破壊を防止することが可能となる。

## 【 0 0 3 3 】

## 【 発明の実施の形態 】

10

## [実施形態1]

本発明の実施形態の例として、画素領域と駆動回路領域の間に第1の保護回路を組み込んだ回路を図8(A)に示す。また、第1の保護回路の断面図を拡大したものを図8(B)に示す。前記第1の保護回路の実施形態を図8(A)、図8(B)に基づいて説明する。

## 【 0 0 3 4 】

ガラス表面上に成膜された下地膜(図に番号記載なし)の上に結晶質半導体膜704を作製した。前記結晶質半導体膜704を覆うようにゲート絶縁膜705を10~200nm、好ましくは50~150nm成膜した。ゲート絶縁膜705の上にゲート信号線706,707を100~400nm成膜した。尚、ゲート信号線706,707は結晶質半導体膜704上部で間隔をあけて配置するように作製されている。

20

## 【 0 0 3 5 】

結晶質半導体膜704、ゲート信号線706,707の上に層間絶縁膜708を積層した。その後層間絶縁膜708にコンタクトホールを形成し、金属配線709をゲート信号線706,707と電氣的に接続するように形成している。前記金属配線709は第1の保護回路が破壊されたとき、画素領域703と駆動回路領域701を電氣的に接続するものである。

## 【 0 0 3 6 】

画素領域703で層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気は、ゲート信号線706から駆動回路領域701に向かって移動する。層間絶縁膜のコンタクト開孔時には、ゲート信号線706と707は間隔をあけて配置されている。よって、ゲート信号線706から移動してきた静電気は、ゲート絶縁膜705を破壊して結晶質半導体膜704に移動する。再び、ゲート絶縁膜705を破壊してゲート信号線707を通り駆動回路領域701へ静電気が移動する。

30

## 【 0 0 3 7 】

第1の保護回路702を破壊した静電気は、駆動回路領域701に移動しても駆動回路領域701を破壊するだけのエネルギーを失ったために、駆動回路領域701の破壊を防止することができる。

## 【 0 0 3 8 】

逆に駆動回路領域701で層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気は、ゲート信号線707から画素領域703に向かって移動する。

40

## 【 0 0 3 9 】

第1の保護回路702を破壊することで、静電気は画素領域703に移動しても画素領域703を破壊するだけのエネルギーを失っているために、画素領域703の破壊を防止することができる。

## 【 0 0 4 0 】

その後、金属配線709をゲート信号線706,707に電氣的に接続することで、画素領域703と駆動回路領域701を電氣的に接続することができる。

## 【 0 0 4 1 】

## [実施形態2]

本発明の実施形態の例として、画素領域と第2の保護回路の間に第1の保護回路を組み込

50

んだ回路を図9(A)に示す。また、第1の保護回路の断面図を拡大したものを図9(B)に示す。前記第1の保護回路の実施形態を図9(A)、図9(B)に基づいて説明する。

【0042】

画素領域と第2の保護回路の間に取り入れた第1の保護回路802は、実施形態1の画素領域と駆動回路領域の間に取り入れた第1の保護回路702と同様の構造及び機能を有している。

【0043】

画素領域801で層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気はゲート信号線807から第2の保護回路803に向かって移動する。層間絶縁膜のコンタクト開孔時には、ゲート信号線806と807は間隔をあけて配置されている。よって、ゲート信号線807から移動してきた静電気は、ゲート絶縁膜805を破壊して結晶質半導体膜804を移動する。再び、ゲート絶縁膜805を破壊してゲート信号線806を通り第2の保護回路803へ静電気が移動する。

10

【0044】

第1の保護回路802を破壊することで、静電気は第2の保護回路801に移動しても第2の保護回路801を破壊するだけのエネルギーを失っているために、第2の保護回路801の破壊を防止することができる。

【0045】

その後、金属配線809をゲート信号線806、807に電氣的に接続することで、画素領域801と第2の保護回路803を電氣的に接続することができる。

20

【0046】

[実施形態3]

プリチャージ回路周辺における本発明の実施形態の例である回路を図10に示す。前記プリチャージ回路の実施形態を図10に基づいて説明する。

【0047】

プリチャージ回路901は画素領域902と間隔をあけて配置されており、プリチャージ回路の第1の信号線907の画素側端にコンタクトホール904、プリチャージ回路のコンタクトホール905、プリチャージ回路の第2の信号線908及びプリチャージ回路の第2の信号線のコンタクトホール906を有している。また、プリチャージ回路の第1の信号線907はプリチャージ回路の第2の信号線908と直接接続せず、金属配線で電氣的に接続されている。

30

【0048】

画素領域902で層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気は、画素のコンタクトホール903からプリチャージ回路の第1の信号線のコンタクトホール904に移動し、プリチャージ回路の第1の信号線のコンタクトホール904からプリチャージ回路のコンタクトホール905に移動し、プリチャージ回路のコンタクトホール905からプリチャージ回路の第2の信号線のコンタクトホール906に移動した。

【0049】

前記の静電気の移動では、プリチャージ回路の第1の信号線のコンタクトホール904を作製したために、静電気がプリチャージ回路のドレイン部のコンタクトホール909を経由せずにプリチャージ回路の第1の信号線907を通過したのでプリチャージ回路の破壊が起こらなかった。

40

【0050】

[実施形態4]

画素領域と駆動回路領域の間に2個の第1の保護回路1002を組み込んだ回路を図11に示す。

【0051】

前記第1の保護回路1002の1つ1つは、第1の保護回路702と同様の構造を有して

50

おり、層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気に第1の保護回路1002を破壊させることによって画素TFTと駆動回路TFTの静電破壊を防止する機能を有している。

【0052】

図11のように第1の保護回路を2個配置することにより、層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気の持つエネルギーをより低下させることが可能で、より静電破壊対策に効果が得られる。

【0053】

[実施形態5]

画素領域と駆動回路領域の間に2個の第1の保護回路1102を組み込んだ回路を図12(A)、第1の保護回路1102の断面図を図12(B)に示す。

10

【0054】

前記第1の保護回路1102は、第1の保護回路702と同様の構造を有しており、層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気に第1の保護回路1102を破壊させることによって画素TFTと駆動回路TFTの静電破壊を防止する機能を有している。

【0055】

図12のように第1の保護回路を2個配置することにより、層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気の持つエネルギーをより低下させることが可能で、より静電破壊対策に効果が得られる。

20

【0056】

[実施形態6]

画素領域と駆動回路領域の間に第1の保護回路1202を組み込んだ回路を図13(A)、第1の保護回路1202の断面図を図13(B)に示す。

【0057】

ガラス表面上に成膜された下地膜(図に番号記載なし)の上に結晶質半導体膜1203, 1204を作製した。前記結晶質半導体膜1203, 1204を覆うようにゲート絶縁膜1205を成膜した。ゲート絶縁膜1205の上にゲート信号線1206~1208を成膜した。尚、ゲート信号線1206と1207は結晶質半導体膜1203上部で間隔をあけて配置するように成膜され、ゲート信号線1207と1208は結晶質半導体膜1204上部で間隔をあけて配置するように成膜されている。

30

【0058】

結晶質半導体膜1203, 1204、ゲート信号線1206~1208の上に層間絶縁膜1209を積層した。その後、層間絶縁膜1209にコンタクトホールを形成し、金属配線1210をゲート信号線1206と1208を電氣的に接続するように形成している。前記金属配線1210は第1の保護回路が破壊された後、画素領域703と駆動回路領域701を電氣的に接続するものである。

【0059】

第1の保護回路1202は[実施形態1]、[実施形態2]、[実施形態4]または[実施形態5]と同様で、層間絶縁膜をコンタクト開孔するためのドライエッチングで発生した静電気の持つエネルギーをより低下させ、画素TFTと駆動回路TFTの静電破壊を防ぐ機能を有している。

40

【0060】

【実施例】

[実施例1]

第1の保護回路を組み込んだ半導体装置の製造方法の詳細な説明を図2~図7に基づいて説明する。

【0061】

まず、本発明を組み込んだ半導体装置全体の回路構成を図7に示す。半導体装置は、画素領域601とゲート信号線側駆動回路612とソース信号線側駆動回路613で構成され

50



ている。ゲート信号線側駆動回路612は、シフトレジスタ回路606と、レベルシフト回路607と、バッファ回路608と、第2の保護回路609と、第1の保護回路611で構成されている。ソース信号線側駆動回路613はシフトレジスタ回路602と、レベルシフト回路603と、バッファ回路604と、サンプリング回路605と、プリチャージ回路610で構成されている。シフトレジスタ回路602, 606とレベルシフト回路603, 607とバッファ回路604, 608には、ホットキャリア対策効果に優れたGOLD構造の多結晶シリコンTFTが使用されており、一方画素領域601と周辺回路の一部であるサンプリング回路605には、オフ電流値を押さえる効果に優れたLDD構造の多結晶シリコンTFTが使用されている。更に、第1の保護回路611は画素領域601とバッファ回路608との間、及び画素領域601と第2の保護回路609との間に組み込み、プリチャージ回路610は画素601とサンプリング回路605の間に組み込んでいる。

10

#### 【0062】

前記回路構成の半導体装置の製造法について、以下に図2～図6を用いて具体的に記載する。なお図2～図6は[実施形態1]を示した図8のA～A'断面である。

#### 【0063】

最初に、ガラス基板100上にプラズマCVD法により、各々組成比の異なる第1層目の酸化窒化シリコン膜101aを50nmと第2層目の酸化窒化シリコン膜101bを100nmの膜厚で堆積し、下地膜101を成膜する。尚、ここで用いるガラス基板100としては、石英ガラスまたはバリウムホウケイ酸ガラスまたはアルミホウケイ酸ガラス等がある。(図2(A))

20

#### 【0064】

次に、前記下地膜101(101aと101b)上にプラズマCVD法により、非晶質シリコン膜102を55nm堆積した後、ニッケル含有溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜を脱水素処理(500℃、1時間)した後、熱結晶化(550℃、4時間)を行い、更にレーザーアニール処理により多結晶シリコン膜103とした。(図2(B))

#### 【0065】

次に多結晶シリコン膜104上に酸化シリコン膜105を130nm成膜した後、TFTの閾値を制御するために不純物元素(ボロンまたはリン)をドーピングした。(図2(C))

30

#### 【0066】

次にフォトリソグラフィ工程及びエッチング工程により、この多結晶シリコン膜をパターニングし、半導体層202～204を形成した。(図3(A),(B))

#### 【0067】

次に半導体層202～204を覆うように、プラズマCVD法により115nm厚の酸化窒化シリコン膜から成るゲート絶縁膜301を形成し、更にゲート絶縁膜301上に30nm厚のTa<sub>2</sub>N<sub>5</sub>膜302とTa<sub>2</sub>N<sub>5</sub>膜302上に370nm厚のタングステン膜303から成るゲート電極膜をスパッタ法により堆積した。(図4(A))

#### 【0068】

次にゲート電極形成用のレジストパターン304～307をマスクにTa<sub>2</sub>N<sub>5</sub>膜とタングステン膜から成る総膜厚400nm厚のゲート電極膜のドライエッチング処理を行った。レジストを後退させながらドライエッチングすることにより、ゲート電極のテーパエッチングを行った。(図4(B))

40

#### 【0069】

次にドライエッチング後のレジストパターン304～307を除去せずに、第1のイオン注入処理であるn型不純物の高濃度イオン注入を行い、ゲート電極310～311から露出した領域に対応する半導体層203～204に高濃度不純物領域(n<sup>+</sup>領域)312～314を形成した。この際のイオン注入条件はn型不純物としてリンを用い、ドーズ量が $1.5 \times 10^{15} \text{ atoms/cm}^2$ 及び加速電圧が80kVの条件で処理した。(図4(B))

50

## 【0070】

次に再度ゲート電極のドライエッチングを行った。このときは最初のレジストパターン304～307を利用してエッチング条件を変更し、異方性エッチングとした。これにより、Ta<sub>2</sub>Nは後退するようにエッチングが進み、タングステンはほぼ垂直なテーパ角でエッチングされた。(図4(C))

## 【0071】

そして、第2のイオン注入処理であるn型不純物の低濃度イオン注入を行った。この際イオン注入条件としてリンを用い、ドーズ量が $1.5 \times 10^{14}$ atoms/cm<sup>2</sup>及び加速電圧が90kVの条件で処理した。この際、表面にTa<sub>2</sub>Nが存在している領域は、Ta<sub>2</sub>N膜とゲート絶縁膜を貫通してリンがドーパされゲート電極と重なった位置にn<sup>-</sup>領域403, 404が形成された。一方、Ta<sub>2</sub>Nが存在しない領域ではゲート絶縁膜を貫通してゲート電極の外側にリンがドーパされ、n<sup>-</sup>領域401, 402が形成された。(図5(A))

10

## 【0072】

次にフォトリソグラフィ工程を行うことにより、画素部における保持容量522領域をレジスト開孔させ、その他の領域はレジストパターン405, 406で被覆するようにパターンニングした。(図5(B))

## 【0073】

前記レジストパターン405, 406をマスクに第3のイオン注入処理であるp型不純物の高濃度イオン注入を行った。この際、保持容量522領域には、<sup>-</sup>導電型とは逆の導電型を付与する不純物元素であるボロン等のp型不純物がイオン注入され、ゲート電極311から露出した領域及び表面にTa<sub>2</sub>Nが存在している領域407に高濃度不純物領域(p<sup>+</sup>領域)が形成された。第3のイオン注入領域は、第1及び第2のイオン注入によりn型不純物であるリンが既にイオン注入されているが、p型不純物であるボロンの濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm<sup>3</sup>となるようにイオン注入されるため、pチャネル型多結晶シリコンTFTのソース及びドレイン領域として機能することができる。(図5(C))

20

## 【0074】

次に前記レジストパターン405, 406を除去した後、プラズマCVD法により150nm厚の酸化窒化シリコン膜から成る第1の層間絶縁膜501を堆積させた。更に半導体層202～204に注入された各不純物元素の熱活性化処理するため、550℃4時間の熱アニール処理を行った。尚、本実施例では、TFTのオフ電流値の低下及び電界効果移動度の向上のため、不純物元素の熱活性化処理と同時に、半導体層202～204の結晶化の際に触媒として使用したニッケルを高濃度のリンを含む不純物領域312～314でゲッタリングすることにより、チャネル形成領域となる半導体層中のニッケル濃度の低減を実現した。

30

このような方法で製造したチャネル形成領域を有するため、オフ電流値の低下等の良好な電気特性を示すことができる。前記熱活性化処理は、第1の層間絶縁膜501を堆積する前に行っても構わないが、ゲート電極310, 311の配線材料の耐熱性が弱い場合には、本実施例のように層間絶縁膜を堆積した後に熱活性化処理を行う方が好ましい。次に、水素を3%含有する窒素雰囲気中で410℃1時間の熱処理を行うことにより、半導体層202～204のダングリングボンドを終端させるための水素化処理を行った。(図6(A))

40

## 【0075】

次に、酸化窒化シリコンから成る第1層間絶縁膜501上に1.6μm厚のアクリル樹脂から成る有機絶縁材料である第2の層間絶縁膜506を成膜した。その後、フォトリソグラフィ工程とドライエッチング工程により第1の保護回路520の2つのゲート信号線502, 503及び第1と第3のイオン注入領域である不純物領域312, 313, 407に接続するためのコンタクトホールを形成した。この段階に静電気が発生することが確認されている。しかし、第1の保護回路は完成しているために、発生した静電気は第1の保護回路520を破壊することで、画素TFTと駆動回路TFTの破壊を防止することができる。(図6(B))

50

## 【0076】

次に、第1の保護回路520の2つのゲート信号線502、503を電氣的に接続するための金属配線507を形成した。また、画素部521における接続電極508、509と保持容量522における接続電極510を前記金属配線502、503と同時に形成した。尚、金属配線材料としては、50nm厚のTi膜と500nm厚のAl-Ti合金膜の積層膜を使用した。接続電極509は画素TF T 521の不純物領域313と接続しており、接続電極510は保持容量522の不純物領域407と接続している。次に、ITO (Indium-Ti-Oxide)等の透明電極膜を110nmの厚さで堆積し、フォトリソグラフィ工程とエッチング工程により、透明画素電極511を形成した。透明画素電極511は、画素TF T 521の不純物領域313と接続電極509を介して電氣的に接続され、保持容量522の不純物領域407と接続電極510を介して電氣的に接続している。(図6(C))

10

## 【0077】

以上のように、画素TF T 521、保持容量522とを有する画素部523と、第1の保護回路520で構成された半導体装置を製造することができる。

## 【0078】

〔実施例2〕

本技術を半導体装置に組み込んだ例を図16(A)、(B)、図17に示す。

なお、図16(B)は図16(A)の拡大図である。

## 【0079】

画素領域で発生した静電気は画素領域上端のコンタクトホール1からプリチャージ回路の第1の信号線3の下端に予め設けたコンタクトホール2に移動した。さらにプリチャージ回路の第1の信号線3を通りコンタクトホール4からプリチャージ回路の第2の信号線のコンタクトホール5に移動し、プリチャージ回路の第2の信号線を移動した。

20

## 【0080】

従来の回路ではプリチャージ回路の第1の信号線3の下端に予め設けたコンタクトホール2が無い場合、画素領域で発生した静電気は画素領域上端のコンタクトホール1からプリチャージ回路のドレイン部のコンタクトホール2'に移動し、プリチャージ回路の第1の信号線3を通りコンタクトホール4からプリチャージ回路の第2の信号線のコンタクトホール5に移動して、プリチャージ回路の第2の信号線に移動した。しかしプリチャージ回路のドレイン部のコンタクトホール2'からプリチャージ回路の第1の信号線3に静電気が移動するとき、プリチャージ回路が破壊された。

30

## 【0081】

図17は画素領域で発生した静電気がプリチャージ回路を移動しても、本技術を組み込んだことによりプリチャージ回路の静電破壊が防止できたことを電氣的特性の測定によって示した図である。

## 【0082】

アドレス1280段目は静電気の移動した痕があるが、静電気の移動した痕のないアドレス1279段目とアドレス1281段目と比べても電氣的な特性は変わらず、静電破壊対策が効果的に機能していることを示している。

40

## 【0083】

上記の結果より、本発明はプリチャージ回路の静電破壊を防止することができ、半導体装置の歩留まり及び信頼性を向上することができる。

## 【0084】

〔実施例3〕

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

50

## 【 0 0 8 5 】

上記の様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 4 および図 1 5 に示す。

## 【 0 0 8 6 】

図 1 4 ( A ) はパーソナルコンピュータであり、本体 1 3 0 1、画像入力部 1 3 0 2、表示部 1 3 0 3、キーボード 1 3 0 4 で構成される。本発明を画像入力部 1 3 0 2、表示部 1 3 0 3 やその他の駆動回路に適用することができる。

## 【 0 0 8 7 】

図 1 4 ( B ) はビデオカメラであり、本体 1 3 0 5、表示部 1 3 0 6、音声入力部 1 3 0 7、操作スイッチ 1 3 0 8、バッテリー 1 3 0 9、受像部 1 3 1 0 で構成される。本発明を表示部 1 3 0 6、音声入力部 1 3 0 7 やその他の駆動回路に適用することができる。

## 【 0 0 8 8 】

図 1 4 ( C ) はモバイルコンピュータであり、本体 1 3 1 1、カメラ部 1 3 1 2、受像部 1 3 1 3、操作スイッチ 1 3 1 4、表示部 1 3 1 5 で構成される。本発明は表示部 1 3 1 5 やその他の駆動回路に適用できる。

## 【 0 0 8 9 】

図 1 4 ( D ) はゴーグル型ディスプレイであり、本体 1 3 1 6、表示部 1 3 1 7、アーム部 1 3 1 8 で構成される。本発明は表示部 1 3 1 7 やその他の駆動回路に適用することができる。

## 【 0 0 9 0 】

図 1 4 ( E ) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 1 3 1 9、表示部 1 3 2 0、スピーカ部 1 3 2 1、記録媒体 1 3 2 2、操作スイッチ 1 3 2 3 で構成される。なお、この装置は記録媒体として DVD ( D i g i t a l V e r s a t i l e D i s c )、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 1 3 2 0 やその他の駆動回路に適用することができる。

## 【 0 0 9 1 】

図 1 4 ( F ) はデジタルカメラであり、本体 1 3 2 4、表示部 1 3 2 5、接眼部 1 3 2 6、操作スイッチ 1 3 2 7、受像部（図示しない）で構成される。本発明を表示部 1 3 2 5 その他の駆動回路に適用することができる。

## 【 0 0 9 2 】

図 1 5 ( A ) はフロント型プロジェクターであり、光源光学系および表示装置 1 4 0 1、スクリーン 1 4 0 2 で構成される。本発明は表示部やその他の駆動回路に適用することができる。

## 【 0 0 9 3 】

図 1 5 ( B ) はリア型プロジェクターであり、本体 1 4 0 3、光源光学系および表示装置 1 4 0 4、ミラー 1 4 0 5、スクリーン 1 4 0 6 で構成される。本発明は表示部やその他の駆動回路に適用することができる。

## 【 0 0 9 4 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施形態 1 ~ 実施形態 4、実施例 1、実施例 2 及び実施例 3 のどのような組み合わせからなる構成を用いても実現することができる。

## 【 0 0 9 5 】

## 【 発明の効果 】

本発明は、層間絶縁膜をコンタクト開孔するためのエッチングで発生した静電気を、第 1 の保護回路、またはプリチャージ回路の第 1 の信号線端にコンタクトホールを設けることにより、静電気のエネルギーを減少させ画素 T F T と駆動回路 T F T とプリチャージ回路の破壊を防止することが可能となる。

10

20

30

40

50

## 【 0 0 9 6 】

また、本発明は静電破壊を防止することにより半導体装置の歩留まり及び信頼性を向上することが可能になり、製造原価の低減に有効である。

## 【 0 0 9 7 】

## 【図面の簡単な説明】

【図 1】 第 1 の保護回路を組み込んだ半導体装置の作製工程の図である。

【図 2】 第 1 の保護回路を組み込んだ半導体装置の作製工程の図である。

【図 3】 第 1 の保護回路を組み込んだ半導体装置の作製工程の図である。

【図 4】 第 1 の保護回路を組み込んだ半導体装置の作製工程の図である。

【図 5】 第 1 の保護回路を組み込んだ半導体装置の作製工程の図である。

【図 6】 第 1 の保護回路を組み込んだ半導体装置の作製工程の図である。

【図 7】 半導体装置全体の回路構成の図である。

【図 8】 第 1 の保護回路を画素領域と駆動回路領域の間に組み込んだ実施形態の一例と第 1 の保護回路の断面図である。

【図 9】 第 1 の保護回路を画素領域と第 2 の保護回路の間に組み込んだ実施形態の一例と第 1 の保護回路の断面図である。

【図 1 0】 プリチャージ回路に静電気の移動する経路を設けてプリチャージ回路の破壊を防止する方法を説明する図である。

【図 1 1】 第 1 の保護回路を画素領域と駆動回路領域の間に組み込んだ実施形態の一例である。

【図 1 2】 第 1 の保護回路を画素領域と駆動回路領域の間に組み込んだ実施形態の一例と第 1 の保護回路の断面図である。

【図 1 3】 第 1 の保護回路を画素領域と駆動回路領域の間に組み込んだ実施形態の一例と第 1 の保護回路の断面図である。

【図 1 4】 半導体装置を利用した装置の一例を説明する図である。

【図 1 5】 半導体装置を利用した装置の一例を説明する図である。

【図 1 6】 プリチャージ回路に静電気の移動する経路を設けてプリチャージ回路の破壊を防止した成功例を示した図である。

【図 1 7】 電気的特性を示した図である。

【図 1 8】 従来の半導体装置全体の回路構成図の一例である。

【図 1 9】 従来の回路の作製方法と静電気の発生と静電気による T F T の破壊の図である。

【図 2 0】 従来の回路のプリチャージ回路付近の静電気による T F T の破壊の図である。

## 【符号の説明】

14～16 結晶質半導体膜

17 絶縁膜

18, 19 ゲート信号線

20 層間絶縁膜

21～24コンタクトホール

25～27 金属配線

100 ガラス基板

101 酸化窒化シリコン膜

102 非晶質シリコン膜

103, 104 多結晶シリコン膜

105 酸化シリコン膜

201 レジストパターン

202～204 半導体層

301 ゲート絶縁膜

302 T a N 膜

10

20

30

40

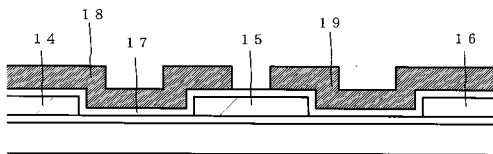
50

303	タンゲステン膜	
304 ~ 307	レジストパターン	
308 , 309	第 1 の保護回路のゲート信号線	
310 , 311	ゲート電極	
312 ~ 314	高濃度不純物領域 ( n + 領域 )	
315	ゲート電極	
401 , 402	低濃度不純物領域 ( n - 領域 )	
403 , 404	低濃度不純物領域 ( n - - 領域 )	
405 , 406	レジストパターン	
407	高濃度不純物領域 ( p + 領域 )	10
501	第 1 層間絶縁膜	
502 , 503	第 1 の保護回路のゲート信号線	
504 , 505	ゲート電極	
506	第 2 層間絶縁膜	
507 ~ 510	金属配線	
511	透明画素電極	
704	結晶質半導体膜	
705	ゲート絶縁膜	
706 , 707	ゲート信号線	
708	層間絶縁膜	20
709	金属配線	
804	結晶質半導体膜	
805	ゲート絶縁膜	
806 , 807	ゲート信号線	
808	層間絶縁膜	
809	金属配線	
903	画素のコンタクトホール	
904	プリチャージ回路の第 1 の信号線のコンタクトホール	
905	プリチャージ回路のコンタクトホール	
906	プリチャージ回路の第 2 の信号線のコンタクトホール	30
907	プリチャージ回路の第 1 の信号線	
908	プリチャージ回路の第 2 の信号線	
909	プリチャージ回路のドレイン部のコンタクトホール	
1104	結晶質半導体膜	
1105	ゲート絶縁膜	
1106 , 1107	ゲート信号線	
1108	層間絶縁膜	
1109	金属配線	
1203 , 1204	結晶質半導体膜	
1205	ゲート絶縁膜	40
1206 ~ 1208	ゲート信号線	
1209	層間絶縁膜	
1210	金属配線	
1803 , 1804	結晶質半導体膜	
1805	ゲート絶縁膜	
1806	ゲート信号線	
1807	層間絶縁膜	
1808 , 1809	コンタクトホール	
1810 , 1811	金属配線	
1903	画素のコンタクトホール	50

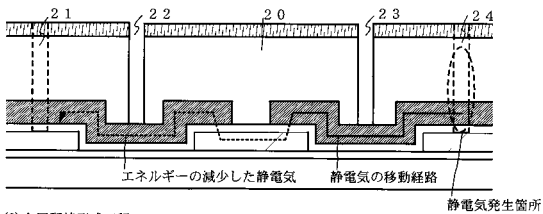
- 1904 プリチャージ回路のドレイン部のコンタクトホール
- 1905 プリチャージ回路の第1の信号線
- 1906 プリチャージ回路の第2の信号線

【図1】

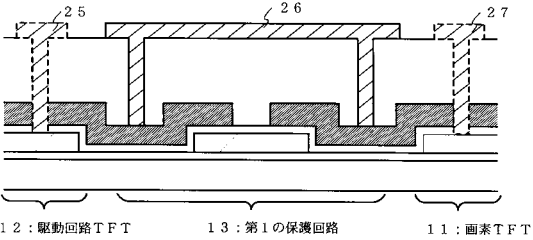
(A) TFT、保護回路形成工程



(B) コンタクトホール形成工程 (静電気発生工程)

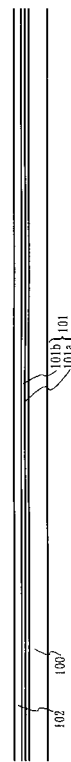


(C) 金属配線形成工程



【図2】

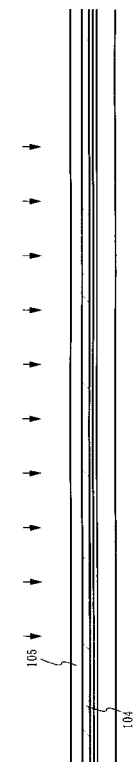
(A) 下地膜/非晶質半導体膜形成



(B) 結晶化工程

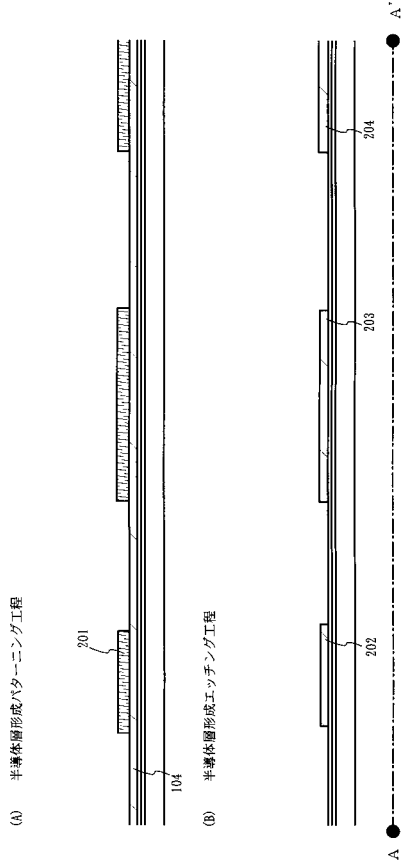


(C) チャネルトップ工程

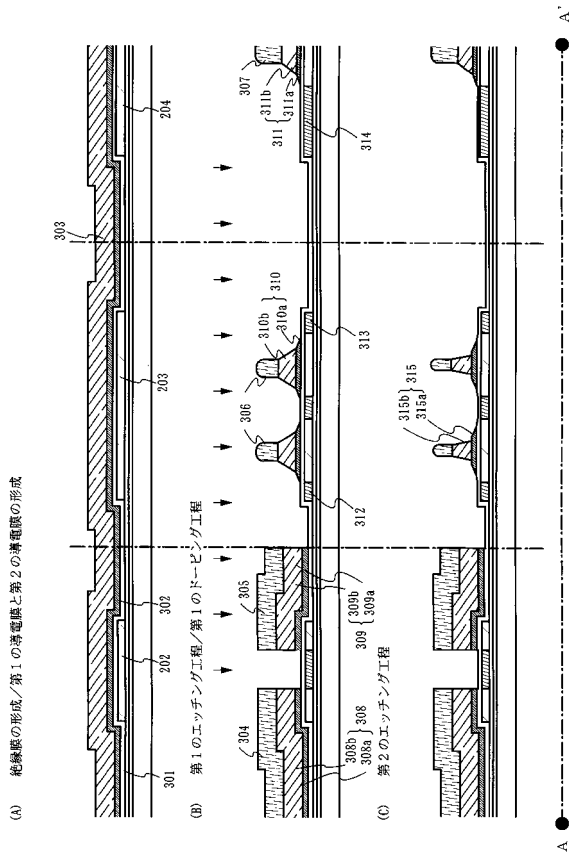


A

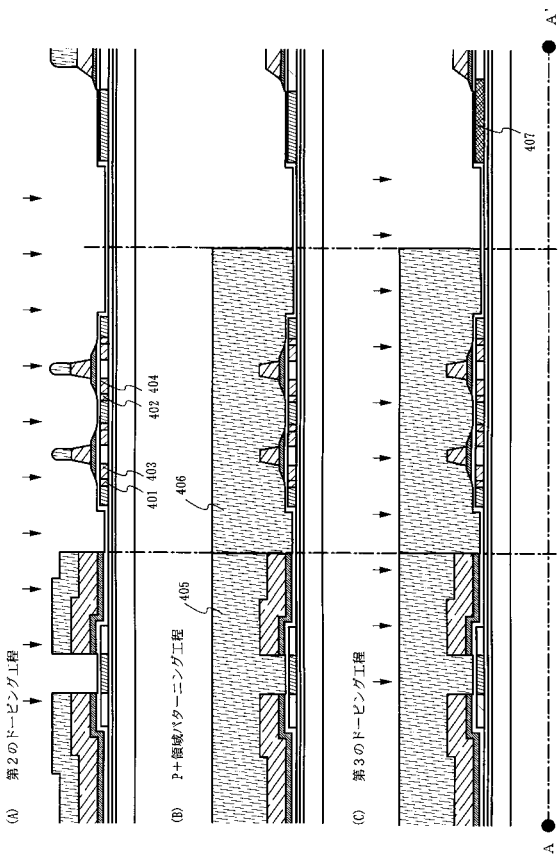
【図3】



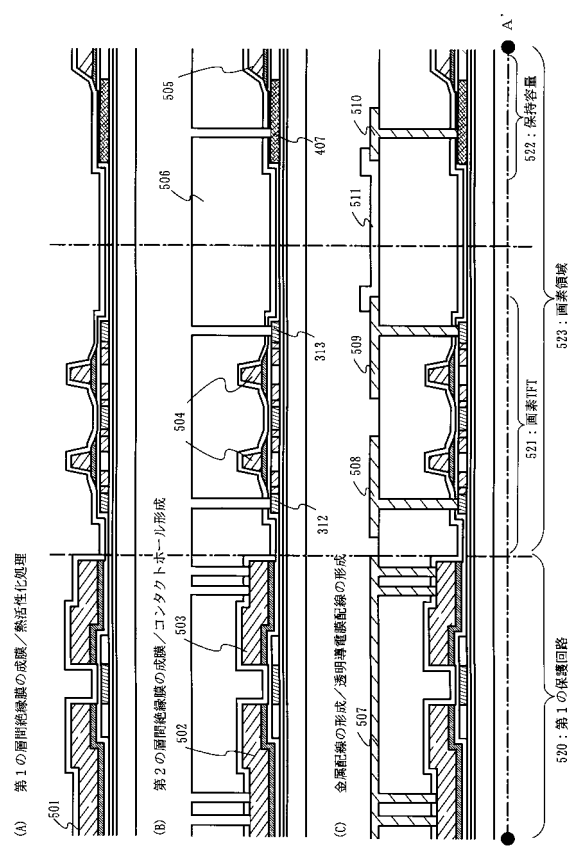
【図4】



【図5】

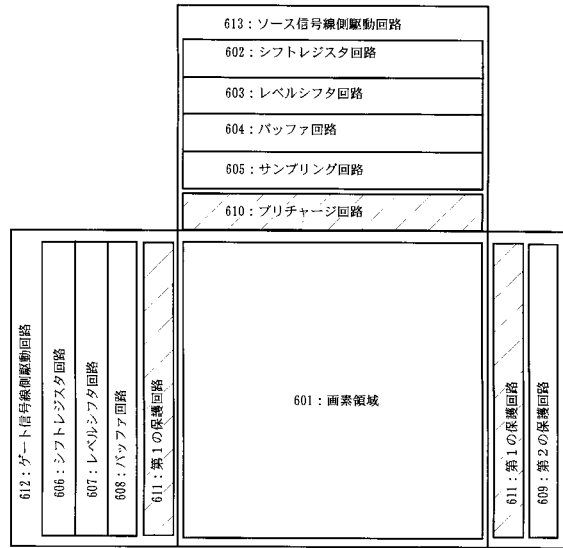


【図6】

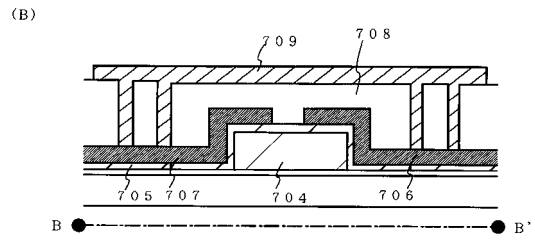
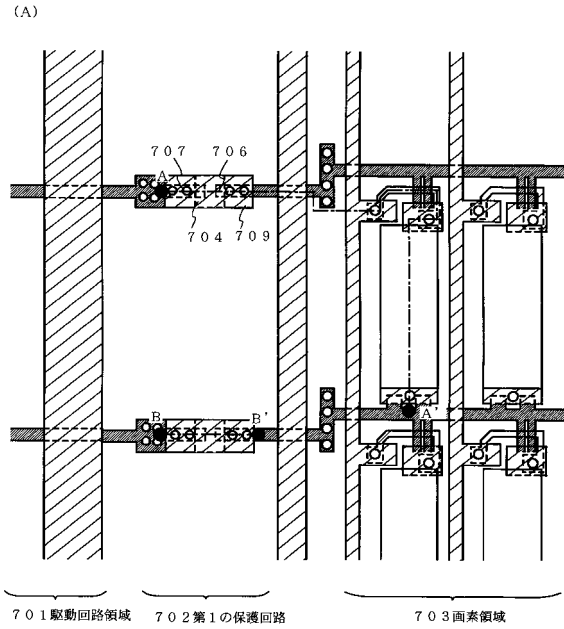




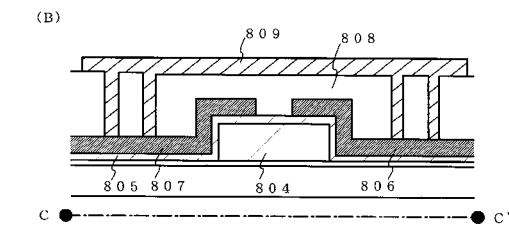
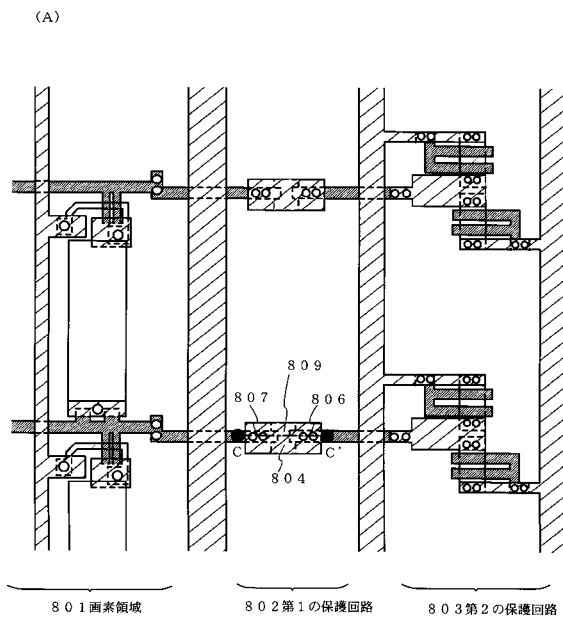
【図7】



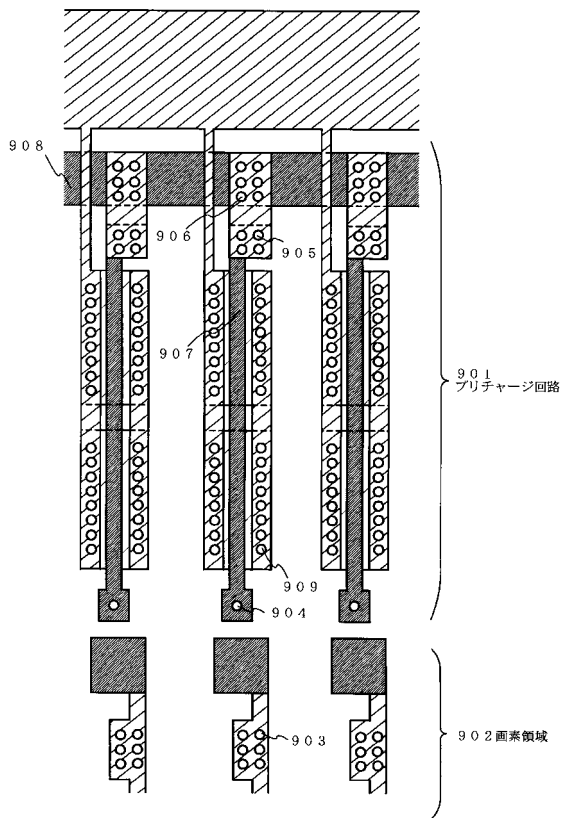
【図8】



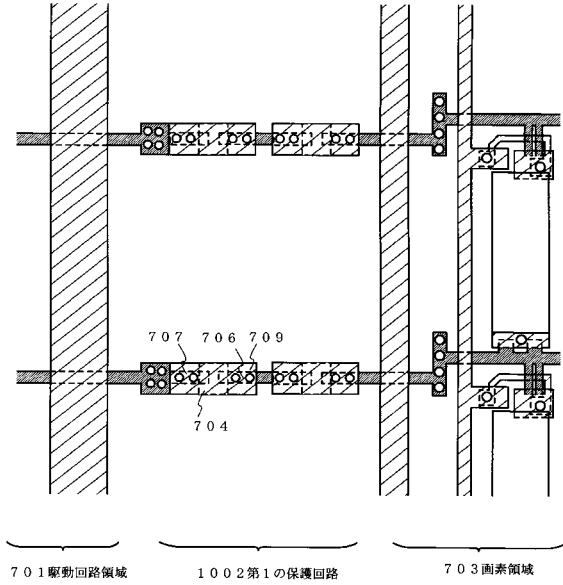
【図9】



【図10】

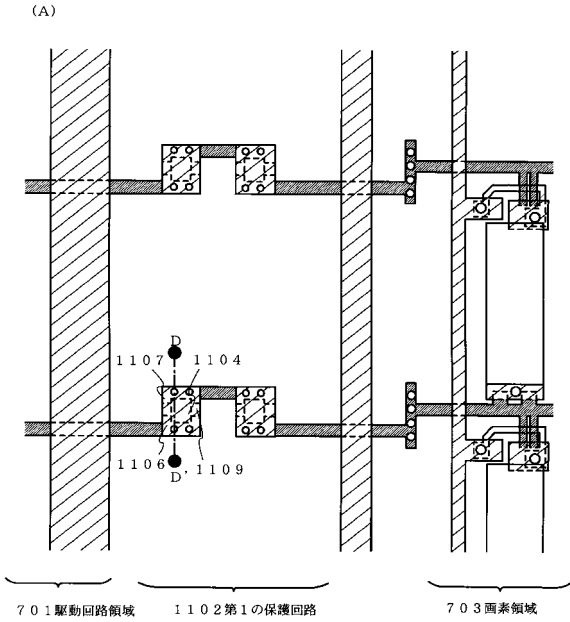


【図11】

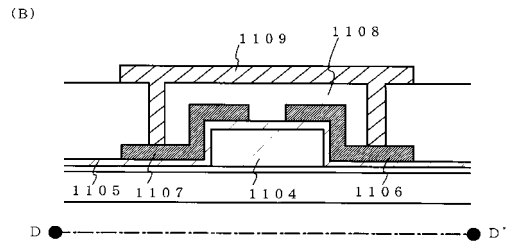


701 駆動回路領域      1002 第1の保護回路      703 画素領域

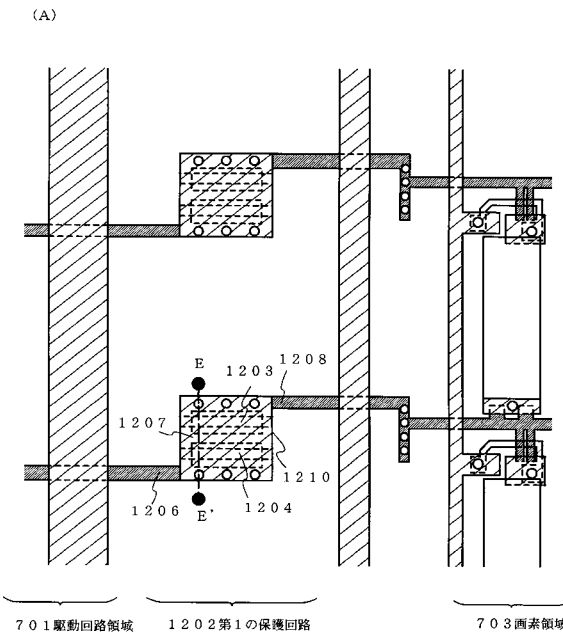
【図12】



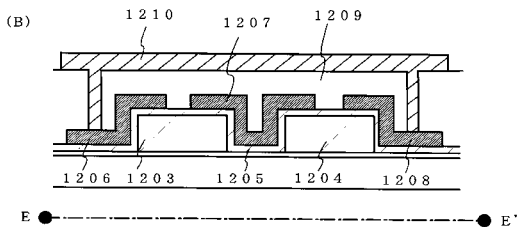
701 駆動回路領域      1102 第1の保護回路      703 画素領域



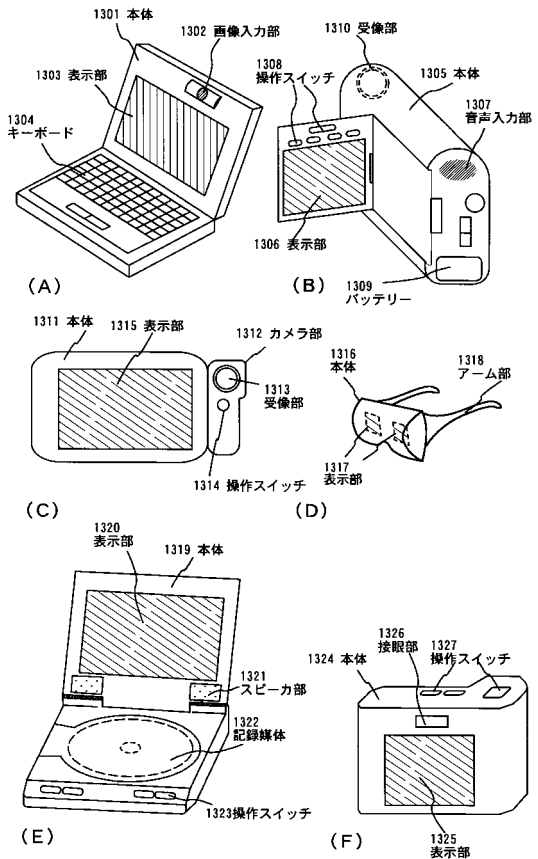
【図13】



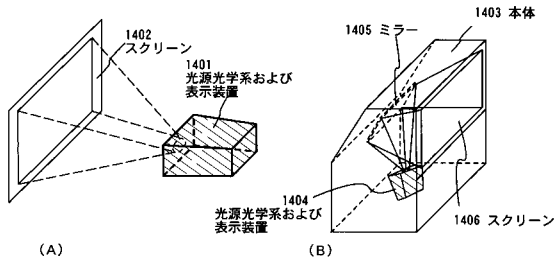
701 駆動回路領域      1202 第1の保護回路      703 画素領域



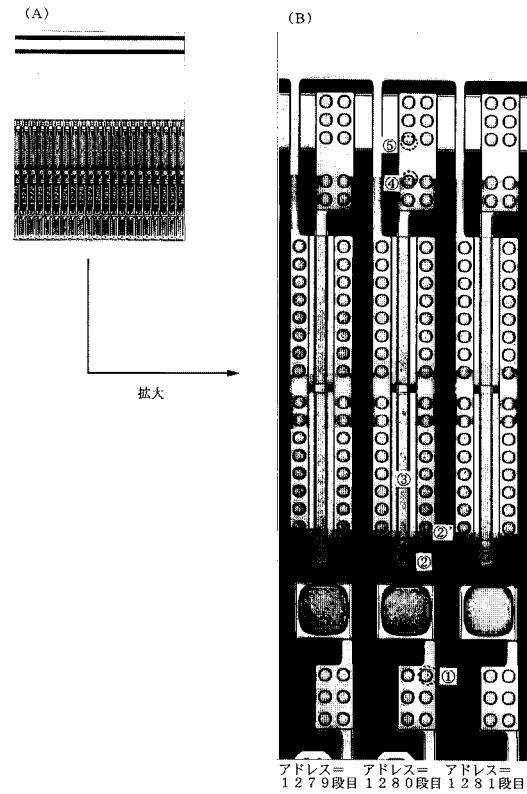
【図14】



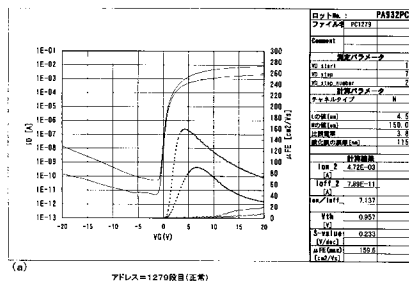
【図15】



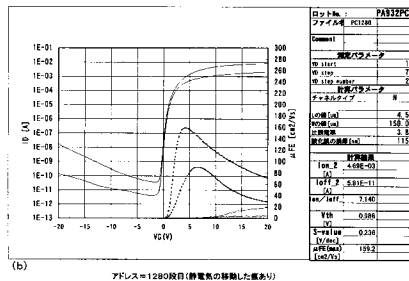
【図16】



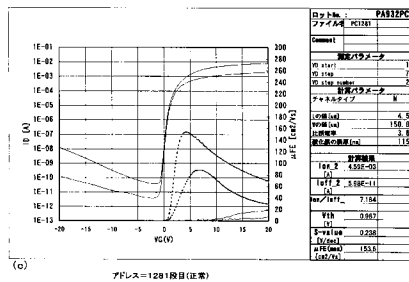
【図17】



アドレス=1279段目(正常)



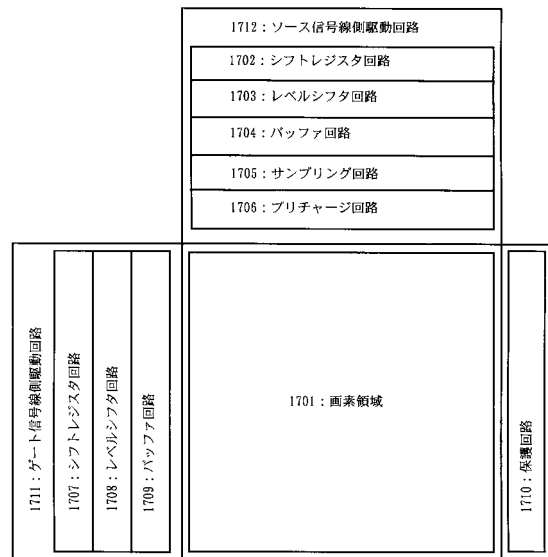
アドレス=1280段目(静電気の移動した様子あり)



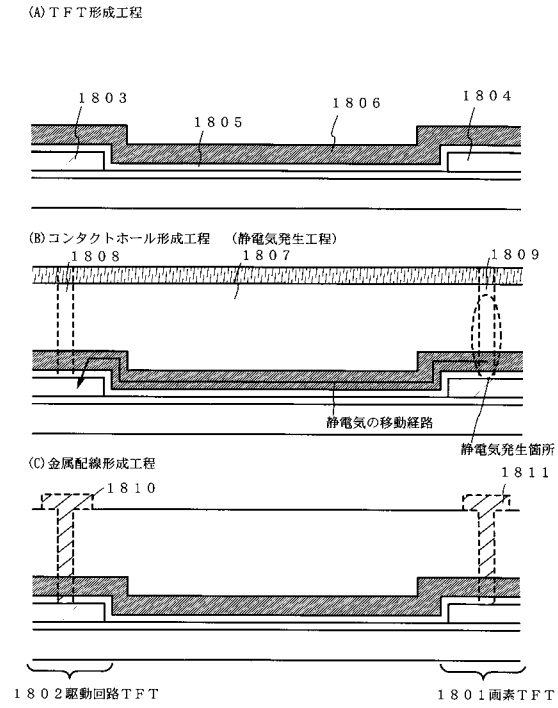
アドレス=1281段目(正常)

プリチャージ回路における静電破壊の影響

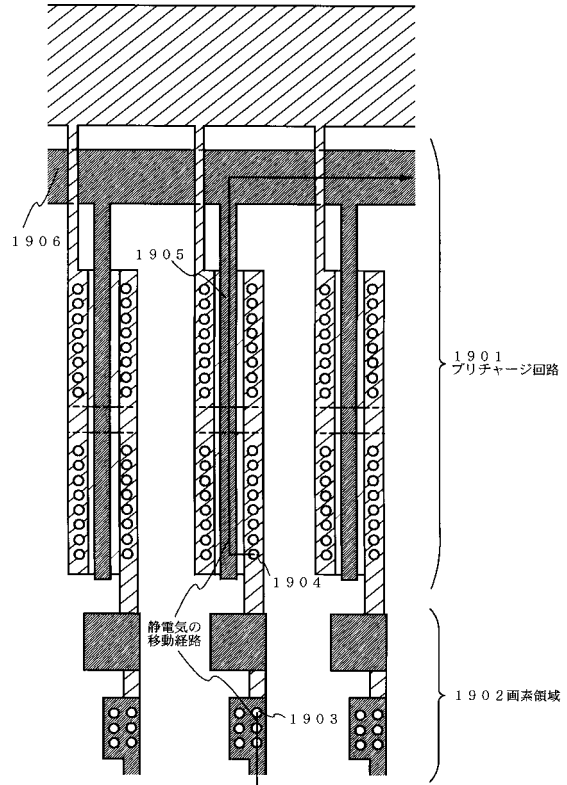
【図18】



【図19】



【図20】



---

フロントページの続き

審査官 棚田 一也

(56)参考文献 特開平09-146107(JP,A)  
特開昭63-045834(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

G02F 1/1368

H01L 27/04

H01L 29/786