



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년02월08일
 (11) 등록번호 10-1919439
 (24) 등록일자 2018년11월12일

(51) 국제특허분류(Int. Cl.)
 G06F 3/041 (2006.01) G06F 1/24 (2017.01)
 G06F 3/044 (2006.01)
 (52) CPC특허분류
 G06F 3/0416 (2013.01)
 G06F 1/24 (2018.05)
 (21) 출원번호 10-2017-0023975
 (22) 출원일자 2017년02월23일
 심사청구일자 2017년02월23일
 (65) 공개번호 10-2018-0097241
 (43) 공개일자 2018년08월31일
 (56) 선행기술조사문헌
 KR1020130060070 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
(주)멜파스
 경기도 성남시 분당구 판교역로 225-14(삼평동)
 (72) 발명자
우민석
 서울특별시 서대문구 북아현로12길 49-21 (북아현동)
유재우
 경기도 성남시 분당구 판교역로10번길 17, 이노하이
 205호 (백현동)
문세웅
 경기도 성남시 분당구 판교역로192번길 22, 1009
 호(삼평동)
 (74) 대리인
특허법인(유한)아이시스

전체 청구항 수 : 총 10 항

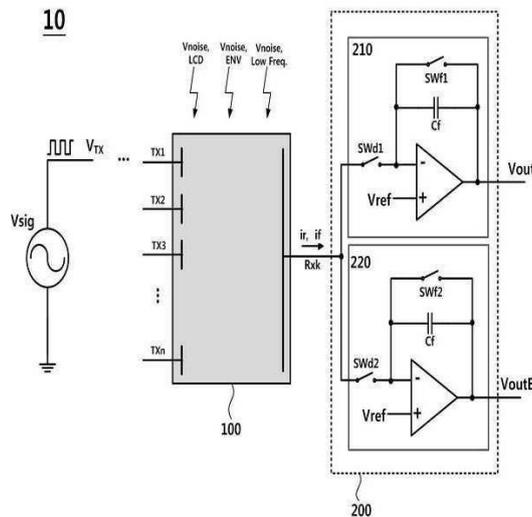
심사관 : 김상택

(54) 발명의 명칭 **커패시턴스 검출 방법 및 이를 이용한 커패시턴스 검출 장치**

(57) 요약

본 실시예에 의한 커패시턴스 검출 장치는, 상승 에지(rising edge)와 하강 에지(falling edge)가 교번되는 구동 신호를 제공하는 신호원과, 구동 신호를 제공받고, 상승 에지에 의하여 형성되는 상승 에지 검출 신호와 하강 에지에 의하여 형성되는 하강 에지 검출 신호를 제공하는 커패시턴스 검출 패널 및 상승 에지 검출 신호를 제공받고 검출 신호를 제공하는 제1 검출 회로 및 하강 에지 검출 신호를 제공받고 반전 검출 신호를 출력하는 제2 검출 회로를 포함하는 검출 회로부를 포함하며, 검출 신호와 반전 검출 신호는 의사 차동(pseudo differential) 관계에 있다.

대표도



(52) CPC특허분류
G06F 3/044 (2013.01)

명세서

청구범위

청구항 1

구동 신호를 제공받고, 상승 에지에 의하여 형성되는 상승 에지 검출 신호와 하강 에지에 의하여 형성되는 하강 에지 검출 신호를 제공하는 커패시턴스 검출 패널;

상기 상승 에지 검출 신호를 제공받고 검출 신호를 제공하는 제1 검출 회로 및 상기 하강 에지 검출 신호를 제공받고 반전 검출 신호를 출력하는 제2 검출 회로를 포함하는 검출 회로부 및

상기 검출 회로부가 출력한 신호를 동시에 출력하는 데이터 정렬부(data alignment unit)를 포함하며,

상기 데이터 정렬부는,

상기 검출 신호와 상기 반전 검출 신호중 어느 하나를 샘플(sample)하여 다른 신호의 출력시까지 유지(hold)하는 샘플앤드홀드 부(sample and hold unit)를 포함하고,

상기 검출 신호와 상기 반전 검출 신호는 함께 출력되는 의사 차동(pseudo differential) 관계에 있는 커패시턴스 검출 장치.

청구항 2

제1항에 있어서,

상기 제1 검출 회로는 상기 상승 에지 검출 신호를 제공받고 누적하여 상기 검출 신호를 형성하는 커패시턴스 검출 장치.

청구항 3

제2항에 있어서,

상기 검출 회로부는,

상기 제1 검출 회로는 상기 커패시턴스 검출 패널과 상기 제1 검출 회로를 전기적으로 연결하는 제1 스위치를 더 포함하며,

상기 제1 스위치가 도통된 구간동안 상기 상승 에지 검출 신호를 제공받고 누적하는 커패시턴스 검출 장치.

청구항 4

제1항에 있어서,

상기 제2 검출 회로는 상기 하강 에지 검출 신호를 제공받고 이를 누적하여 상기 반전 검출 신호를 형성하는 커패시턴스 검출 장치.

청구항 5

제4항에 있어서,

상기 검출 회로부는,

상기 제2 검출 회로는 상기 커패시턴스 검출 패널과 상기 제2 검출 회로를 전기적으로 연결하는 제2 스위치를 더 포함하며,

상기 제2 스위치가 도통된 구간동안 상기 하강 에지 검출 신호를 제공받고 누적하는 커패시턴스 검출 장치.

청구항 6

제1항에 있어서,

상기 제1 검출 회로는 상기 상승 에지 이전에 리셋되며,
 상기 제2 검출 회로는 상기 하강 에지 이전에 리셋되는 커패시턴스 검출 장치.

청구항 7

제1항에 있어서,
 상기 커패시턴스 검출 장치는,
 상기 데이터 정렬부가 정렬하여 출력한 신호를 디지털 신호로 변환하는 아날로그 디지털 변환기(ADC)를 더 포함하는 커패시턴스 검출 장치.

청구항 8

삭제

청구항 9

(a) 커패시턴스 검출 패널이 구동 신호의 상승 에지(rising edge)를 제공받아 상승 에지 검출 신호를 출력하는 단계와,
 (b) 검출 회로부가 상기 상승 에지 검출 신호를 제공받아 검출 신호를 출력하는 단계와,
 (c) 상기 커패시턴스 검출 패널이 구동 신호의 하강 에지(rising edge)를 제공받아 하강 에지 검출 신호를 출력하는 단계와,
 (d) 상기 검출 회로부가 상기 하강 에지 검출 신호를 제공받아 반전 검출 신호를 출력하는 단계 및
 (e) 상기 검출 신호와 상기 반전 검출 신호를 정렬하여 동시에 출력하는 단계를 포함하며,
 상기 (e) 단계는 상기 검출 신호와 상기 반전 검출 신호 중 먼저 출력된 신호를 샘플(sample)하여 나중에 출력된 신호와 함께 출력하도록 홀드(hold)하여 수행하고, 상기 검출 신호와 상기 반전 검출 신호는 의사 차동(pseudo differential) 관계에 있는 커패시턴스 검출 방법.

청구항 10

제9항에 있어서,
 상기 커패시턴스 검출 방법은
 상기 (a) 단계 이전에 수행되는 상기 검출 회로부를 리셋하는 과정 및
 상기 (c) 단계 이전에 수행되는 상기 검출 회로부를 리셋하는 과정을 더 포함하는 커패시턴스 검출 방법.

청구항 11

제9항에 있어서
 상기 커패시턴스 검출 방법은
 (f) 상기 검출 신호와 상기 반전 검출 신호를 디지털 신호로 변환하는 단계를 더 포함하는 커패시턴스 검출 방법.

발명의 설명

기술 분야

[0001] 본 실시예는 커패시턴스 검출 방법 및 이를 이용한 커패시턴스 검출 장치에 관한 것이다.

배경 기술

[0002] 커패시턴스 검출 장치에 사용되는 감지 방식들은 저항막 방식, 표면 초음파 방식 및 정전 용량 방식이 주류를 이루고 있으며, 정전 용량 방식의 경우 다중 터치 감지가 가능하고 내구성, 시인성 등이 우수하기 때문에 휴대용

모바일 기기의 주 입력 수단으로 채택되고 있는 추세이다.

[0003] 정전 용량 방식 커패시턴스 검출 장치는 사용자 간섭에 의해 터치 스크린 패널 상의 축전 센서 (capacitive sensor)들에 대전된 전하량이 변하는 것을 감지하여 사용자 입력을 인식하며, 전하 축전 방식에 따라 자기 정전 용량 방식(self-capacitive)과 상호 정전 용량 방식(mutual-capacitive)으로 나뉜다. 자기 정전 용량 방식이 하나의 축전 센서 (capacitive sensor) 당 하나의 도전체를 구성하여 터치 스크린 패널 외부의 기준 접지면 (reference ground)과 대전면을 형성하는 반면, 상호 정전 용량 방식은 터치 스크린 패널 상의 두 개의 도전체가 서로 대전면을 형성하여 하나의 축전 센서로 기능하도록 구성된다.

[0004] 일반적인 자기 정전 용량 방식은 X/Y 직교 형태의 도전체 배치를 사용하며, 이 경우 각 축전 센서가 선센서 (line sensor)로 기능하기 때문에 매 터치 스크린 감지 시 X 센서군 (X-line sensor group)과 Y 센서군 (Y-line sensor group) 각각으로부터 하나씩의 X-감지 정보와 Y-감지 정보밖에 제공받지 못한다. 따라서 일반적인 자기 정전 용량 방식 터치 스크린에서는 단일 터치의 감지 및 추적은 가능하나 다중 터치는 지원할 수 없다. 상호 정전 용량 방식도 X/Y 직교 형태의 도전체 배치를 사용하나, 각 축전 센서가 도전체 직교 위치 마다 격자센서 (grid sensor) 형태로 구성되며 터치 스크린 상의 사용자 입력 탐지 시 모든 격자센서의 반응이 독립적으로 감지되는 점이 자기 정전 용량 방식과 다르다. 각 격자센서는 서로 다른 하나의 X/Y 좌표에 대응되고 서로 독립적인 반응 결과를 제공하기 때문에, 상호축전 방식 터치 스크린에서는 X/Y 격자센서 집합으로부터 제공받은 X/Y-감지 정보집합으로부터 사용자 입력 정보를 추출하여 사용자의 다중 터치를 감지하고 추적할 수 있다.

[0005] 일반적인 상호 정전 용량 방식 터치스크린 패널의 도전체 구성과 감지 방식은 다음과 같다. 어느 한 방향으로 연장되는 도전체로 구성된 제1 전극들과 제1 전극들에 직교하는 방향으로 연장되는 도전체로 구성된 제2 전극들이 두 개의 전극 사이의 유전물질 (dielectric material)을 매개로 상호 정전 용량 센서(mutual-capacitive sensor)를 형성한다. 이 센서의 정전 용량 (capacitance) C는 두 전극 사이의 거리 (distance) d, 대전면의 면적 (area) a 및 대전면 사이에 존재하는 모든 유전물질의 등가 유전율 (dielectric)을 ϵ 라고 할 때 $C = \epsilon * a / d$ 로 정의되며, 이 센서에 축전된 전하량 (charge) Q 및 두 전극/대전면에 인가된 전위차 (voltage) V와 $Q = CV$ 의 관계를 가진다. 사용자가 센서에 접근하면 두 전극 사이에 형성된 전기장 (electric field)에 대한 간섭이 발생하여 센서에 전하가 축전되는 것을 방해하게 되며, 센서에 축전되는 전하량이 줄어들어 결과적으로 정전 용량이 줄어드는 것으로 나타나게 된다. 이것은 사용자 접근으로 인해 대전면 사이의 등가 유전율이 변하여 정전 용량이 변한 것으로도 이해할 수 있으나, 사용자 접근으로 인해 대전면 사이의 전기장 일부가 차단 (shunt) 되므로써 전하 대전량/축전량이 감소 하게 되는 것이 실제적인 물리 현상이다. 제1 전극에 교류 전압원을 연결하여 센서의 한쪽 대전면에 교류 파형을 인가하면, 사용자의 접근 정도에 따라 가변되는 C에 대해 $\Delta Q = C \Delta V$ 에 해당하는 대전량 변동 (ΔQ) 이 발생하며, 이 변동량을 제2 전극에 연결된 리드-아웃 회로 (read-out 회로)가 전류 또는 전압으로 변환한다. 이렇게 변환된 정보는, 일반적으로 노이즈 필터링 (noise filtering), 복조(demodulation), 디지털변환(conversion), 누적 (accumulation) 등의 신호처리 단계를 거쳐 좌표 추적 알고리즘 및 제스처 인식 알고리즘에 사용된다. 이러한 커패시티브 터치 감응성 패널에 관한 선행 특허로는 미국 등록특허 제7,920,129호가 있다.

발명의 내용

해결하려는 과제

[0006] 커패시턴스 검출 장치의 소형화 박형화 추세에 따라 커패시턴스 검출 장치에 형성된 기생 커패시터의 커패시턴스 값과 기생 저항의 저항값도 따라서 증가한다. 커패시턴스 값과 저항값이 증가함에 따라 RC 지연(Delay) 시간도 증가하여 결국 커패시턴스 검출을 위한 구동 신호의 주파수도 영향을 받는다.

[0007] 커패시턴스 검출 장치에는 높은 주파수의 노이즈 뿐만 아니라 낮은 주파수의 노이즈도 유입되는데, 구동 신호의 주파수가 낮아질수록 낮은 주파수의 노이즈에 의한 영향이 커져 결과적으로 신호 대 잡음비(SNR, Signal to Noise Ratio)가 감소한다.

[0008] 본 실시예는 상술한 과제를 해결하기 위한 것이다. 본 실시예에 의한 커패시턴스 검출 장치 및 검출 방법은, 커패시턴스 검출 장치 구동 신호의 주파수를 증가시켜 그에 따라 커패시턴스 검출 장치에 유입되는 저주파 대역의 노이즈에 의한 영향을 감소시키고, 커패시턴스 검출 장치의 신호 대 잡음비 성능을 향상시키는 것을 주된 목표로 중 하나로 한다.

과제의 해결 수단

[0009] 본 실시예에 의한 커패시턴스 검출 장치는, 상승 에지(rising edge)와 하강 에지(falling edge)가 교번되는 구동 신호를 제공하는 신호원과, 구동 신호를 제공받고, 상승 에지에 의하여 형성되는 상승 에지 검출 신호와 하강 에지에 의하여 형성되는 하강 에지 검출 신호를 제공하는 커패시턴스 검출 패널 및 상승 에지 검출 신호를 제공받고 검출 신호를 제공하는 제1 검출 회로 및 하강 에지 검출 신호를 제공받고 반전 검출 신호를 출력하는 제2 검출 회로를 포함하는 검출 회로부를 포함하며, 검출 신호와 반전 검출 신호는 의사 차동(pseudo differential) 관계에 있다.

[0010] 본 실시예에 의한 커패시턴스 검출 방법은 (a) 커패시턴스 검출 패널이 구동 신호의 상승 에지(rising edge)를 제공받아 상승 에지 검출 신호를 출력하는 단계와, (b) 검출 회로부가 상승 에지 검출 신호를 제공받아 검출 신호를 출력하는 단계와, (c) 커패시턴스 검출 패널이 구동 신호의 하강 에지(falling edge)를 제공받아 하강 에지 검출 신호를 출력하는 단계와, (d) 검출 회로부가 하강 에지 검출 신호를 제공받아 반전 검출 신호를 출력하는 단계를 포함하되, 검출 신호와 반전 검출 신호는 의사 차동(pseudo differential) 관계에 있다.

발명의 효과

[0011] 본 실시예에 의한 구동 신호의 주파수를 증가시킬 수 있어 낮은 주파수 노이즈의 영향을 감소시킬 수 있다는 장점이 제공되며, 그로부터 신호대잡음비 성능이 향상된다는 장점도 제공된다.

도면의 간단한 설명

[0012] 도 1은 본 실시예에 의한 커패시턴스 검출 장치의 개요를 도시한 블록도이다.

도 2는 본 실시예에 의한 커패시턴스 검출 방법의 개요를 도시한 순서도이다.

도 3(a)는 일 실시예에 의한 커패시턴스 검출 패널 구성의 개요를 도시한 도면이고, 도 3(b)는 해당 실시예의 구동 전극에 구동 신호를 제공한 것을 개요적으로 도시한 도면이다. 도 3(c)는 다른 실시예에 의한 커패시턴스 검출 패널(100) 구성의 개요를 도시한 도면이고, 도 3(d)는 해당 실시예의 구동 전극에 구동 신호를 제공한 것을 개요적으로 도시한 도면이다.

도 4는 데이터 정렬부와, 아날로그 디지털 변환기의 개요를 도시한 도면이다.

도 5는 도 1로 도시된 커패시턴스 검출 장치에서, 어느 한 감지 전극에서의 등가 회로를 도시한 도면이다.

도 6은 본 실시예에 의한 커패시턴스 검출 장치(10)의 타이밍 다이어그램이다.

도 7은 구동 신호와 커패시턴스 검출 신호의 개형을 도시한 도면이다.

도 8(a)와 도 8(b)는 구동 신호의 주파수에 따라 검출된 커패시턴스 검출 신호에서 저주파 노이즈가 개입된 양을 비교하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하에서는 첨부된 도면들을 참조하여 본 실시예에 의한 커패시턴스 검출 장치(10) 및 커패시턴스 검출 방법을 설명한다. 도 1은 본 실시예에 의한 커패시턴스 검출 장치(10)의 개요를 도시한 블록도이다. 도 1을 참조하면, 본 실시예에 의한 커패시턴스 검출 장치(10)는 상승 에지(rising edge)와 하강 에지(falling edge)가 교번하는 구동 신호(V_{TX})를 제공하는 신호원(V_{sig})과, 구동 신호(V_{TX})를 제공받고, 상승 에지에 의하여 형성되는 상승 에지 검출 신호와 하강 에지에 의하여 형성되는 하강 에지 검출 신호를 제공하는 커패시턴스 검출 패널(100) 및 상승 에지 검출 신호를 제공받고 검출 신호(V_{out})를 제공하는 제1 검출 회로(210) 및 하강 에지 검출 신호를 제공받고 반전 검출 신호(V_{outB})를 출력하는 제2 검출 회로(220)를 포함하는 검출 회로부(200)를 포함하며, 검출 신호(V_{out})와 반전 검출 신호(V_{outB})는 의사 차동(pseudo differential) 관계에 있다.

[0014] 도 1에서, 커패시턴스 검출 장치(10)는 액정 디스플레이(LCD, Liquid Crystal Display) 위에 배치될 수 있으며, $V_{noise, LCD}$ 는 액정 디스플레이에서 제공되는 노이즈를 표시한 것이다. $V_{noise, ENV}$ 는 커패시턴스 검출 장치가 위치하는 주변 환경에서 제공되는 노이즈를 표시한 것이며, $V_{noise, Low Freq}$ 는 커패시턴스 검출 장치에 전원을 제공하는 전원부 등으로부터 제공되는 저주파 노이즈를 표시한 것이다.

[0015] 도 2는 본 실시예에 의한 커패시턴스 검출 방법의 개요를 도시한 순서도이다. 도 2를 참조하면, 본 실시예에 의한 커패시턴스 검출 방법은 (a) 커패시턴스 검출 패널이 구동 신호의 상승 에지(rising edge)를 제공받아 상승

에지 검출 신호를 출력하는 단계(S100)와, (b) 검출 회로부가 상승 에지 검출 신호를 제공받아 검출 신호를 출력하는 단계(S200)와, (c) 커패시턴스 검출 패널이 구동 신호의 하강 에지(rising edge)를 제공받아 하강 에지 검출 신호를 출력하는 단계(S300)와, (d) 검출 회로부가 하강 에지 검출 신호를 제공받아 반전 검출 신호를 출력하는 단계(S400)를 포함하되, 검출 신호와 반전 검출 신호는 의사 차동(pseudo differential) 관계에 있다.

[0016] 신호원(Vsig)은 상승 에지와 하강 에지가 교번하는 구동 신호(V_{TX})를 커패시턴스 검출 패널(100)의 구동 전극(Tx1, Tx2, ..., Txn)에 제공한다. 신호원(Vsig)이 제공하는 구동 신호(V_{TX})는 일 예로, 사각 구형파(rectangular pulse)일 수 있다. 도시되지 않은 실시예로, 신호원(Vsig)이 제공하는 구동 신호는 램프 펄스열(ramp pulse train), 삼각 펄스열(triangular pulse train) 및 정현 펄스열(sinusoidal pulse train)중 하나일 수 있다. 이외에 도시되지 않은 여러 가지 형태의 신호열들이 사용될 수 있으며, 상기 신호들의 선형 중첩으로 이루어진 신호열들이 구동신호로 제공될 수 있다. 다만, 이하에서는 간결하고 명확한 설명을 위하여 구동 신호는 도 1에 도시된 개형을 가지는 사각 구형파(rectangular pulse)인 것으로 설명한다.

[0017] 도 3(a)는 일 실시예에 의한 커패시턴스 검출 패널(100) 구성의 개요를 도시한 도면이고, 도 3(b)는 해당 실시예의 구동 전극에 구동 신호를 제공한 것을 개요적으로 도시한 도면이다. 도 3(c)는 다른 실시예에 의한 커패시턴스 검출 패널(100) 구성의 개요를 도시한 도면이고, 도 3(d)는 해당 실시예의 구동 전극에 구동 신호를 제공한 것을 개요적으로 도시한 도면이다. 도 3(a)를 참조하면, 커패시턴스 검출 패널은 기판(Sub)의 일면에 배치된 복수의 구동 전극(driving electrode, Tx1, Tx2, ..., Txn)과, 기판(Sub)의 타면에 배치된 복수의 감지 전극(sensing electrode, Rx1, Rx2, ..., Rxn) 및 기판(Sub)을 포함한다.

[0018] 도 3(b)를 참조하면, 기판의 일면에 형성된 각각의 구동 전극(Tx1, Tx2, ..., Txn)은 감지 전극(Rx1, Rx2, ..., Rxn)과 교차점에서 커패시터를 형성하며, 이를 상호 커패시턴스(C_m, mutual capacitance)라고 한다. 즉, 구동 전극이 커패시터의 일 전극이 되고, 감지 전극이 커패시터의 타 전극이 된다. 구동 전극에 구동신호가 제공되어 구동 전극과 감지 전극 사이에는 전기장(E)이 형성되며, 전기장이 형성되는 공간이 커패시턴스의 유전체(dielectric material)에 해당한다. 도 3(b)는 Tx2에 구동신호가 제공되어 Tx2와 교차하는 감지전극(Rx1, Rx2, ..., Rxn)들 사이에서 전기장이 형성되고, 상호 커패시터(C_M)를 형성하는 것을 개요적으로 도시하였다.

[0019] 도 3(c)는 구동 전극들(Tx1, Tx2, ..., Txn)과 감지 전극들(Rx1, Rx2, ..., Rxn)이 기판(Sub)의 동일한 면에 위치한 패널의 실시예를 개요적으로 도시한다. 각각의 구동 전극은 다이아몬드 형태의 패턴과 각각의 다이아몬드 패턴을 연결하는 연결선을 포함하여 이루어지며, 각각의 감지 전극은 다이아몬드 형태의 패턴과 각각의 다이아몬드 패턴을 연결하는 연결선을 포함하여 이루어진다. 구동 전극의 다이아몬드 패턴과 감지 전극의 다이아몬드 패턴은 서로 접촉하지 않으며, 구동 전극과 감지 전극의 연결선은 서로 전기적으로 단락(short)회로를 형성하지 않도록 연결선과 연결선 사이에 절연물질이 개재된다.

[0020] 도 3(c)의 패널을 B-B' 절단선을 따라 절단한 단면도인 도 3(d)를 참조하면, 구동 전극 Txn에 구동신호가 인가되면 구동 전극의 각 다이아몬드는 인접한 감지 전극의 다이아몬드와 전기장을 형성하는 바, 그에 따라 상호 커패시턴스(C_M)를 형성한다. 도 2(d)에는 Txn이 감지 전극 Rx1 및 Rx2과 상호 커패시턴스를 형성하는 것을 도시하였다.

[0021] 다시 도 1을 참조하면, 검출 회로부(200)는 구동 신호(V_{TX})의 상승 에지가 커패시턴스 검출 패널(100)에 제공되어 형성되는 전류 신호인 상승 에지 검출 신호(ir)를 감지 전극(Rxk)으로부터 제공받고, 검출 신호(Vout)를 출력하는 제1 검출 회로(210)와 구동 신호(V_{TX})의 하강 에지가 커패시턴스 검출 패널(100)에 제공되어 형성되는 전류 신호인 하강 에지 검출 신호(if)를 감지 전극(Rxk)으로부터 제공받고, 반전 검출 신호(VoutB)를 출력하는 제2 검출 회로(220)를 포함한다.

[0022] 일 실시예로, 제1 검출 회로(210) 및 제2 검출 회로(220)는 각각 차지 앰프(charge amplifier)를 포함할 수 있다. 차지 앰프는 반전 입력(inverting input), 비반전 입력(non-inverting input) 및 출력을 가지는 연산 증폭기(OP-AMP)와, 반전 입력과 출력에 전기적으로 연결되어 전류 신호를 제공받고 이를 누적하여 전압 신호를 형성하는 커패시터(Cf)를 포함한다. 일 실시예로, 차지 앰프는 커패시터(Cf)와 병렬로 연결되어 커패시터에 충전된 전하를 방전하는 방전 스위치(SWf)를 더 포함할 수 있다. 또한, 제1 검출 회로(210) 및 제2 검출 회로(220)는 각 검출 회로와 커패시턴스 검출 패널(100)를 연결하거나 차단하는 연결 스위치(SWd)를 포함한다.

[0023] 제1 검출 회로(210)에 포함된 커패시터는 Cf1, 방전 스위치는 SWf1, 연결 스위치는 SWd1이라고 부호를 붙이고, 제2 검출 회로(220)에 포함된 커패시터는 Cf2, 방전 스위치는 SWf2, 연결 스위치는 SWd2라고 부호를 붙인다.

- [0024] 전류 신호인 상승 에지 검출 신호(ir) 및 하강 에지 검출 신호(if)는 각각 연결 스위치 SWd1, SWd2를 통하여 제 1 검출 회로(210), 제2 검출 회로(220)에 포함된 차지 앰프의 반전 입력으로 제공된다. 각 차지 앰프의 비반전 입력으로는 기준 전압(Vref)이 제공된다.
- [0025] 도 4는 데이터 정렬부(300)와, 아날로그 디지털 변환기(ADC,400)의 개요를 도시한 도면이다. 도 4를 참조하면, 커패시턴스 검출 장치(10)는 검출 회로부(200)가 출력한 신호를 정렬하여 출력하는 데이터 정렬부(data alignment unit, 300)와, 데이터 정렬부(300)가 정렬하여 출력한 신호를 디지털 신호로 변환하는 아날로그 디지털 변환기(ADC)를 더 포함한다. 도 4(a) 및 도 4(b)로 도시된 실시예에서, 데이터 정렬부(300)는 검출 회로부(200)가 출력한 신호를 제공받고, 이들을 시간적으로 정렬하여 아날로그 디지털 변환기(ADC, 400)에 제공한다.
- [0026] 도 4(a)로 도시된 실시예에서, 데이터 정렬부(300)는 제1 검출 회로(210)가 출력한 검출 신호(Vout) 및 제2 검출 회로(220)가 출력한 반전 검출 신호(VoutB) 중 어느 하나를 제공받고, 다른 하나의 출력시까지 유지하여 출력하는 샘플 앤드 홀드부(Sample and Hold Unit, 310)를 포함한다.
- [0027] 일 실시예로, 샘플 앤드 홀드부(310)는 한 번의 샘플(sample) 과정을 수행하고, 샘플된 값을 유지하는 홀드(hold) 동작을 수행하며, 샘플(sample)후 샘플된 데이터를 홀드 하는 동안 아날로그-디지털 변환기(ADC, 400)에 데이터를 전달한다. 일 예로, 샘플 앤드 홀드부(310)는 ADC(400)에 데이터를 전달한 후 리셋 신호를 제공하여 ADC에 포함된 커패시터를 초기화할 수 있다.
- [0028] 도 4(b)로 도시된 실시예에서, 데이터 정렬부(300)는 제1 검출 회로(210)가 출력한 검출 신호(Vout) 및 제2 검출 회로(220)가 출력한 반전 검출 신호(VoutB)를 제공받고, 이를 적분하여 출력하는 적분기(Int. 320)를 포함한다.
- [0029] 일 실시예로, 적분기(320)는 복수회의 샘플(sample)과 복수회의 누적 동작을 수행할 수 있다. 적분기(320)는 복수회의 샘플 및 누적 동작을 수행하여 아날로그-디지털 변환기(ADC,400)에 형성된 데이터를 전달한다. 일 예로, 적분기(320)는 데이터를 ADC(400)에 전달 후, 적분기에 포함된 피드백 커패시터의 리셋 신호를 제공하여 초기화할 수 있다.
- [0030] 아날로그 디지털 변환기(ADC, 400)는 데이터 정렬부(300)가 출력한 신호를 제공받고, 이를 디지털 신호로 변환한다. 변환된 디지털 신호는 내부 회로 또는 외부 회로에서 처리되며, 이를 이용하여 커패시턴스 검출 패널(100)을 터치 하는 오브젝트의 좌표, 움직임, 호버링하는 오브젝트의 유무, 좌표 등을 검출할 수 있다.
- [0031] 이하에서는 본 실시예에 의한 커패시턴스 검출 장치(10)의 동작예를 설명한다. 도 5는 도 1로 도시된 커패시턴스 검출 장치에서, 어느 한 감지 전극 에서의 등가 회로를 도시한 도면이고, 도 6은 본 실시예에 의한 커패시턴스 검출 장치(10)의 타이밍 다이어그램이다.
- [0032] 도 6에서, Pf1은 제1 검출 회로(210)의 차지 앰프 앰프에 포함된 방전 스위치(SWf1)의 제어 전극에 제공되는 신호이고, Pd1은 커패시턴스 검출 패널(100)과 제1 검출 회로(210)의 차지 앰프를 연결하는 연결 스위치(SWd1)의 제어 전극에 제공되는 신호이다. Pf2는 제2 검출 회로(220)의 차지 앰프 앰프에 포함된 방전 스위치(SWf2)의 제어 전극에 제공되는 신호이고, Pd2는 커패시턴스 검출 패널(100)과 제2 검출 회로(220)의 차지 앰프를 연결하는 연결 스위치(SWd2)의 제어 전극에 제공되는 신호이다.
- [0033] 설명되는 실시예에서, 방전 스위치(SWf1)과 방전 스위치(SWf2), 연결 스위치(SWd1)과 연결 스위치(SWd2)는 양의 전압을 제공받아 도통되는 NMOS(N-type Metal Oxide Semiconductor) 스위치를 예시하여 설명된다. 다만 이는 단순히 용이한 이해를 위한 것이며, 본 발명의 범위를 제한하고자 하는 것이 아니다. 따라서, 방전 스위치(SWf1)과 방전 스위치(SWf2), 연결 스위치(SWd1)과 연결 스위치(SWd2)는 양극성 접합 트랜지스터(BJT, Bipolar Junction Transistor) 또는 PMOS 스위치를 이용하여 구현할 수 있음은 물론이다.
- [0034] Vout은 제1 검출 회로(210)가 출력하는 검출 신호(Vout)의 개형을 개요적으로 도시하며, VoutB는 각각 제2 검출 회로(220)가 출력하는 검출 신호(VoutB)의 개형을 개요적으로 도시한다.
- [0035] 도 1, 도 5 및 도 6을 참조하면, 구동 신호(V_{TX})의 상승 에지 이전에 리셋 과정(R)을 수행한다. 리셋 과정(R)은 방전 스위치(SWf1)와 연결 스위치(SWd1)이 동시에 도통되어 수행된다.
- [0036] 일 실시예에서, 방전 스위치(SWf1) 및 연결 스위치(SWd1)이 동시에 도통되어 리셋 과정(R)이 수행됨에 따라 커패시터(Cf)에 충전된 전하가 방전된다. 따라서, 커패시터 Cf 양단의 전압을 초기화할 수 있다. 연결 스위치(SWd1)이 도통됨에 따라 커패시턴스 검출 패널(100)의 기생 커패시턴스 C_{p,rx}가 기준 전압(Vref)로 충전된다. 따

라서, 검출 회로(210)에서 보이는 기생 커패시턴스 C_{PRX} 의 영향을 감소시킬 수 있다.

[0037] 리셋 과정(R)이 수행된 후, 커패시턴스 검출 패널(100)은 구동 신호(V_{TX})의 상승 에지에 의하여 형성된 상승 에지 검출 신호(ir)을 출력한다(S100). 상승 에지 검출 신호(ir)는 도통된 연결 스위치(SWd1)을 통하여 제1 검출 회로(210)에 제공된다.

[0038] 상술한 바와 같이 커패시턴스 검출 패널(100)의 구동 전극은 감지 전극과 커패시터(C_M)를 형성한다. 커패시터의 일 전극인 구동 전극(Tx)에 구동 신호(V_{TX})가 제공되면 커패시터의 다른 전극인 감지 전극(Rx)에는 오브젝트의 접근 여부에 따라 변화하는 상승 에지 검출 신호(ir)와 하강 에지 검출 신호(if)가 형성된다. 상승 에지 검출 신호(ir)와 하강 에지 검출 신호(if)는 아래의 수학적 식 1로 표현될 수 있다.

수학적 식 1

[0039]
$$i(t) = C_M \frac{dV}{dt}$$

[0040] (C_M : 상호 커패시터의 커패시턴스, V: 구동 신호의 진폭)

[0041] 구동 신호의 형태에 따라 전기적 신호(i)의 형태가 다를 수 있다. 일 예로, 구동 신호가 도 7(a)로 도시된 것과 같이 사각 구형파인 경우에, 구동 신호의 상승 에지가 커패시턴스 검출 패널(100)에 제공되어 형성되는 상승 에지 검출 신호(ir)는 이상적으로 도 7(b)에 도시된 것과 같이 구형파 상승 에지(rising edge)에서의 미분에 의하여 값을 가지는 델타 함수(Dirac Delta Function)의 형태를 가진다. 마찬가지로, 구동 신호의 하강 에지가 커패시턴스 검출 패널(100)에 제공되어 형성되는 하강 에지 검출 신호(if)는 이상적으로 구형파 하강 에지(falling edge)에서의 미분에 의하여 값을 가지는 델타 함수의 형태를 가진다.

[0042] 그러나, 실제의 커패시턴스 검출 패널(100)은 기생 저항, 기생 커패시턴스 등의 비이상적 특성을 가진다. 이러한 비이상적 특성의 영향으로 상승 에지 검출 신호(ir) 및 하강 에지 검출 신호(if)는 도 7(c)에 도시된 상승 스파이크(spike) 및 하강 스파이크를 가지는 개형을 가진다.

[0043] 일 실시예로, 오브젝트가 커패시턴스 검출 패널(100)에 접근하면 커패시턴스 검출 패널(100)의 구동 전극(Tx)과 감지 전극(Rx) 사이에서 형성된 전기장을 오브젝트가 션트(shunt)하여 감소시킨다. 이것은 유전체가 변화하여 커패시터 내의 전기장 플럭스가 감소하는 것과 동일한 영향을 가져오므로, 커패시턴스 C_M 값이 감소하는 것과 유사한 결과를 가져온다. 수학적 식 1에서 알 수 있는 바와 같이 커패시턴스 값이 감소함에 따라 전기적 신호의 크기는 감소하며, 이는 도 7(c)에서 로 도시된 영역과 같다.

[0044] 도 7(c)에서 로 표시된 구간은 오브젝트가 커패시턴스 검출 패널에 접근하지 않거나, 충분히 접근하지 않은 구간이며, 로 표시된 구간은 오브젝트가 구동 전극이 제공하는 전기장을 션트할 정도로 충분히 커패시턴스 검출 패널에 접근한 구간이다. 따라서 오브젝트(O)가 커패시턴스 검출 패널(100)에 충분히 접근한 경우에 패널이 구동 신호(V_{TX})에 상응하여 출력하는 신호를 이용하여 오브젝트에 의한 커패시턴스 변화를 검출할 수 있다.

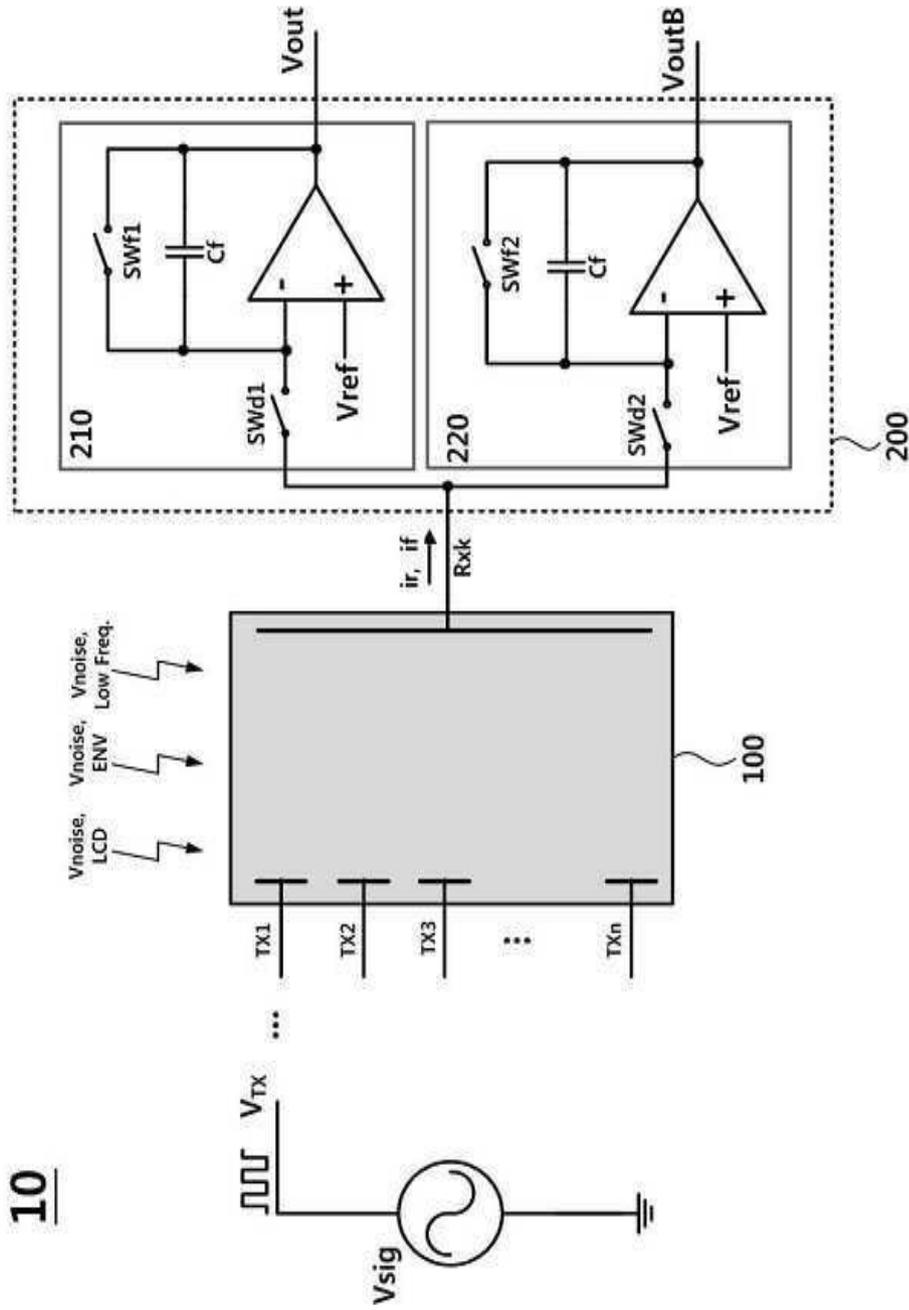
[0045] 상승 에지 검출 신호(ir)는 연결 스위치(SWd1)을 거쳐 제1 검출회로(210)에 제공된다. 제1 검출 회로(210)는 연결 스위치가 도통된 시간(B)동안 전류 신호인 상승 에지 검출 신호(ir)를 누적하여 전압 신호로 형성한다. 연결 스위치(SWd1)가 도통되지 않고 차단됨에 따라 전압 신호는 리셋 과정이 수행되기 전까지(S) 유지되며, 이는 도 6에서 V_{out} 의 굵은 실선으로 도시된 바와 같다. 이어서, 제1 검출 회로(210)는 형성된 전압 신호인 검출 신호(V_{out})를 출력한다(S200).

[0046] 구동 신호(V_{TX})의 하강 에지 이전에 리셋 과정(R)을 수행한다. 리셋 과정(R)은 방전 스위치(SWf2)와 연결 스위치(SWd2)가 동시에 도통되어 수행된다. 리셋 과정에서, 커패시터(C_f)에 충전된 전하가 방전되어 커패시터 C_f 양단의 전압을 초기화할 수 있다. 연결 스위치(SWd2)이 도통됨에 따라 커패시턴스 검출 패널(100)의 기생 커패시턴스 $C_{p,rx}$ 가 기준 전위 V_{ref} 로 충전되며, 검출 회로(220)에서 보이는 기생 커패시턴스 C_{PRX} 의 영향을 감소시킬 수 있다.

[0047] 연결 스위치(SWd2)가 도통된 후, 커패시턴스 검출 패널(100)은 구동 신호(V_{TX})의 하강 에지에 의하여 형성된 하

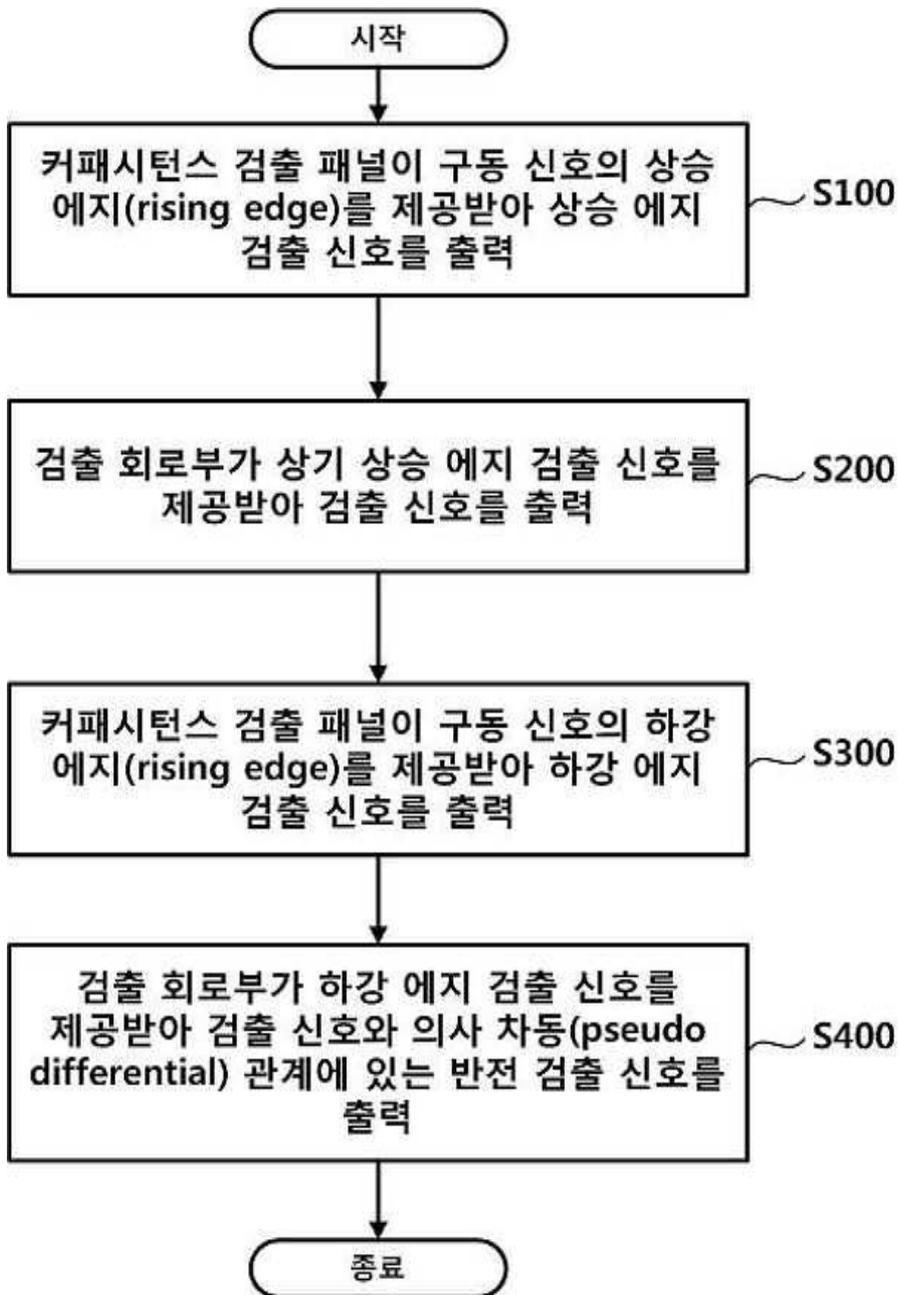
도면

도면1

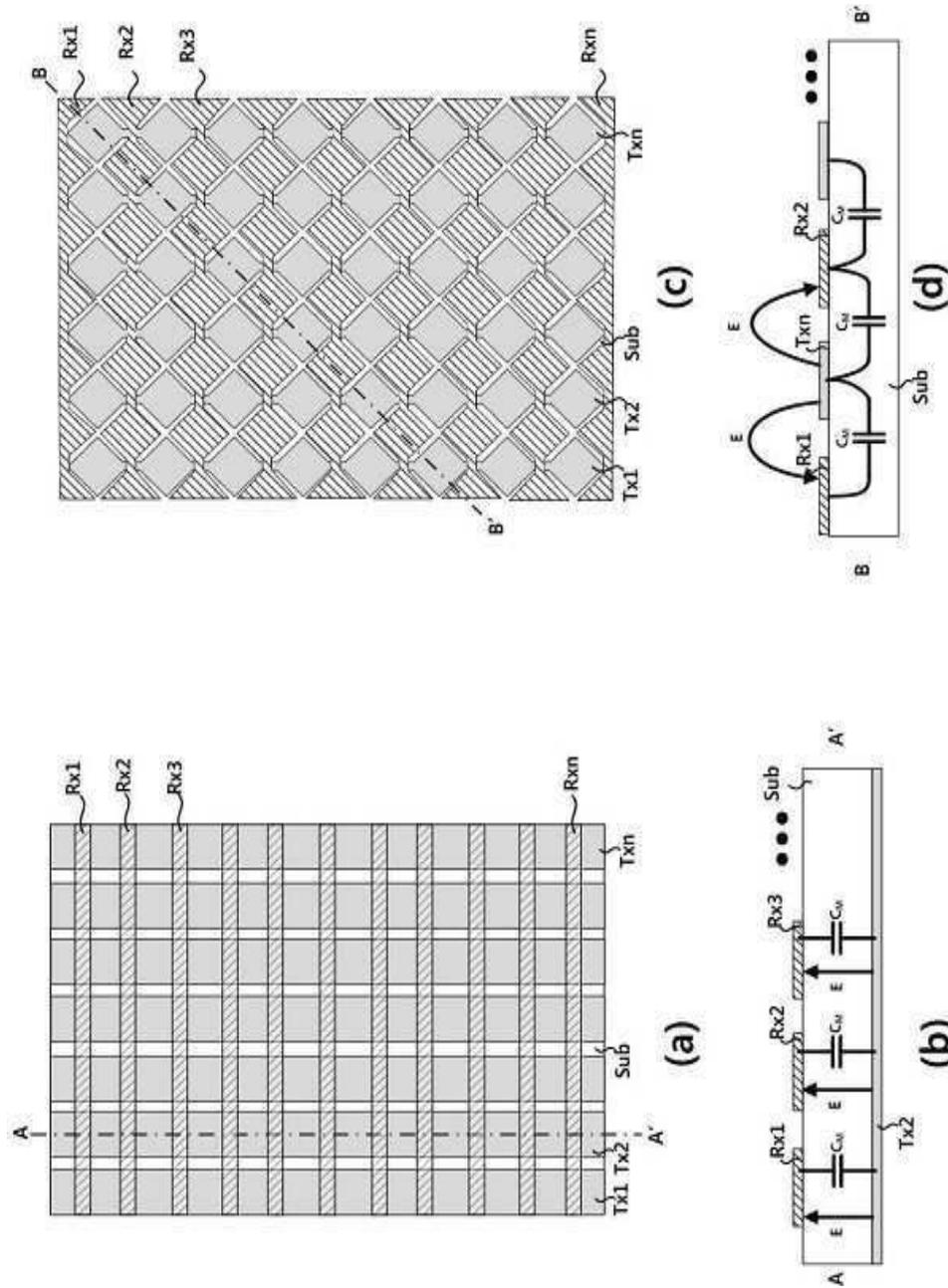


10

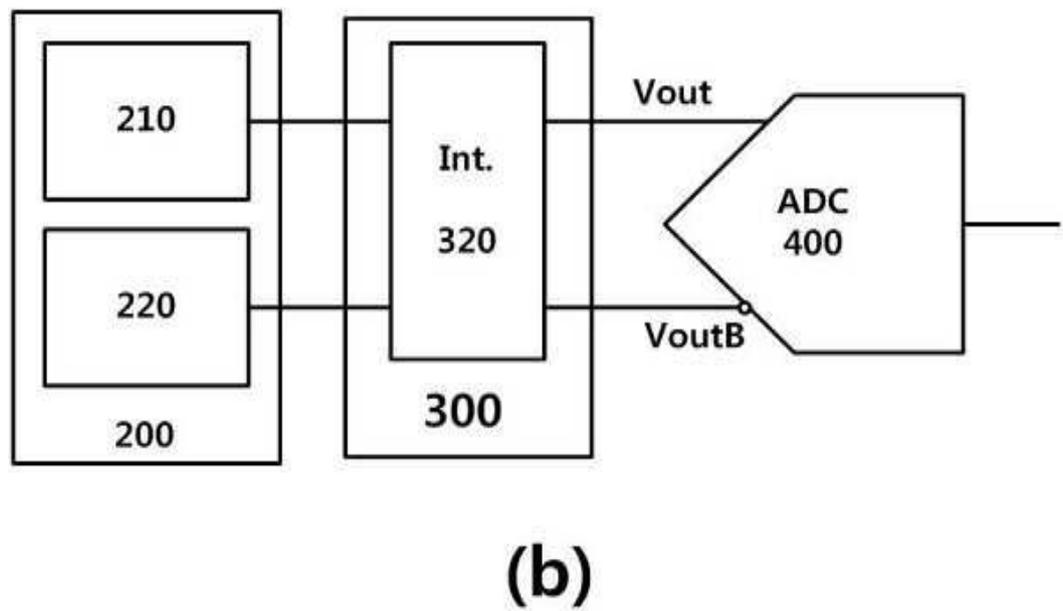
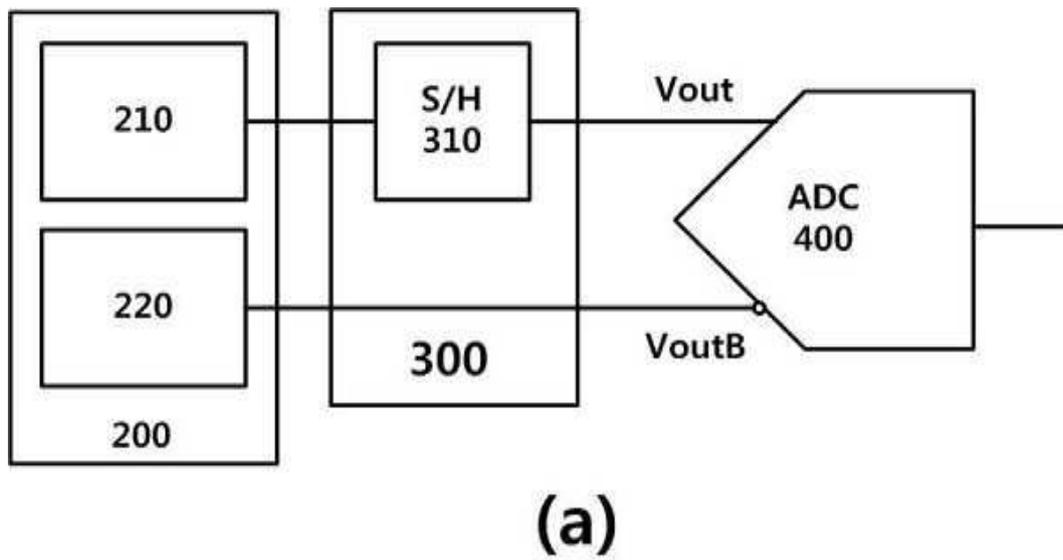
도면2



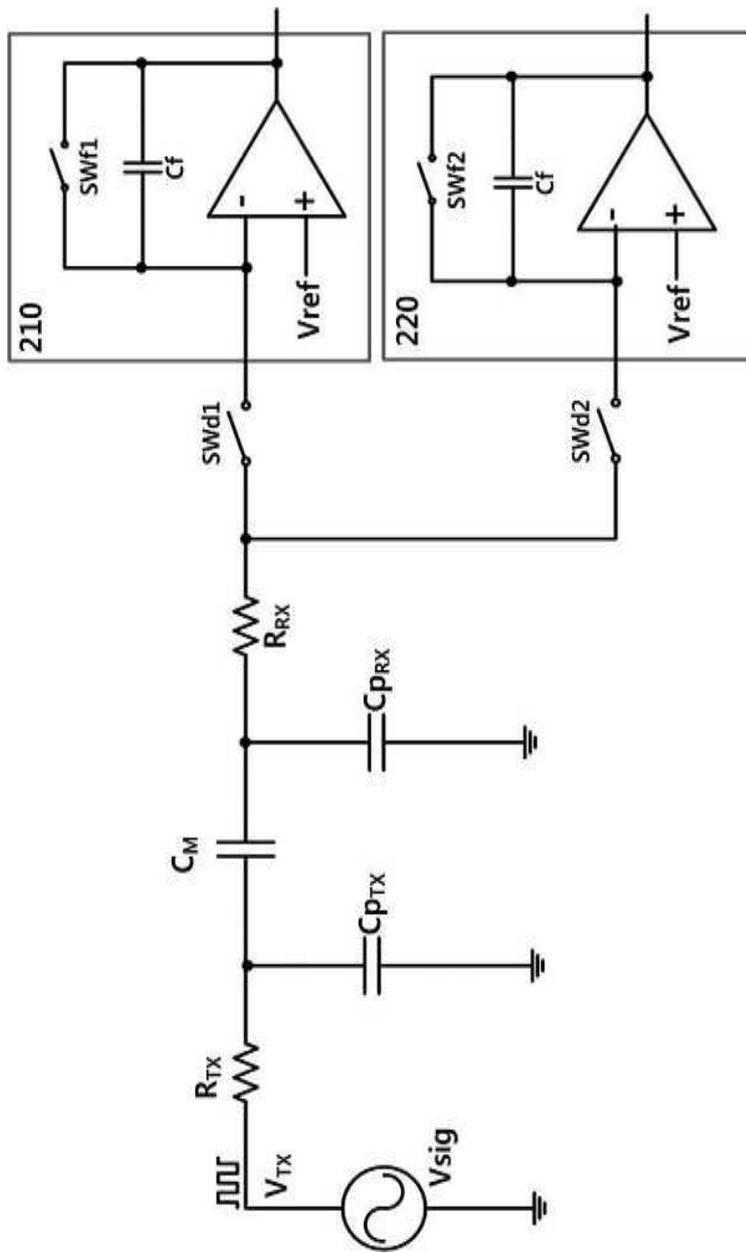
도면3



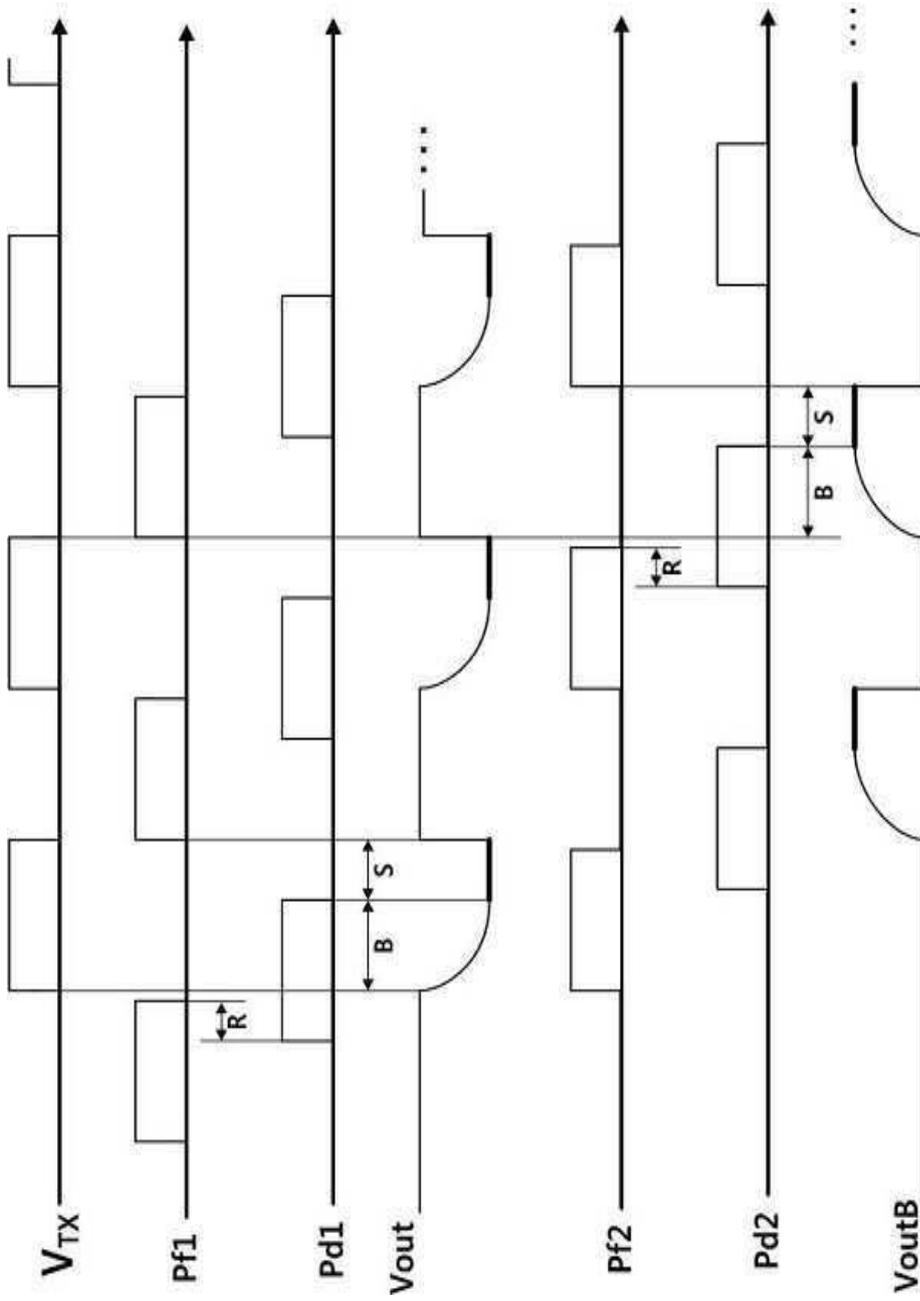
도면4



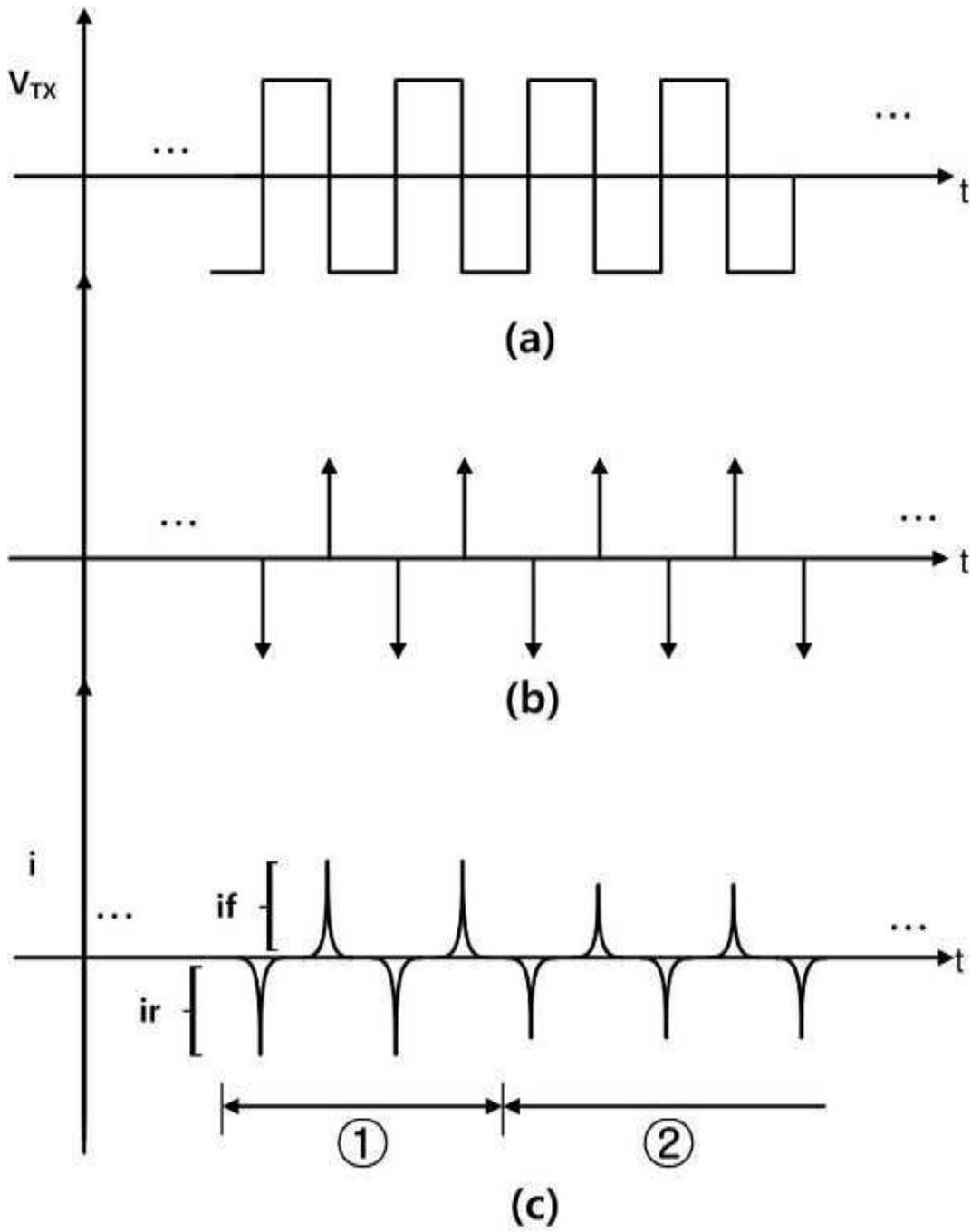
도면5



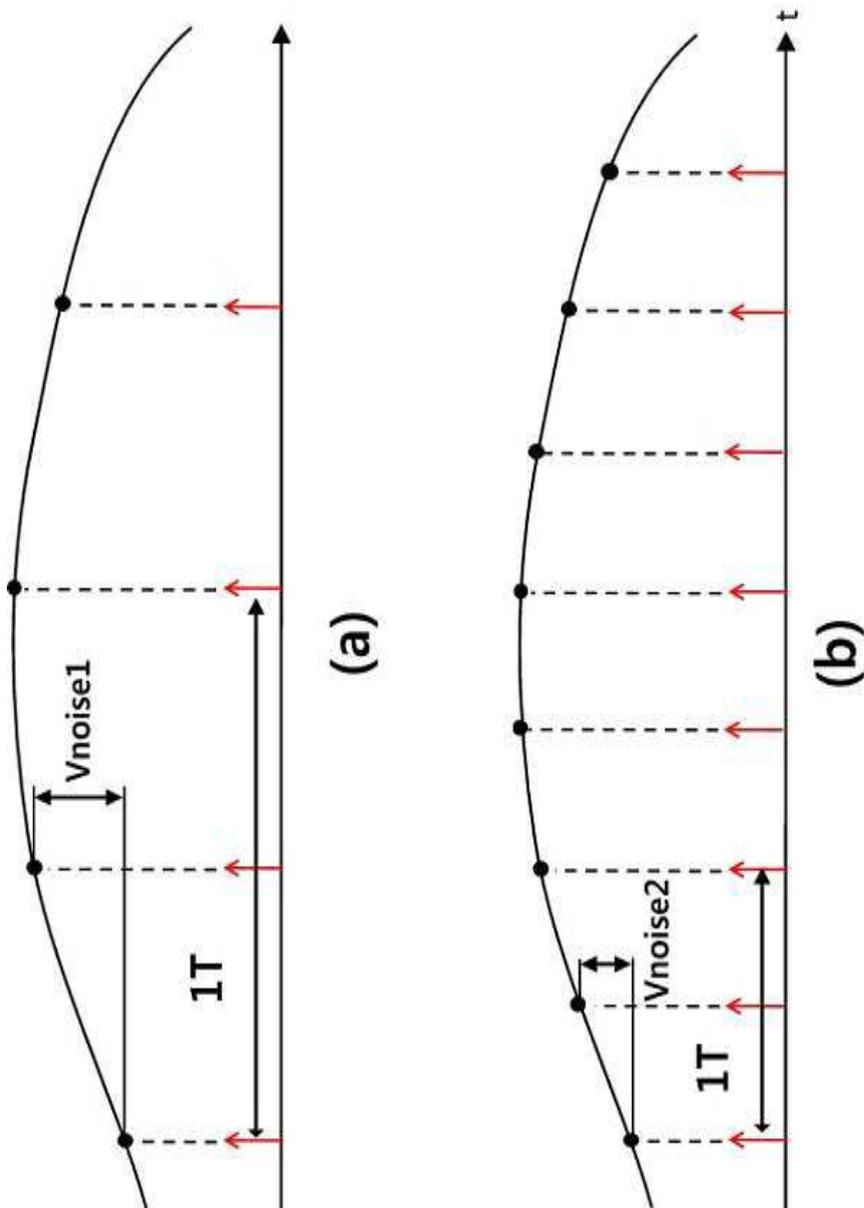
도면6



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제1항의 첫번째 줄

【변경전】

상기 구동 신호

【변경후】

구동 신호

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 제1항의 두번째 줄

【변경전】

상기 하강 예지

【변경후】

하강 예지

【식권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 제1항의 첫번째 줄

【변경전】

상기 상승 예지

【변경후】

상승 예지