



(12)发明专利申请

(10)申请公布号 CN 111381254 A

(43)申请公布日 2020.07.07

(21)申请号 201911378052.1

(22)申请日 2019.12.27

(71)申请人 上海航天控制技术研究所
地址 201109 上海市闵行区中春路1555号

(72)发明人 左乐 郑循江 朱庆华 陈纾
余路伟 张磊 杨逸峰 杨世坤
曹卫卫

(74)专利代理机构 上海元好知识产权代理有限公司 31323

代理人 徐雯琼 张妍

(51)Int.Cl.

G01S 19/21(2010.01)

G01S 19/01(2010.01)

G05B 19/042(2006.01)

G05B 19/048(2006.01)

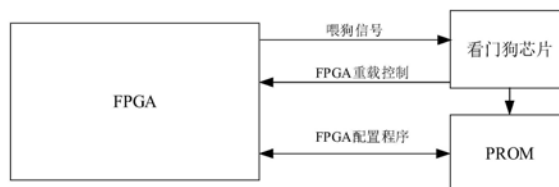
权利要求书1页 说明书3页 附图1页

(54)发明名称

基于FPGA的高可靠导航敏感器抗单粒子翻转装置

(57)摘要

本发明公开了一种基于FPGA的高可靠导航敏感器抗单粒子翻转装置,包括:监测单元,其用于监测信号跳变沿的个数;第一标识输出单元,其输入端连接于监测单元,用于在监测窗口预设的时长中,当信号跳变沿个数小于预设阈值时输出一第一异常标识信号;控制单元,其输入端连接于标识输出单元,用于根据所述的第一异常标识信号停止对看门狗芯片进行喂狗。



1. 一种基于FPGA的高可靠导航敏感器抗单粒子翻转装置,其特征在于,包括:
监测单元,其用于监测信号跳变沿的个数;
第一标识输出单元,其输入端连接于监测单元,用于在监测窗口预设的时长中,当信号跳变沿个数小于预设阈值时输出一第一异常标识信号;
控制单元,其输入端连接于标识输出单元,用于根据所述的第一异常标识信号停止对看门狗芯片进行喂狗。
2. 如权利要求1所述的基于FPGA的高可靠导航敏感器抗单粒子翻转装置,其特征在于,所述的监测单元还用于监测信号在监测窗口的预设时长内是否恒定不变。
3. 如权利要求2所述的基于FPGA的高可靠导航敏感器抗单粒子翻转装置,其特征在于,还包括:
第二标识输出单元,其输入端连接于监测单元,当信号在监测窗口的预设时长内变化时输出一第二异常标识信号;
所述的控制单元还根据第二异常标识信号停止对看门狗芯片进行喂狗。
4. 如权利要求1或3所述的基于FPGA的高可靠导航敏感器抗单粒子翻转装置,其特征在于,所述的看门狗芯片停止接收喂狗信号后,控制FPGA复位重启。
5. 如权利要求1所述的基于FPGA的高可靠导航敏感器抗单粒子翻转装置,其特征在于,所述的第一标识输出单元在监测窗口预设的时长中,当信号跳变沿个数大于或等于预设阈值时输出一第一正常标识信号,所述的控制单元根据所述的第一正常标识信号持续对看门狗芯片进行喂狗。
6. 如权利要求3所述的基于FPGA的高可靠导航敏感器抗单粒子翻转装置,其特征在于,所述的第二标识输出单元在监测窗口的预设时长内信号保持不变时输出一第二正常标识信号,所述的控制单元根据所述的第二正常标识信号持续对看门狗芯片进行喂狗。

基于FPGA的高可靠导航敏感器抗单粒子翻转装置

技术领域

[0001] 本发明特别涉及一种基于FPGA的高可靠导航敏感器抗单粒子翻转装置。

背景技术

[0002] 导航敏感器是目前卫星或星体环绕器上用的很多的一种姿态敏感器,是一种光学成像和定姿的精密装置。通过驱动探测器成像,图像处理包括图像滤波、非均匀矫正和边缘提取等过程。通过提取的边缘点来计算敏感器的姿态。以上的全部过程都在FPGA实现,而现在导航敏感器的主流FPGA芯片为SARM型。然而SRAM型的FPGA在太空中易发生单粒子翻转,使得产品不能正常工作。通过对整个系统的程序中的关键信号实时的检测,来判断产品是否工作正常。

发明内容

[0003] 本发明的目的是提供一种基于FPGA的高可靠导航敏感器抗单粒子翻转装置,可以有效的抵消FPGA在太空中发生单粒子翻转所造成的不利影响。

[0004] 为了实现以上目的,本发明是通过以下技术方案实现的:

[0005] 一种基于FPGA的高可靠导航敏感器抗单粒子翻转逻辑电路,其特点是,包括:

[0006] 监测单元,其用于监测信号跳变沿的个数;

[0007] 第一标识输出单元,其输入端连接于监测单元,用于在监测窗口预设的时长中,当信号跳变沿个数小于预设阈值时输出一第一异常标识信号;

[0008] 控制单元,其输入端连接于标识输出单元,用于根据所述的第一异常标识信号停止对看门狗芯片进行喂狗。

[0009] 所述的监测单元还用于监测信号在监测窗口的预设时长内是否恒定不变。

[0010] 还包括:

[0011] 第二标识输出单元,其输入端连接于监测单元,当信号在监测窗口的预设时长内变化时输出一第二异常标识信号;

[0012] 所述的控制单元还根据第二异常标识信号停止对看门狗芯片进行喂狗。

[0013] 所述的看门狗芯片停止接收喂狗信号后,控制FPGA复位重启。

[0014] 所述的第一标识输出单元在监测窗口预设的时长中,当信号跳变沿个数大于或等于预设阈值时输出一第一正常标识信号,所述的控制单元根据所述的第一正常标识信号持续对看门狗芯片进行喂狗。

[0015] 所述的第二标识输出单元在监测窗口的预设时长内信号保持不变时输出一第二正常标识信号,所述的控制单元根据所述的第二正常标识信号持续对看门狗芯片进行喂狗。

[0016] 本发明与现有技术相比,具有以下优点:

[0017] 全面性。可以对系统的全部的关键信号进行检测,来判断产品是否工作正常。

[0018] 定时检测。通过设定检测窗的起始时刻和终止时刻来设定检测时间窗,对信号的

上升或下降沿计数来判断是否达到所设阈值或信号是否为恒定不变的值,达到了所设阈值或信号恒定不变,并对计时器定时清零,达到实施检测的目的。

[0019] 有效性。对于非反熔丝类型的FPGA而言,在太空中发生单粒子翻转是必然的。而FPGA又是导航传感器的重要器件,FPGA的工作异常直接会导致导航传感器的工作异常。本专利设计的防止单粒子翻转逻辑电路,能有效的抵抗FPGA发生单粒子翻转所带来的不利影响。防止单粒子翻转逻辑电路通过与硬件看门狗电路配合使用,来控制导航传感器的复位重启,从FLASH重新加载程序,来达到刷新程序的目的,抵抗FPGA发生单粒子翻转所造成的不利影响。

附图说明

[0020] 图1为本发明一种基于FPGA的高可靠导航传感器抗单粒子翻转装置结构图。

[0021] 图2为本发明异常状态检测电路状态图。

具体实施方式

[0022] 以下结合附图,通过详细说明一个较佳的具体实施例,对本发明做进一步阐述。

[0023] 如图1所示,一种基于FPGA的高可靠导航传感器抗单粒子翻转逻辑电路,包括:监测单元,其用于监测信号跳变沿的个数;第一标识输出单元,其输入端连接于监测单元,用于在监测窗口预设的时长中,当信号跳变沿个数小于预设阈值时输出一第一异常标识信号;控制单元,其输入端连接于标识输出单元,用于根据所述的第一异常标识信号停止对看门狗芯片进行喂狗。

[0024] 所述的监测单元还用于监测信号在监测窗口的预设时长内是否恒定不变。

[0025] 在具体实施例中,该装置还包括:第二标识输出单元,其输入端连接于监测单元,当信号在监测窗口的预设时长内变化时输出一第二异常标识信号;所述的控制单元还根据第二异常标识信号停止对看门狗芯片进行喂狗。

[0026] 所述的看门狗芯片停止接收喂狗信号后,控制FPGA复位重启。所述的第一标识输出单元在监测窗口预设的时长中,当信号跳变沿个数大于或等于预设阈值时输出一第一正常标识信号,所述的控制单元根据所述的第一正常标识信号持续对看门狗芯片进行喂狗。

[0027] 所述的第二标识输出单元在监测窗口的预设时长内信号保持不变时输出一第二正常标识信号,所述的控制单元根据所述的第二正常标识信号持续对看门狗芯片进行喂狗。

[0028] 具体地,选择待实时检测的关键信号,即如果这些信号发生翻转,产品不能正常工作,包括探测器的控制信号、帧同步信号、行同步信号、数据有效信号等关键信号。弄清这些关键信号的工作波形,为设置实时监测周期准备。

[0029] 区分待测信号是恒定不变的,还是随时间高低变化的信号。

[0030] 设置实时监测周期,根据硬件看门狗芯片硬件设置的产品重启的时间阈值和关键信号特点,设置实施检测周期。

[0031] 产品上电后,设置等待一定的时间,让关键信号的波形变化稳定。对于上电之后一直不变的信号,一直检测其为高或为低,认为此信号工作正常。对于随着时间不断变化的信号,设计检测周期为5秒,检测时间窗口为2秒,检测状态结果持续为3秒时间。在检测时间窗

口内就检测信号上升沿或下降沿产生的次数,当大于所设要求的值时,则认为该信号工作正常;反之,则认为该信号发生了单粒子翻转;5秒过后清零边沿计数器,重新另一个周期的检测。

[0032] 在一个检测周期内,检测状态结果保持不变的持续时间为3秒大于硬件所设看门狗芯片给产品断电的最短时间。用检测状态变量控制看门狗的喂狗信号。当检测到产品工作状态为A5时,认为导航敏感器工作正常,则持续产生喂狗信号,产品不复位重启;当检测到产品工作状态为B5时,认为导航敏感器工作异常即发生单粒子翻转,则停止产生喂狗信号,产品复位重启,刷新FPGA程序,抵抗单粒子翻转所带来的不利影响。

[0033] 如图2所示,可选的,该装置的初始状态为IDLE状态即空闲状态,此时各计数器和状态寄存器的状态都为零。然后时间计数器计时5s后,状态寄存器跳到Wait_5s状态;时间计数器计时5s的目的是让所有的信号工作稳定,为后续信号状态监测作准备;状态寄存器跳到Wait_5s状态后,立刻跳到状态Risedge_Cnt状态即信号跳变沿监测计数状态。在FPGA中的信号为两种:一种为恒定不变的信号即常高或常低的信号,另一种为随时间电平高低变化的信号;Risedge_Cnt状态持续的时间为4s,而设定的监测信号跳变沿的阈值下限的个数为6个。对于恒定不变的信号而言,在4s的监测窗的内持续不变,则认为该信号工作正常,否则认为该信号发生单粒子翻转工作异常。对于随时间高低电平的信号,在4s的监测窗内,边沿计数器的个数小于的阈值下限6时,认为该信号发生单粒子翻转工作异常。4s后状态寄存器跳到Status_Monitor状态,输出抗单粒子翻转的逻辑电路的判断的监测的状态标识。当所有的监测的信号都工作正常时,抗单粒子翻转的逻辑电路输出的结果为A5;当有一个监测信号工作异常时,抗单粒子翻转的逻辑电路输出的结果为B5;

[0034] 控制单元通过实时监测抗单粒子翻转的逻辑电路输出的状态标识,来控制喂狗信号。当抗单粒子翻转的逻辑电路输出的结果为A5时,持续不断的给硬件看门狗喂狗信号;当抗单粒子翻转的逻辑电路输出的结果为B5时,FPGA停止给硬件看门狗喂狗,硬件看门狗电路控制FPGA重启,并重新从PROM中加载源程序,抵消FPGA发生单粒子翻转所造成的不利影响。

[0035] 尽管本发明的内容已经通过上述优选实施例作了详细介绍,但应当认识到上述的描述不应被认为是对本发明的限制。在本领域技术人员阅读了上述内容后,对于本发明的多种修改和替代都将是显而易见的。因此,本发明的保护范围应由所附的权利要求来限定。

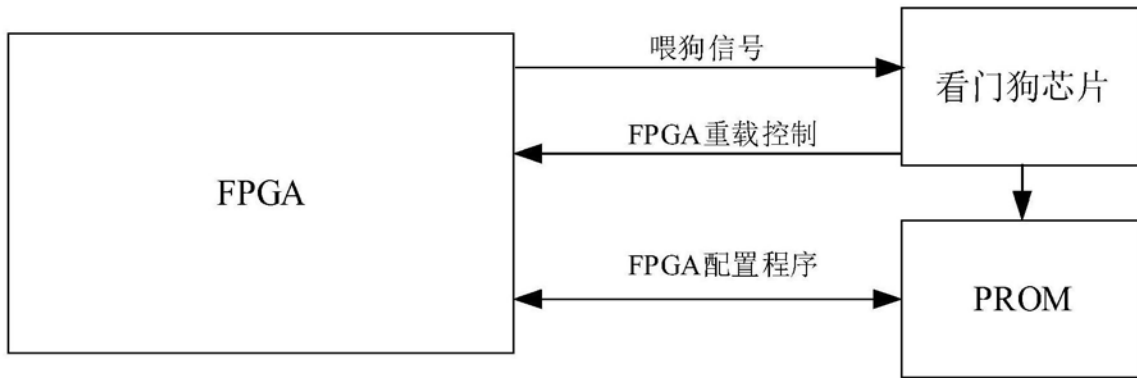


图1

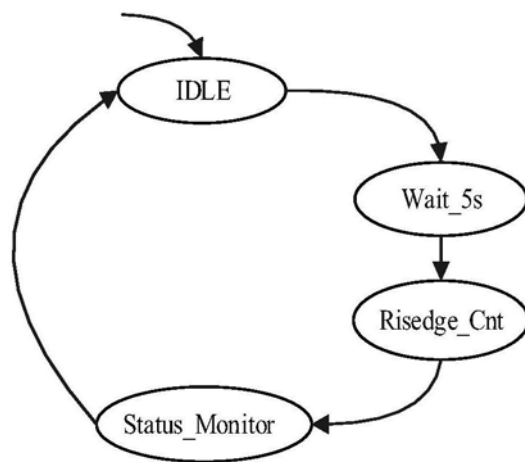


图2