

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-105374
(P2009-105374A)

(43) 公開日 平成21年5月14日(2009.5.14)

| (51) Int.Cl. | F I | テーマコード (参考) |
|--------------------------|----------------------|-------------|
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 3 O 1 D | 5 F 0 0 3 |
| HO 1 L 21/8249 (2006.01) | HO 1 L 27/06 3 2 1 A | 5 F 0 4 8 |
| HO 1 L 27/06 (2006.01) | HO 1 L 27/08 1 0 2 B | 5 F 0 8 2 |
| HO 1 L 21/8234 (2006.01) | HO 1 L 29/72 P | 5 F 1 4 0 |
| HO 1 L 27/088 (2006.01) | HO 1 L 27/06 1 0 1 U | |

審査請求 有 請求項の数 14 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2008-188454 (P2008-188454)
 (22) 出願日 平成20年7月22日 (2008.7.22)
 (31) 優先権主張番号 特願2007-261488 (P2007-261488)
 (32) 優先日 平成19年10月5日 (2007.10.5)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100085501
 弁理士 佐野 静夫
 (74) 代理人 100128842
 弁理士 井上 温
 (72) 発明者 夏秋 和弘
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 Fターム(参考) 5F003 AP06 BA23 BC01 BC05 BC08
 BC90 BE01 BJ15 BP21 BP31
 BP41

最終頁に続く

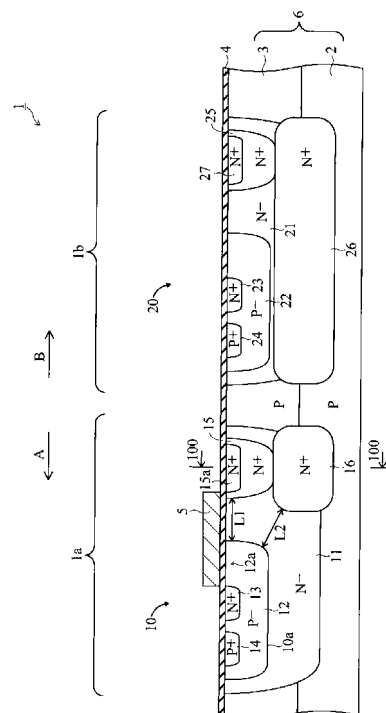
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】高耐圧で、かつ、オン抵抗を十分に小さくすることが可能な半導体装置を提供する。

【解決手段】この半導体装置1は、P型の半導体層6と、半導体層6の主表面上の所定領域にゲート絶縁膜4を介して配置されたゲート電極5とを備え、半導体層6は、ゲート電極5の下側を覆うように形成されたN⁻型ウェル領域11と、N⁻型ウェル領域11内の主表面側に形成されたP⁻型ボディ領域12と、P⁻型ボディ領域12内の主表面側で、かつ、ゲート電極5の一方(矢印A方向)側に形成されたN⁺型ソース領域13と、N⁻型ウェル領域11内の主表面側で、かつ、ゲート電極5の他方(矢印B方向)側に形成されたN⁺型ドレイン領域15と、P⁻型ボディ領域12の真下でない位置で、かつ、少なくともN⁺型ドレイン領域15の真下の位置に形成され、N⁺型ドレイン領域15に接続されたN⁺型埋め込み領域16とを含む。

【選択図】図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体層と、
 前記半導体層の主表面上の所定領域に絶縁膜を介して配置されたゲート電極とを備え、
 前記半導体層は、
 前記ゲート電極の下側を覆うように形成された第 2 導電型のドリフト領域と、
 前記ドリフト領域内の主表面側に形成された前記第 1 導電型のボディ領域と、
 前記ボディ領域内の主表面側で、かつ、前記ゲート電極の一方側に形成された前記第 2 導電型のソース領域と、
 前記ドリフト領域内の主表面側で、かつ、前記ゲート電極の他方側に形成された前記第 2 導電型のドレイン領域と、
 前記ボディ領域の真下でない位置で、かつ、少なくとも前記ドレイン領域の真下の位置に形成され、前記ドレイン領域に接続された前記第 2 導電型の埋め込み領域とを含み、
 前記半導体層は、前記第 1 導電型の半導体基板と、前記半導体基板上に形成された前記第 1 導電型のエピタキシャル層とを含み、
 前記埋め込み領域は、前記半導体基板の上部から前記エピタキシャル層の下部にかけて形成されていることを特徴とする半導体装置。

10

【請求項 2】

前記埋め込み領域の前記ボディ領域側の端部は、前記ドレイン領域の前記ボディ領域側の端部よりも、前記ボディ領域側に配置されていることを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 3】

前記ドレイン領域および前記埋め込み領域における深さ方向の前記第 2 導電型の不純物濃度プロファイルは、前記ドレイン領域による不純物濃度ピークと、前記埋め込み領域による不純物濃度ピークとの少なくとも 2 つの不純物濃度ピークを有することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記ボディ領域から前記埋め込み領域までの距離は、前記ボディ領域から前記ドレイン領域までの距離と略同じであることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

30

【請求項 5】

前記ドレイン領域は、前記ボディ領域と略同じ深さ、または、前記ボディ領域よりも大きい深さに形成されていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 1 導電型は、P 型であり、前記第 2 導電型は、N 型であることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記ドレイン領域の形成に用いられる N 型の不純物は、リンであることを特徴とする請求項 6 に記載の半導体装置。

40

【請求項 8】

前記埋め込み領域の形成に用いられる N 型の不純物は、アンチモンまたは砒素であることを特徴とする請求項 6 または 7 に記載の半導体装置。

【請求項 9】

前記エピタキシャル層は、前記ドレイン領域を形成する際における不純物の、前記エピタキシャル層の主表面からの深さ方向への拡散距離と、前記埋め込み領域を形成する際における不純物の前記ドレイン領域側への拡散距離とを足した距離よりも小さい厚みを有することを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記ドレイン領域と前記埋め込み領域との接続部分は、 $1 \times 10^{18} \text{ atoms / cm}^3$

50

以上で、かつ、前記ドレイン領域の不純物濃度の最大値および前記埋め込み領域の不純物濃度の最大値以下の不純物濃度を有することを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

前記埋め込み領域の不純物濃度の最大値は、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上で、かつ、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下であることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記半導体基板および前記エピタキシャル層は、互いに略同じ不純物濃度を有することを特徴とする請求項 1 ~ 11 のいずれか 1 項に記載の半導体装置。

10

【請求項 13】

前記エピタキシャル層は、 $3 \mu\text{m}$ 以上で、かつ、 $7 \mu\text{m}$ 以下の厚みを有することを特徴とする請求項 1 ~ 12 のいずれか 1 項に記載の半導体装置。

【請求項 14】

バイポーラトランジスタを構成するコレクタ補償領域およびコレクタ埋め込み領域をさらに備え、

前記ドレイン領域は、前記バイポーラトランジスタのコレクタ補償領域と同時に形成され、

前記埋め込み領域は、前記バイポーラトランジスタのコレクタ埋め込み領域と同時に形成されていることを特徴とする請求項 1 ~ 13 のいずれか 1 項に記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関し、特に、MOSトランジスタを含む半導体装置に関する。

【背景技術】

【0002】

従来、数十ボルト程度の比較的低い電圧で用いられるLDMOS(Laterally Diffused MOS)FET(以下、LDMOSという)を含む半導体装置が知られている。

30

【0003】

図6は、従来のLDMOSを含む半導体装置の構造を示した断面図である。従来のLDMOSを含む半導体装置101は、図6に示すように、Nチャンネル型のMOSトランジスタであり、P型半導体基板102と、P型半導体基板102の主表面上に形成されたゲート酸化膜103と、ゲート酸化膜103上の所定領域に形成されたゲート電極104とを備えている。このP型半導体基板102には、ゲート電極104の下方を覆うように形成されたドリフト領域としてのN⁻型ウェル領域111と、N⁻型ウェル領域111内の主表面側に形成されたP⁻型ボディ領域112とが設けられている。また、ゲート電極104は、N⁻型ウェル領域111とP⁻型ボディ領域112とに跨るように配置されている。そして、P⁻型ボディ領域112内の主表面側で、かつ、ゲート電極104の一方(矢印A方向)側の領域には、ゲート電極104側から順に、N⁺型ソース領域113およびP⁺型バックゲート領域114が設けられている。このP⁺型バックゲート領域114は、バックゲート電位を制御するために設けられている。また、N⁻型ウェル領域111内の主表面側で、かつ、ゲート電極104の他方(矢印B方向)側の領域には、P⁻型ボディ領域112よりも小さい深さを有するN⁺型ドレイン領域115が設けられている。

40

【0004】

上記のようなLDMOSを含む半導体装置101は、高耐圧で、かつ、低オン抵抗であることが要求される。

【0005】

半導体装置101の耐圧は、N⁻型ウェル領域111およびP⁻型ボディ領域112の濃

50

度と、P⁻型ボディ領域 1 1 2 および N⁺型ドレイン領域 1 1 5 の間の距離 L 1 0 1 とが大きく影響する。具体的には、N⁻型ウェル領域 1 1 1 および P⁻型ボディ領域 1 1 2 の濃度が低くなるほど、耐圧が高くなる。また、P⁻型ボディ領域 1 1 2 と N⁺型ドレイン領域 1 1 5 との間の距離 L 1 0 1 が大きくなるほど、耐圧が高くなる。

【0006】

また、半導体装置 1 0 1 のオン抵抗は、ゲート部分（ゲート電極 1 0 4 下の N⁺型ソース領域 1 1 3 とドリフト領域（N⁻型ウェル領域 1 1 1）との間の部分）1 2 0 の抵抗と、ドリフト部分（ゲート電極 1 0 4 下の P⁻型ボディ領域 1 1 2 と N⁺型ドレイン領域 1 1 5 との間の部分）1 2 1 の抵抗とが大きく影響する。このゲート部分 1 2 0 の抵抗を小さくするために、ゲート長さ L 1 0 2 を小さくしようとしたとしても、ゲート長さ L 1 0 2 は、加工する際の製造装置の加工精度によるので、ゲート長さ L 1 0 2 を加工精度よりも小さくすることが困難である。すなわち、ゲート部分 1 2 0 の抵抗を小さくするのは限界がある。そこで、ドリフト部分 1 2 1 の抵抗を小さくするために、例えば、ドリフト部分 1 2 1 の長さ L 1 0 1 を小さくしたり、N⁻型ウェル領域 1 1 1 の濃度を高くすることが考えられる。しかしながら、ドリフト部分 1 2 1 の長さ L 1 0 1 を小さくしたり、N⁻型ウェル領域 1 1 1 の濃度を高くした場合、耐圧が低下するという不都合が生じる。

10

【0007】

そこで、ドリフト部分 1 2 1 の長さ L 1 0 1 を小さくしたり、N⁻型ウェル領域 1 1 1 の濃度を高くすることなく、ドリフト部分 1 2 1 の抵抗を小さくする構造が提案されている（例えば、特許文献 1 参照）。

20

【0008】

図 7 は、上記特許文献 1 の L D M O S を含む半導体装置の構造を示した断面図である。図 8 は、図 7 の 2 0 0 - 2 0 0 線に沿った不純物濃度プロファイルを示した図である。図 9 は、図 7 に示した上記特許文献 1 の L D M O S を含む半導体装置における電流パスを示した断面図である。上記特許文献 1 の L D M O S を含む半導体装置 2 0 1 は、図 7 に示すように、N チャネル型の M O S トランジスタであり、P 型半導体基板 2 0 2 と、P 型半導体基板 2 0 2 の主表面上に形成されたゲート酸化膜 2 0 3 と、ゲート酸化膜 2 0 3 上の所定領域に形成されたゲート電極 2 0 4 とを備えている。この P 型半導体基板 2 0 2 には、ゲート電極 2 0 4 の下方を覆うように形成されたドリフト領域としての N⁻型ウェル領域 2 1 1 と、N⁻型ウェル領域 2 1 1 内の主表面側に形成された P⁻型ボディ領域 2 1 2 とが設けられている。また、ゲート電極 2 0 4 は、N⁻型ウェル領域 2 1 1 と P⁻型ボディ領域 2 1 2 とに跨るように配置されている。そして、P⁻型ボディ領域 2 1 2 内の主表面側で、かつ、ゲート電極 2 0 4 の一方（矢印 A 方向）側の領域には、ゲート電極 2 0 4 側から順に、N⁺型ソース領域 2 1 3 および P⁺型バックゲート領域 2 1 4 が設けられている。この P⁺型バックゲート領域 2 1 4 は、バックゲート電位を制御するために設けられている。また、N⁻型ウェル領域 2 1 1 内の主表面側で、かつ、ゲート電極 2 0 4 の他方（矢印 B 方向）側の領域には、N⁺型ドレイン領域 2 1 5 が設けられている。

30

【0009】

上記特許文献 1 の L D M O S を含む半導体装置 2 0 1 では、N⁺型ドレイン領域 2 1 5 は、N⁻型ウェル領域 2 1 1 と略同じ深さに形成されている。これにより、P⁻型ボディ領域 2 1 2 と N⁺型ドレイン領域 2 1 5 との間の電流パスを、従来の半導体装置 1 0 1 に比べて、大きく形成することが可能であるので、ドリフト部分の抵抗を小さくすることが可能である。その結果、上記特許文献 1 の半導体装置 2 0 1 では、従来の半導体装置 1 0 1 に比べて、オン抵抗をある程度小さくすることが可能である。

40

【特許文献 1】特開 2 0 0 6 - 2 0 2 8 1 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上記特許文献 1 の半導体装置 2 0 1 では、イオン注入などにより不純物を P 型半導体基板 2 0 2 に導入することにより N⁺型ドレイン領域 2 1 5 を形成するので

50

、図8に示すように、N⁺型ドレイン領域215の表面側の不純物濃度が高くなる。そこで、N⁺型ドレイン領域215をN⁻型ウェル領域211と略同じ深さに形成した構造において、シミュレーションにより電流パスの解析を行った。

【0011】

N⁺型ドレイン領域215をN⁻型ウェル領域211と略同じ深さに形成した上記特許文献1の構造では、図9に示すように、電流パス220（斜線部分）は、P⁻型ボディ領域212とN⁺型ドレイン領域215との間に円弧状に広がるように形成されることが判明した。すなわち、N⁺型ドレイン領域215の不純物濃度の高い領域（表面側の部分）は、電流パスとして機能する一方、不純物濃度の低い領域は、電流パスとして機能しないことが判明した。このため、上記特許文献1の半導体装置201では、オン抵抗を十分に小さくすることが困難であるという問題点がある。

10

【0012】

この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、高耐圧で、かつ、オン抵抗を十分に小さくすることが可能な半導体装置を提供することである。

【課題を解決するための手段】

【0013】

上記目的を達成するために、この発明の一の局面による半導体装置は、第1導電型の半導体層と、半導体層の主表面上の所定領域に絶縁膜を介して配置されたゲート電極とを備え、半導体層は、ゲート電極の下側を覆うように形成された第2導電型のドリフト領域と、ドリフト領域内の主表面側に形成された第1導電型のボディ領域と、ボディ領域内の主表面側で、かつ、ゲート電極の一方側に形成された第2導電型のソース領域と、ドリフト領域内の主表面側で、かつ、ゲート電極の他方側に形成された第2導電型のドレイン領域と、ボディ領域の真下でない位置で、かつ、少なくともドレイン領域の真下の位置に形成され、ドレイン領域に接続された第2導電型の埋め込み領域とを含み、半導体層は、第1導電型の半導体基板と、半導体基板上に形成された第1導電型のエピタキシャル層とを含み、埋め込み領域は、半導体基板の上部からエピタキシャル層の下部にかけて形成されている。

20

【0014】

この一の局面による半導体装置では、上記のように、半導体層に、少なくともドレイン領域の真下の位置に形成され、ドレイン領域に接続された第2導電型の埋め込み領域を設けることによって、ボディ領域とドレイン領域との間のみならず、ボディ領域と埋め込み領域との間も電流パスとして機能させることができる。これにより、電流パスを十分に大きくすることができるので、電流パスの抵抗を十分に小さくすることができる。その結果、半導体装置のオン抵抗を十分に小さくすることができる。また、埋め込み領域を、ボディ領域の真下でない位置に形成することによって、ボディ領域と埋め込み領域との間の距離が小さくなるのを抑制することができる。これにより、半導体装置の耐圧が低下するのを抑制することができる。

30

【0015】

また、一の局面による半導体装置では、上記のように、埋め込み領域を、半導体基板の上部からエピタキシャル層の下部にかけて形成することによって、半導体層（エピタキシャル層）の主表面から離れた位置（深い位置）に、容易に、高濃度の不純物濃度を有する埋め込み領域を形成することができる。これにより、電流パスを、容易に深さ方向に大きく形成することができるので、電流パスの抵抗を、容易に十分に小さくすることができる。その結果、半導体装置のオン抵抗を、容易に十分に小さくすることができる。

40

【0016】

上記一の局面による半導体装置において、好ましくは、埋め込み領域のボディ領域側の端部は、ドレイン領域のボディ領域側の端部よりも、ボディ領域側に配置されている。このように構成すれば、埋め込み領域を、ボディ領域の真下の位置にならない範囲で、ボディ領域に近づけることができる。これにより、半導体装置のオン抵抗を、より十分に小さ

50

くすることができる。

【0017】

上記一の局面による半導体装置において、好ましくは、ドレイン領域および埋め込み領域における深さ方向の第2導電型の不純物濃度プロファイルは、ドレイン領域による不純物濃度ピークと、埋め込み領域による不純物濃度ピークとの少なくとも2つの不純物濃度ピークを有する。このように構成すれば、半導体層（エピタキシャル層）の主表面から十分に離れた位置（深い位置）に、高濃度の不純物濃度を有する埋め込み領域を形成することができる。これにより、電流パスを、深さ方向に十分に大きく形成することができるので、電流パスの抵抗を、より十分に小さくすることができる。

【0018】

上記一の局面による半導体装置において、好ましくは、ボディ領域から埋め込み領域までの距離は、ボディ領域からドレイン領域までの距離と略同じである。このように構成すれば、埋め込み領域およびドレイン領域のいずれか一方が、埋め込み領域およびドレイン領域の他方よりもボディ領域の近くに配置されるのを抑制することができる。これにより、埋め込み領域およびドレイン領域のいずれか一方により半導体装置の耐圧が低下するのを抑制することができる。

【0019】

上記一の局面による半導体装置において、好ましくは、ドレイン領域は、ボディ領域と略同じ深さ、または、ボディ領域よりも大きい深さに形成されている。このように構成すれば、ドレイン領域および埋め込み領域を、容易に、半導体層の主表面から離れた位置（深い位置）に配置することができるので、ドレイン領域および埋め込み領域とボディ領域との間に形成される電流パスを、容易に、大きくすることができる。

【0020】

上記一の局面による半導体装置において、好ましくは、第1導電型は、P型であり、第2導電型は、N型である。このように構成すれば、ドレイン領域および埋め込み領域の多数キャリアが電子となるので、多数キャリアがホール（正孔）の場合に比べて、半導体装置のオン抵抗を、容易に小さくすることができる。

【0021】

上記第1導電型がP型であり、第2導電型がN型である半導体装置において、好ましくは、ドレイン領域の形成に用いられるN型の不純物は、リンである。このように構成すれば、リンは、例えばアンチモンや砒素よりも拡散速度が大きいので、ドレイン領域の形成にアンチモンや砒素を用いる場合に比べて、ドレイン領域を、より少ない熱処理で所望の深さに形成することができる。これにより、半導体装置の生産性を向上させることができる。

【0022】

上記第1導電型がP型であり、第2導電型がN型である半導体装置において、好ましくは、埋め込み領域の形成に用いられるN型の不純物は、アンチモンまたは砒素である。このように構成すれば、アンチモンや砒素は、例えばリンよりも拡散速度が小さいので、埋め込み領域の形成にリンを用いる場合に比べて、埋め込み領域形成後の熱処理により、不純物が拡散しすぎて埋め込み領域が大きくなりすぎるのを抑制することができる。これにより、埋め込み領域を、容易に所望の大きさに形成することができる。

【0023】

上記一の局面による半導体装置において、好ましくは、エピタキシャル層は、ドレイン領域を形成する際における不純物の、エピタキシャル層の主表面からの深さ方向への拡散距離と、埋め込み領域を形成する際における不純物のドレイン領域側への拡散距離とを足した距離よりも小さい厚みを有する。このように構成すれば、ドレイン領域と埋め込み領域とを容易に接続することができるので、ボディ領域とドレイン領域との間のみならず、ボディ領域と埋め込み領域との間も、容易に電流パスとして機能させることができる。

【0024】

上記一の局面による半導体装置において、好ましくは、ドレイン領域と埋め込み領域と

10

20

30

40

50

の接続部分は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上で、かつ、ドレイン領域の不純物濃度の最大値および埋め込み領域の不純物濃度の最大値以下の不純物濃度を有する。このように、ドレイン領域と埋め込み領域との接続部分を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上の不純物濃度を有するように構成することによって、ドレイン領域と埋め込み領域との接続部分の抵抗を十分に小さくすることができるので、ドレイン領域と埋め込み領域との間をキャリアが移動しにくくなるのを抑制することができる。これにより、ボディ領域とドレイン領域との間のみならず、ボディ領域と埋め込み領域との間も、容易に電流パスとして機能させることができる。その結果、半導体装置のオン抵抗を、容易に十分に小さくすることができる。また、ドレイン領域と埋め込み領域との接続部分を、ドレイン領域の不純物濃度の最大値および埋め込み領域の不純物濃度の最大値以下の不純物濃度を有するよう

10

20

30

40

50

【0025】

上記ドレイン領域と埋め込み領域との接続部分が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上の不純物濃度を有する半導体装置において、好ましくは、埋め込み領域の不純物濃度の最大値は、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上で、かつ、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下である。このように、埋め込み領域の不純物濃度の最大値を、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上にすることによって、ドレイン領域と埋め込み領域との接続部分を、容易に、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上の不純物濃度を有するように形成することができる。また、埋め込み領域の不純物濃度の最大値を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下にすることによって、熱処理により埋め込み領域の不純物が拡散しすぎて、埋め込み領域が大きくなりすぎるのを抑制することができる。これにより、埋め込み領域を、容易に所望の大きさに形成することができる。

【0026】

上記一の局面による半導体装置において、好ましくは、半導体基板およびエピタキシャル層は、互いに略同じ不純物濃度を有する。このように構成すれば、ボディ領域に電圧を印加した際にボディ領域の周囲に形成される空乏層が、半導体基板とエピタキシャル層とにおいて異なる厚み(幅)に形成されるのを抑制することができる。これにより、埋め込み領域およびボディ領域の間の耐圧と、ドレイン領域およびボディ領域の間の耐圧とを、容易に、同じ大きさにすることができる。

【0027】

上記一の局面による半導体装置において、好ましくは、エピタキシャル層は、 $3 \mu\text{m}$ 以上で、かつ、 $7 \mu\text{m}$ 以下の厚みを有する。このように、エピタキシャル層を、 $3 \mu\text{m}$ 以上の厚みを有するように構成することによって、埋め込み領域がボディ領域の近くに配置されるのを抑制することができるので、半導体装置の耐圧が低下するのを抑制することができる。また、エピタキシャル層を、 $7 \mu\text{m}$ 以下の厚みを有するように構成することによって、埋め込み領域に接続させるためにドレイン領域を深くまで形成する必要がないので、ドレイン領域の埋め込み領域との接続部分の不純物濃度が低くなりすぎるのを抑制することができる。これにより、埋め込み領域とドレイン領域との間の抵抗が大きくなるのを抑制することができる。

【0028】

上記一の局面による半導体装置において、バイポーラトランジスタを構成するコレクタ補償領域およびコレクタ埋め込み領域をさらに備え、ドレイン領域は、バイポーラトランジスタのコレクタ補償領域と同時に形成され、埋め込み領域は、バイポーラトランジスタのコレクタ埋め込み領域と同時に形成されている。このように構成すれば、ドレイン領域

および埋め込み領域を、それぞれ、バイポーラトランジスタのコレクタ補償領域およびコレクタ埋め込み領域とは別の工程で形成する場合に比べて、生産性を向上させることができる。

【発明の効果】

【0029】

以上のように、本発明によれば、高耐圧で、かつ、オン抵抗を十分に小さくすることが可能な半導体装置を容易に得ることができる。

【発明を実施するための最良の形態】

【0030】

図1は、本発明の一実施形態によるLDMOSを含む半導体装置の構造を示した断面図である。図2は、図1に示した一実施形態によるLDMOSを含む半導体装置のN⁻型ウェル領域に形成される空乏層の構造を示した断面図である。図3は、図1の100-100線に沿った不純物濃度プロファイルを示した図である。図4は、図1に示した一実施形態によるLDMOSを含む半導体装置における電流パスを示した断面図である。まず、図1～図4を参照して、本発明の一実施形態によるLDMOS10を含む半導体装置1の構造について説明する。

10

【0031】

本発明の一実施形態による半導体装置1は、図1に示すように、P型半導体基板2と、P型半導体基板2の主表面上に形成されたP型エピタキシャル層3と、P型エピタキシャル層3の主表面上に形成されたゲート酸化膜4と、ゲート酸化膜4上の所定領域に形成されたゲート電極5とを備えている。そして、P型半導体基板2およびP型エピタキシャル層3によって、半導体層6が構成されている。なお、P型半導体基板2は、本発明の「半導体基板」の一例であり、P型エピタキシャル層3は、本発明の「エピタキシャル層」の一例である。また、ゲート酸化膜4は、本発明の「絶縁膜」の一例である。また、P型(P⁺型、P⁻型)は、本発明の「第1導電型」の一例である。

20

【0032】

ここで、本実施形態では、半導体装置1は、Nチャネル型のMOSトランジスタであるLDMOS10が形成されたLDMOS形成領域1aと、バイポーラトランジスタ20が形成されたバイポーラトランジスタ形成領域1bとを含んでいる。

【0033】

P型半導体基板2は、〈100〉の結晶軸と、約20 cmの比抵抗とを有する。P型エピタキシャル層3は、約20 cmの比抵抗を有する。また、P型エピタキシャル層3は、約5 μm～約7 μmの厚みに形成されている。具体的には、P型エピタキシャル層3は、後述するN⁺型ドレイン領域15を形成する際における不純物の、P型エピタキシャル層3(半導体層6)の主表面からの下方向(深さ方向)への拡散距離と、N⁺型埋め込み領域16を形成する際における不純物の上方向(N⁺型ドレイン領域15側)への拡散距離とを足した距離よりも小さい厚みに形成されている。また、P型半導体基板2およびP型エピタキシャル層3は、略同じ大きさの不純物濃度を有する。

30

【0034】

ゲート酸化膜4は、約30 nmの厚みを有するシリコン酸化膜からなる。ゲート電極5は、ポリシリコンからなるとともに、後述するN⁻型ウェル領域11とP⁻型ボディ領域12とに跨るようにLDMOS形成領域1aのみに配置されている。

40

【0035】

LDMOS形成領域1aにおいて、半導体層6には、P型エピタキシャル層3の表面からP型半導体基板2の途中の深さまで、ゲート電極5の下方を覆うように形成されたドリフト領域としてのN⁻型ウェル領域11が形成されている。このN⁻型ウェル領域11には、N型の不純物としてリン(P)が導入されている。なお、N⁻型ウェル領域11は、本発明の「ドリフト領域」の一例である。また、N型(N⁺型、N⁻型)は、本発明の「第2導電型」の一例である。

【0036】

50

N⁻型ウェル領域 1 1 には、主表面側に形成された約 1.5 μm ~ 約 2.0 μm の深さを有する P⁻型ボディ領域 1 2 が設けられている。この P⁻型ボディ領域 1 2 には、P 型の不純物としてボロン (B) が導入されている。なお、P⁻型ボディ領域 1 2 は、本発明の「ボディ領域」の一例である。

【0037】

また、N⁻型ウェル領域 1 1 と P⁻型ボディ領域 1 2 との境界領域には、図 2 に示すように、空乏層 3 0 が形成されている。この空乏層 3 0 は、後述する N⁺型ドレイン領域 1 5 に電圧を印加した場合、N⁻型ウェル領域 1 1 と P⁻型ボディ領域 1 2 との境界面 1 0 a から略均等な距離 W だけ拡がるように形成される。

【0038】

また、図 1 に示すように、P⁻型ボディ領域 1 2 内の主表面側で、かつ、ゲート電極 5 の一方 (矢印 A 方向) 側の領域には、ゲート電極 5 側から順に、N⁺型ソース領域 1 3 および P⁺型バックゲート領域 1 4 が設けられている。また、P⁻型ボディ領域 1 2 は、P⁺型バックゲート領域 1 4 および図示しない配線を介して、N⁺型ソース領域 1 3 と短絡している。これにより、寄生 NPN トランジスタが動作するのを防止することが可能となる。なお、N⁺型ソース領域 1 3 は、本発明の「ソース領域」の一例である。

【0039】

また、ゲート電極 5 の下方で、かつ、N⁺型ソース領域 1 3 と N⁻型ウェル領域 1 1 との間の P⁻型ボディ領域 1 2 の表面部分 1 2 a は、チャンネルとなる。

【0040】

また、N⁺型ソース領域 1 3 は、約 0.2 μm の深さを有する。また、N⁺型ソース領域 1 3 は、N 型の不純物としてリン (P) が導入されており、約 1×10^{20} atoms/cm³ の不純物濃度を有する。

【0041】

また、N⁻型ウェル領域 1 1 内の主表面側で、かつ、ゲート電極 5 の他方 (矢印 B 方向) 側の領域には、N⁺型ドレイン領域 1 5 が設けられている。なお、N⁺型ドレイン領域 1 5 は、本発明の「ドレイン領域」の一例である。

【0042】

また、本実施形態では、N⁺型ドレイン領域 1 5 は、N 型の不純物としてリン (P) が導入されている。そして、図 3 に示すように、N⁺型ドレイン領域 1 5 の表面部分 1 5 a 以外の部分は、約 2×10^{19} atoms/cm³ の不純物濃度を有する。また、表面部分 1 5 a は、ピーク値 (最大値) が約 2×10^{20} atoms/cm³ の高い不純物濃度を有する。

【0043】

また、本実施形態では、図 1 に示すように、N⁺型ドレイン領域 1 5 は、P⁻型ボディ領域 1 2 と略同じ深さ、または、N⁻型ウェル領域 1 1 よりも少しだけ大きい深さに形成されている。

【0044】

また、本実施形態では、P⁻型ボディ領域 1 2 の真下でない位置 (P⁻型ボディ領域 1 2 よりも他方 (矢印 B 方向) 側の位置) で、かつ、N⁺型ドレイン領域 1 5 の真下の位置には、N⁺型ドレイン領域 1 5 に接続するように、N⁺型埋め込み領域 1 6 が形成されている。この N⁺型埋め込み領域 1 6 は、P 型半導体基板 2 の上部から P 型エピタキシャル層 3 の下部にかけて配置されている。なお、N⁺型埋め込み領域 1 6 は、本発明の「埋め込み領域」の一例である。

【0045】

また、本実施形態では、N⁺型埋め込み領域 1 6 は、N 型の不純物としてアンチモン (Sb) が導入されており、図 3 に示すように、N⁺型埋め込み領域 1 6 の不純物濃度の最大値 (ピーク値) は、約 2×10^{19} atoms/cm³ である。

【0046】

このように、N⁺型埋め込み領域 1 6 は、N⁺型ドレイン領域 1 5 の表面部分 1 5 a 以外

10

20

30

40

50

の部分と略同じ不純物濃度を有する。ここで、N⁺型ドレイン領域15およびN⁺型埋め込み領域16における耐圧は、N⁺型ドレイン領域15およびN⁺型埋め込み領域16の不純物濃度と、P型半導体基板2およびP型エピタキシャル層3の不純物濃度とによって決まる。このため、上記したように、P型半導体基板2の不純物濃度とP型エピタキシャル層3の不純物濃度とを略同じ大きさにするとともに、N⁺型ドレイン領域15の不純物濃度とN⁺型埋め込み領域16の不純物濃度とを略同じ大きさにすることによって、N⁺型ドレイン領域15およびN⁺型埋め込み領域16における耐圧が、N⁺型ドレイン領域15およびN⁺型埋め込み領域16の一方により制限されたり、P型半導体基板2およびP型エピタキシャル層3の一方により制限されるのを抑制することが可能である。なお、N⁺型ドレイン領域15およびN⁺型埋め込み領域16における耐圧は、通常、N⁺型ドレイン領域15およびN⁺型埋め込み領域16と、P⁻型ボディ領域12との間の耐圧に比べて高くなるように設定されている。しかしながら、本実施形態では、半導体装置1(LDMOS10)のオン抵抗を小さくするために、N⁺型ドレイン領域15およびN⁺型埋め込み領域16の不純物濃度を高くしているため、N⁺型ドレイン領域15およびN⁺型埋め込み領域16における耐圧が小さくなる傾向にある。このため、上記のように構成するのは、有効である。

10

【0047】

また、本実施形態では、N⁺型ドレイン領域15とN⁺型埋め込み領域16との接続部分は、約 $2 \times 10^{18} \text{ atoms/cm}^3$ 以上の不純物濃度を有する。

【0048】

また、本実施形態では、N⁺型ドレイン領域15およびN⁺型埋め込み領域16における深さ方向のN型の不純物濃度プロファイルは、N⁺型ドレイン領域15による不純物濃度ピークと、N⁺型埋め込み領域16による不純物濃度ピークとの2つの不純物濃度ピークを有する。

20

【0049】

また、本実施形態では、図1に示すように、N⁺型埋め込み領域16は、N⁺型ドレイン領域15の真下の位置以外の位置にも形成されている。具体的には、N⁺型埋め込み領域16のP⁻型ボディ領域12側(矢印A方向側)の端部は、N⁺型ドレイン領域15のP⁻型ボディ領域12側(矢印A方向側)の端部の真下の位置よりもP⁻型ボディ領域12側(矢印A方向側)に配置されている。すなわち、N⁺型埋め込み領域16は、平面的に見て、N⁺型ドレイン領域15よりもP⁻型ボディ領域12側の位置にまで形成されている。また、N⁺型ドレイン領域15とP⁻型ボディ領域12との間の距離L1と、N⁺型埋め込み領域16とP⁻型ボディ領域12との間の距離L2とが、略同じ大きさになるように形成されている。

30

【0050】

なお、上記した本実施形態によるLDMOS10の構造において、シミュレーションにより電流パスの解析を行った結果によると、図4に示すように、N⁻型ウェル領域11に形成される電流パス31(斜線部分)は、N⁺型ドレイン領域15の上端からN⁺型埋め込み領域16の下部にまで広がるように形成された。これは、以下の理由による。すなわち、N⁺型ドレイン領域15とN⁺型埋め込み領域16との接続部分を約 $2 \times 10^{18} \text{ atoms/cm}^3$ 以上の不純物濃度を有するように構成することによって、N⁺型ドレイン領域15とN⁺型埋め込み領域16との接続部分の抵抗を十分に小さくすることが可能であり、N⁺型埋め込み領域16とP⁻型ボディ領域12の間も、電流パス31として機能させることが可能であるためである。

40

【0051】

一方、バイポーラトランジスタ形成領域1bにおいて、図1に示すように、ゲート酸化膜4上には、ゲート電極5は形成されていない。

【0052】

また、バイポーラトランジスタ形成領域1bにおいて、半導体層6には、上記LDMOS形成領域1aのN⁻型ウェル領域11、P⁻型ボディ領域12、N⁺型ソース領域13、

50

P⁺型バックゲート領域 1 4 および N⁺型ドレイン領域 1 5 (表面部分 1 5 a) と、それぞれ同様の構造で、かつ、同時に形成された N⁻型ウェル領域 2 1、P⁻型ボディ領域 2 2、N⁺型エミッタ領域 2 3、P⁺型ベース領域 2 4 および N⁺型コレクタ補償領域 2 5 (N⁺型コレクタ領域 2 7) が設けられている。なお、N⁺型コレクタ補償領域 2 5 は、本発明の「コレクタ補償領域」の一例である。

【0053】

また、P⁻型ボディ領域 2 2 の真下の位置から N⁺型コレクタ補償領域 2 5 の真下の位置まで、N⁺型コレクタ補償領域 2 5 に接続するように、N⁺型コレクタ埋め込み領域 2 6 が形成されている。この N⁺型コレクタ埋め込み領域 2 6 のその他の構造は、上記 N⁺型埋め込み領域 1 6 と同様であるとともに、N⁺型コレクタ埋め込み領域 2 6 は、N⁺型埋め込み領域 1 6 と同時に形成されている。なお、パイポーラトランジスタ 2 0 に N⁺型コレクタ補償領域 2 5 および N⁺型コレクタ埋め込み領域 2 6 を設けることにより、コレクタ抵抗を小さくすることが可能となるので、飽和電圧の低減やパイポーラトランジスタ 2 0 の高速化を行うことが可能となる。なお、N⁺型コレクタ埋め込み領域 2 6 は、本発明の「コレクタ埋め込み領域」の一例である。

【0054】

次に、図 1 を参照して、本発明の一実施形態による半導体装置 1 の製造プロセスについて説明する。

【0055】

まず、図 1 に示すように、 $\langle 100 \rangle$ の結晶軸と、約 20 cm の比抵抗とを有する P 型半導体基板 2 の主表面の所定領域に、N 型の不純物としてのアンチモン (Sb) をイオン注入または塗布拡散により導入する。そして、約 1200 の温度で約 60 分間熱処理を行うことにより、N 型の不純物としてのアンチモン (Sb) をドライブインさせて N⁺型埋め込み領域 1 6 および N⁺型コレクタ埋め込み領域 2 6 を形成する。

【0056】

その後、P 型半導体基板 2 の表面の酸化膜を除去した後、P 型半導体基板 2 の主表面上に、約 20 cm の比抵抗を有する P 型エピタキシャル層 3 を、約 5 μm ~ 約 7 μm の厚みに形成する。そして、P 型半導体基板 2 および P 型エピタキシャル層 3 の不純物濃度が、略同じ大きさになるように、P 型エピタキシャル層 3 の主表面から所定領域に P 型の不純物を約 4×10^{12} atoms/cm² 程度イオン注入する。

【0057】

その後、P 型エピタキシャル層 3 の主表面から N 型の不純物としてのリン (P) を約 1×10^{13} atoms/cm² 程度イオン注入した後、約 1200 の温度で約 400 分間熱処理 (ドライブイン) を行う。これにより、P 型エピタキシャル層 3 の表面から P 型半導体基板 2 の途中の深さまで、N⁻型ウェル領域 1 1 および 2 1 を形成する。このとき、N⁺型埋め込み領域 1 6 および N⁺型コレクタ埋め込み領域 2 6 が、熱拡散して P 型半導体基板 2 の上部から P 型エピタキシャル層 3 の下部にかけて形成される。また、このとき、N⁺型埋め込み領域 1 6 および N⁺型コレクタ埋め込み領域 2 6 の不純物濃度の最大値が、約 2×10^{19} atoms/cm³ になる。

【0058】

そして、N⁻型ウェル領域 1 1 および 2 1 の所定領域に、それぞれ、P 型の不純物としてのボロン (B) を約 1×10^{13} atoms/cm² 程度イオン注入することにより、約 1.5 μm ~ 約 2.0 μm の深さを有する P⁻型ボディ領域 1 2 および 2 2 を形成する。

【0059】

このとき、本実施形態では、N⁺型埋め込み領域 1 6 の真上でない位置 (N⁺型埋め込み領域 1 6 よりも矢印 A 方向側の位置) に、P⁻型ボディ領域 1 2 を形成する。

【0060】

次に、P 型エピタキシャル層 3 (半導体層 6) の主表面上に、約 30 nm の厚みを有するシリコン酸化膜からなるゲート酸化膜 4 を形成する。そして、ゲート酸化膜 4 上にポリシリコンを形成するとともに、形成したポリシリコンをパターニングすることにより、ゲ

10

20

30

40

50

ート電極 5 を形成する。このとき、ゲート電極 5 を、N⁻型ウェル領域 1 1 と P⁻型ボディ領域 1 2 とに跨るように形成する。そして、LDMOS 10 の動作時には、ゲート電極 5 の下方で、かつ、N⁺型ソース領域 1 3 と N⁻型ウェル領域 1 1 との間の P⁻型ボディ領域 1 2 の表面部分 1 2 a が、チャンネルとなる。

【0061】

その後、ゲート電極 5 に対して P⁻型ボディ領域 1 2 とは反対側（矢印 B 方向側）の N⁻型ウェル領域 1 1 に、ゲート電極 5 に対して自己整合的に、N 型の不純物としてのリン（P）を約 $6 \times 10^{15} \text{ atoms/cm}^2$ 程度イオン注入する。それと同時に、N⁻型ウェル領域 2 1 の矢印 B 方向側の部分にも、N 型の不純物としてのリン（P）を約 $6 \times 10^{15} \text{ atoms/cm}^2$ 程度イオン注入する。そして、約 1000 の温度で約 60 分間アニールを行うことにより、N⁺型ドレイン領域 1 5 および N⁺型コレクタ補償領域 2 5 を形成する。

10

【0062】

このとき、本実施形態では、N⁺型ドレイン領域 1 5 および N⁺型コレクタ補償領域 2 5 は、P⁻型ボディ領域 1 2 および 2 2 と略同じ深さ（約 $1.5 \mu\text{m}$ ~ 約 $2.0 \mu\text{m}$ ）、または、P⁻型ボディ領域 1 2 および 2 2 よりも少しだけ大きい深さに形成される。そして、N⁺型ドレイン領域 1 5 の不純物が下方向（深さ方向）に拡散するとともに、N⁺型埋め込み領域 1 6 の不純物が上方向（N⁺型ドレイン領域 1 5 側）に拡散することにより、N⁺型ドレイン領域 1 5 と N⁺型埋め込み領域 1 6 とが接続される。また、N⁺型ドレイン領域 1 5 と N⁺型埋め込み領域 1 6 との接続部分、および、N⁺型コレクタ補償領域 2 5 と N⁺型コレクタ埋め込み領域 2 6 との接続部分は、約 $2 \times 10^{18} \text{ atoms/cm}^3$ の不純物濃度になる。

20

【0063】

また、このとき、N⁺型埋め込み領域 1 6 は、N⁺型ドレイン領域 1 5 の真下の位置以外の位置にも形成される。具体的には、N⁺型埋め込み領域 1 6 は、N⁺型埋め込み領域 1 6 の P⁻型ボディ領域 1 2 側（矢印 A 方向側）の端部が、N⁺型ドレイン領域 1 5 の P⁻型ボディ領域 1 2 側（矢印 A 方向側）の端部の真下の位置よりも P⁻型ボディ領域 1 2 側（矢印 A 方向側）に位置するように形成される。

【0064】

そして、P⁻型ボディ領域 1 2 および N⁺型ドレイン領域 1 5 に、ゲート電極 5 に対して自己整合的に、N 型の不純物としてのリン（P）を約 $4 \times 10^{15} \text{ atoms/cm}^2$ 程度イオン注入する。それと同時に、P⁻型ボディ領域 2 2 および N⁺型コレクタ補償領域 2 5 にも、N 型の不純物としてのリン（P）を約 $4 \times 10^{15} \text{ atoms/cm}^2$ 程度イオン注入する。これにより、P⁻型ボディ領域 1 2 内の主表面側で、かつ、ゲート電極 5 の一方（矢印 A 方向）側の領域に、約 $0.2 \mu\text{m}$ の深さを有する N⁺型ソース領域 1 3 が形成されるとともに、N⁺型ドレイン領域 1 5 の表面部分 1 5 a は、ピーク値（最大値）が約 $2 \times 10^{20} \text{ atoms/cm}^3$ の不純物濃度になる。また、P⁻型ボディ領域 2 2 内の主表面側に、約 $0.2 \mu\text{m}$ の深さを有する N⁺型エミッタ領域 2 3 が形成されるとともに、N⁺型コレクタ補償領域 2 5 の表面部分に、ピーク値（最大値）が約 $2 \times 10^{20} \text{ atoms/cm}^3$ の不純物濃度を有する N⁺型コレクタ領域 2 7 が形成される。

30

40

【0065】

このように、N⁺型ドレイン領域 1 5 および N⁺型コレクタ補償領域 2 5 にイオン注入を行い、N⁺型ドレイン領域 1 5 および N⁺型コレクタ補償領域 2 5 の表面部分の不純物濃度をさらに高くすることによって、N⁺型ドレイン領域 1 5 および N⁺型コレクタ補償領域 2 5 のコンタクト抵抗が高くなるのを抑制することが可能である。すなわち、N⁺型ドレイン領域 1 5 および N⁺型コレクタ補償領域 2 5 を形成する際に、N⁺型埋め込み領域 1 6 および N⁺型コレクタ埋め込み領域 2 6 にそれぞれ接続させるために、半導体層 6 の深い位置にイオン注入を行うことに起因して、N⁺型ドレイン領域 1 5 および N⁺型コレクタ補償領域 2 5 の表面部分の不純物濃度が低くなる場合がある。この場合にも、N⁺型ドレイン領域 1 5 および N⁺型コレクタ補償領域 2 5 にイオン注入を行うことによって、N⁺型ドレ

50

イン領域 1 5 および N⁺型コレクタ補償領域 2 5 の表面部分の不純物濃度を高くすることが可能である。これにより、N⁺型ドレイン領域 1 5 および N⁺型コレクタ補償領域 2 5 のコンタクト抵抗が高くなるのを抑制することが可能である。

【0066】

その後、P⁻型ボディ領域 1 2 および 2 2 の一方（矢印 A 方向）側の位置に、P⁺型バックゲート領域 1 4 および P⁺型ベース領域 2 4 を形成する。

【0067】

以上のようにして、半導体装置 1 が製造される。

【0068】

本実施形態では、上記のように、半導体層 6 に、少なくとも N⁺型ドレイン領域 1 5 の真下の位置に形成され、N⁺型ドレイン領域 1 5 に接続された N⁺型埋め込み領域 1 6 を設けることによって、P⁻型ボディ領域 1 2 と N⁺型ドレイン領域 1 5 との間のみならず、P⁻型ボディ領域 1 2 と N⁺型埋め込み領域 1 6 との間も電流パス 3 1 として機能させることができる。これにより、電流パス 3 1 を十分に大きく形成することができるので、電流パス 3 1 の抵抗を十分に小さくすることができる。その結果、半導体装置 1 のオン抵抗を十分に小さくすることができる。また、N⁺型埋め込み領域 1 6 を、P⁻型ボディ領域 1 2 の真下でない位置に形成することによって、P⁻型ボディ領域 1 2 と N⁺型埋め込み領域 1 6 との間の距離 L 2 が小さくなるのを抑制することができる。これにより、半導体装置 1 の耐圧が低下するのを抑制することができる。

10

【0069】

また、本実施形態では、N⁺型埋め込み領域 1 6 を、P 型半導体基板 2 の上部から P 型エピタキシャル層 3 の下部にかけて形成することによって、半導体層 6（P 型エピタキシャル層 3）の主表面から離れた位置（深い位置）に、容易に、高濃度の不純物濃度を有する N⁺型埋め込み領域 1 6 を形成することができる。これにより、電流パス 3 1 を、容易に深さ方向に大きく形成することができる。その結果、電流パス 3 1 の抵抗を、容易に十分に小さくすることができるので、半導体装置 1 のオン抵抗を、容易に十分に小さくすることができる。

20

【0070】

また、本実施形態では、N⁺型埋め込み領域 1 6 の P⁻型ボディ領域 1 2 側（矢印 A 方向側）の端部を、N⁺型ドレイン領域 1 5 の P⁻型ボディ領域 1 2 側（矢印 A 方向側）の端部の真下の位置よりも P⁻型ボディ領域 1 2 側（矢印 A 方向側）に配置することによって、N⁺型埋め込み領域 1 6 を、P⁻型ボディ領域 1 2 の真下の位置にならない範囲で、P⁻型ボディ領域 1 2 に近づけることができる。これにより、半導体装置 1 のオン抵抗を、より十分に小さくすることができる。

30

【0071】

また、本実施形態では、N⁺型ドレイン領域 1 5 および N⁺型埋め込み領域 1 6 における深さ方向の N 型の不純物濃度プロファイルは、N⁺型ドレイン領域 1 5 の表面部分 1 5 a による不純物濃度ピークと、N⁺型埋め込み領域 1 6 による不純物濃度ピークとの 2 つの不純物濃度ピークを有する。これにより、半導体層 6（P 型エピタキシャル層 3）の主表面から十分に離れた位置（深い位置）に、高濃度の不純物濃度を有する N⁺型埋め込み領域 1 6 を形成することができる。これにより、電流パス 3 1 を、深さ方向に十分に大きく形成することができるので、電流パス 3 1 の抵抗を、より十分に小さくすることができる。

40

【0072】

また、本実施形態では、P⁻型ボディ領域 1 2 から N⁺型埋め込み領域 1 6 までの距離 L 2 を、P⁻型ボディ領域 1 2 から N⁺型ドレイン領域 1 5 までの距離 L 1 と略同じにすることによって、N⁺型埋め込み領域 1 6 および N⁺型ドレイン領域 1 5 のいずれか一方が、N⁺型埋め込み領域 1 6 および N⁺型ドレイン領域 1 5 の他方よりも P⁻型ボディ領域 1 2 の近くに配置されるのを抑制することができる。これにより、N⁺型埋め込み領域 1 6 および N⁺型ドレイン領域 1 5 のいずれか一方により半導体装置 1 の耐圧が低下する（制限さ

50

れる)のを抑制することができる。

【0073】

また、本実施形態では、N⁺型ドレイン領域15を、P⁻型ボディ領域12と略同じ深さ、または、P⁻型ボディ領域12よりも大きい深さに形成することによって、N⁺型ドレイン領域15およびN⁺型埋め込み領域16を、容易に、半導体層6(P型エピタキシャル層3)の主表面から離れた位置(深い位置)に配置することができる。これにより、N⁺型ドレイン領域15およびN⁺型埋め込み領域16とP⁻型ボディ領域12との間に形成される電流パス31を、容易に、大きくすることができる。

【0074】

また、本実施形態では、N⁺型ドレイン領域15およびN⁺型埋め込み領域16の多数キャリアが電子となるように構成することによって、多数キャリアがホール(正孔)の場合に比べて、半導体装置1のオン抵抗を、容易に小さくすることができる。

10

【0075】

また、本実施形態では、N⁺型ドレイン領域15の形成に不純物としてリン(P)を用いることによって、リン(P)は、例えばアンチモン(Sb)や砒素(As)よりも拡散速度が大きいので、N⁺型ドレイン領域15の形成にアンチモン(Sb)や砒素(As)を用いる場合に比べて、N⁺型ドレイン領域15を、より少ない熱処理で所望の深さに形成することができる。これにより、半導体装置1の生産性を向上させることができる。

【0076】

また、本実施形態では、N⁺型埋め込み領域16の形成に不純物としてアンチモン(Sb)を用いることによって、アンチモン(Sb)は、例えばリン(P)よりも拡散速度が小さいので、N⁺型埋め込み領域16の形成にリン(P)を用いる場合に比べて、N⁺型埋め込み領域16形成後の熱処理により、不純物が拡散しすぎてN⁺型埋め込み領域16が大きくなりすぎるのを抑制することができる。これにより、N⁺型埋め込み領域16を、容易に所望の大きさに形成することができる。その結果、N⁺型埋め込み領域16がP⁻型ボディ領域12の近くにまで形成されるのを抑制することができるので、半導体装置1の耐圧が低下するのを抑制することができる。

20

【0077】

また、本実施形態では、P型エピタキシャル層3は、N⁺型ドレイン領域15を形成する際における不純物の、P型エピタキシャル層3(半導体層6)の主表面からの下方向(深さ方向)への拡散距離と、N⁺型埋め込み領域16を形成する際における不純物の上方向(N⁺型ドレイン領域15側)への拡散距離とを足した距離よりも小さい厚みを有する。これにより、N⁺型ドレイン領域15の不純物が下方向(深さ方向)に拡散するとともに、N⁺型埋め込み領域16の不純物が上方向(N⁺型ドレイン領域15側)に拡散することにより、N⁺型ドレイン領域15とN⁺型埋め込み領域16とを容易に接続することができる。その結果、P⁻型ボディ領域12とN⁺型ドレイン領域15との間のみならず、P⁻型ボディ領域12とN⁺型埋め込み領域16との間も、容易に電流パス31として機能させることができる。

30

【0078】

また、本実施形態では、N⁺型ドレイン領域15とN⁺型埋め込み領域16との接続部分を、約 $2 \times 10^{18} \text{ atoms/cm}^3$ ($1 \times 10^{18} \text{ atoms/cm}^3$ 以上)の不純物濃度を有するように構成することによって、N⁺型ドレイン領域15とN⁺型埋め込み領域16との接続部分の抵抗を十分に小さくすることができるので、N⁺型ドレイン領域15とN⁺型埋め込み領域16との間をキャリアが移動しにくくなるのを抑制することができる。これにより、P⁻型ボディ領域12とN⁺型ドレイン領域15との間のみならず、P⁻型ボディ領域12とN⁺型埋め込み領域16との間も、容易に電流パス31として機能させることができる。その結果、半導体装置1のオン抵抗を、容易に十分に小さくすることができる。

40

【0079】

また、本実施形態では、N⁺型ドレイン領域15とN⁺型埋め込み領域16との接続部分

50

を、 N^+ 型ドレイン領域 15 の不純物濃度の最大値 (約 $2 \times 10^{20} \text{ atoms/cm}^3$)、および、 N^+ 型埋め込み領域 16 の不純物濃度の最大値 (約 $2 \times 10^{19} \text{ atoms/cm}^3$) 以下の不純物濃度を有するように構成することによって、容易に、 N^+ 型ドレイン領域 15 および N^+ 型埋め込み領域 16 における深さ方向の N 型の不純物濃度プロファイルが、 N^+ 型ドレイン領域 15 による不純物濃度ピークと、 N^+ 型埋め込み領域 16 による不純物濃度ピークとの 2 つの不純物濃度ピークを有するように構成することができる。

【0080】

また、本実施形態では、 N^+ 型埋め込み領域 16 の不純物濃度の最大値を、約 $2 \times 10^{19} \text{ atoms/cm}^3$ ($1 \times 10^{19} \text{ atoms/cm}^3$ 以上) にすることによって、 N^+ 型ドレイン領域 15 と N^+ 型埋め込み領域 16 との接続部分の抵抗を、容易に十分に小さくすることができる。

10

【0081】

また、本実施形態では、 N^+ 型埋め込み領域 16 の不純物濃度の最大値を、約 $2 \times 10^{19} \text{ atoms/cm}^3$ ($1 \times 10^{20} \text{ atoms/cm}^3$ 以下) にすることによって、熱処理により N^+ 型埋め込み領域 16 の不純物が拡散しすぎて、 N^+ 型埋め込み領域 16 が大きくなりすぎるのを抑制することができる。これにより、 N^+ 型埋め込み領域 16 を、より容易に所望の大きさに形成することができる。その結果、 N^+ 型埋め込み領域 16 が P^- 型ボディ領域 12 の近くにまで形成されるのをより抑制することができるので、半導体装置 1 の耐圧が低下するのをより抑制することができる。

20

【0082】

また、本実施形態では、 P 型半導体基板 2 および P 型エピタキシャル層 3 を、互いに略同じ不純物濃度を有するように構成することによって、 P^- 型ボディ領域 12 に電圧を印加した際に P^- 型ボディ領域 12 の周囲に形成される空乏層 30 を、 P 型半導体基板 2 と P 型エピタキシャル層 3 とにおいて略均等な距離 W だけ拡がるように形成することができる。これにより、 P^- 型ボディ領域 12 から N^+ 型埋め込み領域 16 までの距離 L_2 を、 P^- 型ボディ領域 12 から N^+ 型ドレイン領域 15 までの距離 L_1 と略同じにすることにより、 N^+ 型埋め込み領域 16 および P^- 型ボディ領域 12 の間の耐圧と、 N^+ 型ドレイン領域 15 および P^- 型ボディ領域 12 の間の耐圧とを、容易に、同じ大きさにすることができる。すなわち、 N^+ 型埋め込み領域 16 および P^- 型ボディ領域 12 の間の耐圧と、 N^+ 型ドレイン領域 15 および P^- 型ボディ領域 12 の間の耐圧とのどちらか一方の耐圧で、半導体装置 1 ($LDMOS10$) の耐圧が制限されるのを抑制することができる。

30

【0083】

また、本実施形態では、 P 型エピタキシャル層 3 を、約 $5 \mu\text{m}$ ~ 約 $7 \mu\text{m}$ ($3 \mu\text{m}$ 以上) の厚みに形成することによって、 N^+ 型埋め込み領域 16 が P^- 型ボディ領域 12 の近くに配置されるのを抑制することができるので、半導体装置 1 の耐圧が低下するのを抑制することができる。

【0084】

また、本実施形態では、 P 型エピタキシャル層 3 を、約 $5 \mu\text{m}$ ~ 約 $7 \mu\text{m}$ ($7 \mu\text{m}$ 以下) の厚みに形成することによって、 N^+ 型埋め込み領域 16 に接続させるために N^+ 型ドレイン領域 15 を深くまで形成する必要がないので、 N^+ 型ドレイン領域 15 の N^+ 型埋め込み領域 16 との接続部分の不純物濃度が低くなりすぎるのを抑制することができる。これにより、 N^+ 型埋め込み領域 16 と N^+ 型ドレイン領域 15 との間の抵抗が大きくなるのを抑制することができる。

40

【0085】

また、本実施形態では、 N^+ 型ドレイン領域 15 を、バイポーラトランジスタ 20 の N^+ 型コレクタ補償領域 25 と同時に形成し、 N^+ 型埋め込み領域 16 を、バイポーラトランジスタ 20 の N^+ 型コレクタ埋め込み領域 26 と同時に形成することによって、 N^+ 型ドレイン領域 15 および N^+ 型埋め込み領域 16 を、それぞれ、バイポーラトランジスタ 20 の N^+ 型コレクタ補償領域 25 および N^+ 型コレクタ埋め込み領域 26 とは別の工程で形成する場合に比べて、生産性を向上させることができる。

50

【0086】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0087】

たとえば、上記実施形態では、第1導電型をP型とし、第2導電型をN型とする例について示したが、本発明はこれに限らず、第1導電型をN型とし、第2導電型をP型としてもよい。この場合にも、高耐圧で、かつ、オン抵抗を十分に小さくすることが可能な半導体装置を得ることができる。

10

【0088】

また、上記実施形態では、N⁺型ドレイン領域およびN⁺型埋め込み領域における深さ方向のN型の不純物濃度プロファイルを、2つの不純物濃度ピークを有するように構成した例について示したが、本発明はこれに限らず、図5に示した本発明の変形例のように、N⁺型ドレイン領域およびN⁺型埋め込み領域における深さ方向のN型の不純物濃度プロファイルを、3つ以上の不純物濃度ピークを有するように構成してもよい。具体的には、N⁺型ドレイン領域を形成する際のイオン注入のエネルギーを大きくすることによって、N⁺型ドレイン領域がより深い位置にまで形成される。これにより、N⁺型ドレイン領域には、表面部分と、表面部分以外の部分とに不純物濃度ピークが形成される。なお、イオン注入のエネルギーを大きくしても、最大で約1 μm～約2 μmの深さまでしか不純物領域を形成することができず、形成する深さを一定にするのが困難であり、かつ、不純物濃度を大きくすることができない。このため、N⁺型ドレイン領域15の真下の位置に、不純物領域(N⁺型埋め込み領域)を、イオン注入により形成するのは困難である。

20

【0089】

また、上記実施形態では、P⁻型ボディ領域からN⁺型埋め込み領域までの距離を、P⁻型ボディ領域からN⁺型ドレイン領域までの距離と略同じにした例について示したが、本発明はこれに限らず、P⁻型ボディ領域からN⁺型埋め込み領域までの距離を、P⁻型ボディ領域からN⁺型ドレイン領域までの距離と異なるようにしてもよい。

【0090】

また、上記実施形態では、N⁺型ドレイン領域を、P⁻型ボディ領域と略同じ深さ、または、P⁻型ボディ領域よりも大きい深さに形成した例について示したが、本発明はこれに限らず、N⁺型ドレイン領域を、P⁻型ボディ領域よりも小さい深さに形成してもよい。

30

【0091】

また、上記実施形態では、N⁺型ドレイン領域とN⁺型埋め込み領域との形成に、それぞれ、リン(P)とアンチモン(Sb)とを用いた例について示したが、本発明はこれに限らず、N⁺型ドレイン領域とN⁺型埋め込み領域との形成に、それぞれ、砒素(As)やその他の材料を用いてもよい。

【0092】

また、上記実施形態では、P型エピタキシャル層を、約5 μm～約7 μmの厚みに形成した例について示したが、本発明はこれに限らず、P型エピタキシャル層を、5 μm未満の厚み、または、7 μmよりも大きい厚みに形成してもよい。この場合、N⁺型埋め込み領域がP⁻型ボディ領域の近くに配置されて半導体装置の耐圧が低下するのを抑制するために、P型エピタキシャル層を、約3 μm以上の厚みに形成するのが望ましい。

40

【0093】

また、上記実施形態では、N⁺型ドレイン領域とN⁺型埋め込み領域との接続部分を、約 $2 \times 10^{18} \text{ atoms/cm}^3$ 以上の不純物濃度を有するように構成した例について示したが、本発明はこれに限らず、N⁺型ドレイン領域とN⁺型埋め込み領域との接続部分を、約 $2 \times 10^{18} \text{ atoms/cm}^3$ よりも小さい不純物濃度を有するように構成してもよい。この場合、N⁺型ドレイン領域とN⁺型埋め込み領域との接続部分の抵抗を十分に小さくするために、N⁺型ドレイン領域とN⁺型埋め込み領域との接続部分を、約 $1 \times 10^{18} \text{ a t}$

50

$0 \text{ ms} / \text{cm}^3$ 以上の不純物濃度を有するように構成することが望ましい。

【0094】

また、上記実施形態では、半導体装置に、LDMOSと、バイポーラトランジスタとを設けた例について示したが、本発明はこれに限らず、半導体装置に、バイポーラトランジスタを設けなくてもよい。

【図面の簡単な説明】

【0095】

【図1】本発明の一実施形態によるLDMOSを含む半導体装置の構造を示した断面図である。

【図2】図1に示した一実施形態によるLDMOSを含む半導体装置のN⁻型ウェル領域に形成される空乏層の構造を示した断面図である。

【図3】図1の100-100線に沿った不純物濃度プロファイルを示した図である。

【図4】図1に示した一実施形態によるLDMOSを含む半導体装置における電流パスを示した断面図である。

【図5】本発明の変形例による半導体装置の不純物濃度プロファイルを示した図である。

【図6】従来のLDMOSを含む半導体装置の構造を示した断面図である。

【図7】特許文献1のLDMOSを含む半導体装置の構造を示した断面図である。

【図8】図7の200-200線に沿った不純物濃度プロファイルを示した図である。

【図9】図7に示した特許文献1のLDMOSを含む半導体装置における電流パスを示した断面図である。

【符号の説明】

【0096】

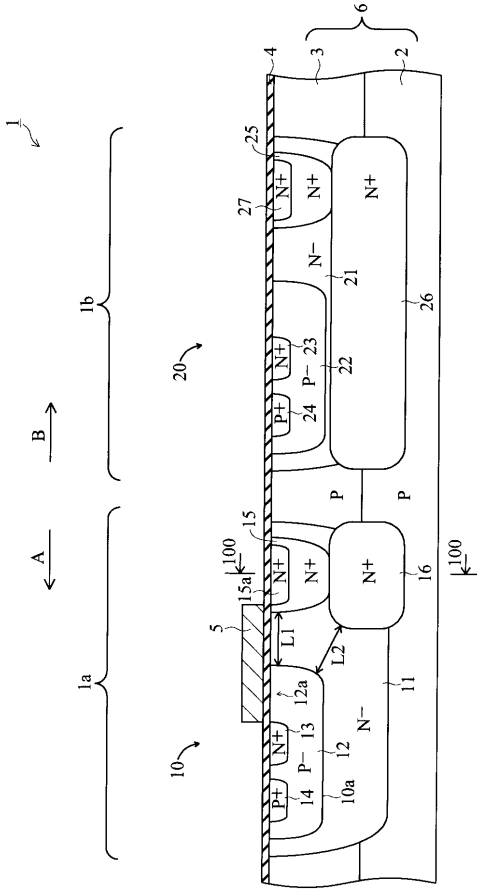
- 1 半導体装置
- 2 P型半導体基板（半導体基板）
- 3 P型エピタキシャル層（エピタキシャル層）
- 4 ゲート酸化膜（絶縁膜）
- 5 ゲート電極
- 6 半導体層
- 11 N⁻型ウェル領域（ドリフト領域）
- 12 P⁻型ボディ領域（ボディ領域）
- 13 N⁺型ソース領域（ソース領域）
- 15 N⁺型ドレイン領域（ドレイン領域）
- 16 N⁺型埋め込み領域（埋め込み領域）
- 20 バイポーラトランジスタ
- 25 N⁺型コレクタ補償領域（コレクタ補償領域）
- 26 N⁺型コレクタ埋め込み領域（コレクタ埋め込み領域）

10

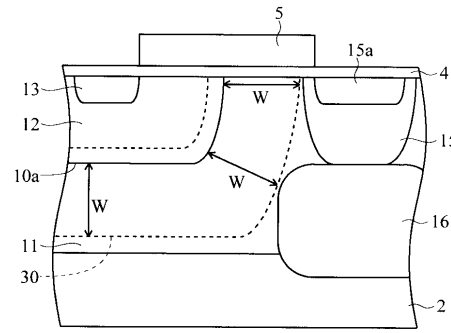
20

30

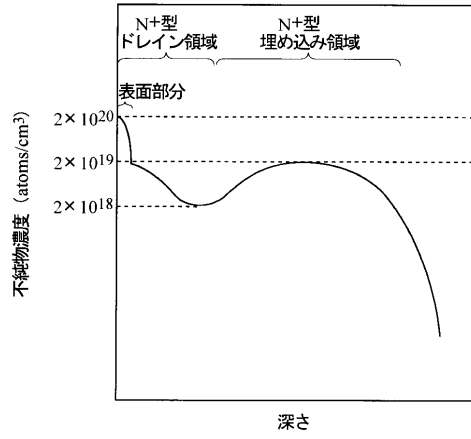
【図 1】



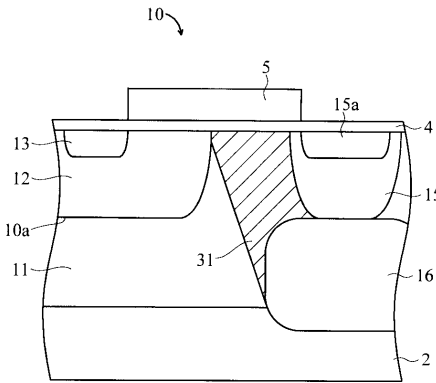
【図 2】



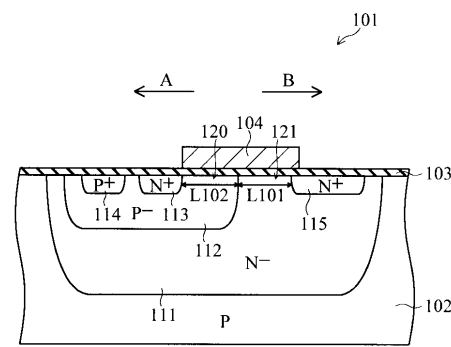
【図 3】



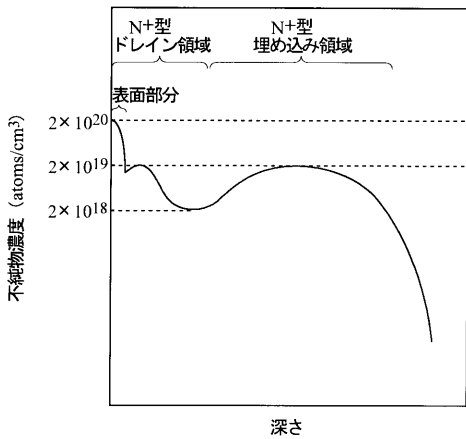
【図 4】



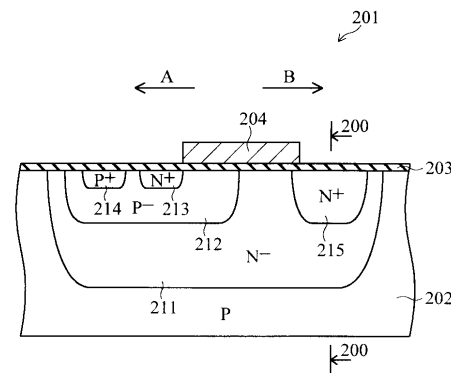
【図 6】



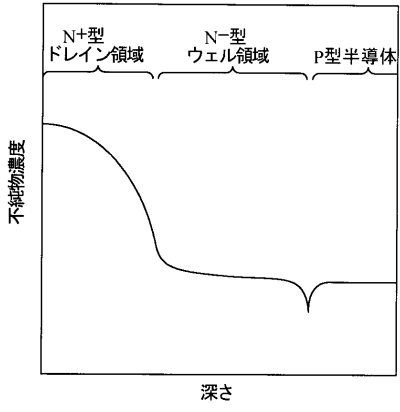
【図 5】



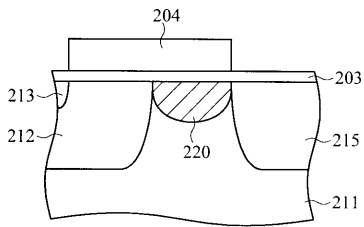
【図 7】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

H 0 1 L 21/331 (2006.01)
H 0 1 L 29/732 (2006.01)
H 0 1 L 21/8222 (2006.01)
H 0 1 L 21/8248 (2006.01)

Fターム(参考) 5F048 AC05 AC07 BA06 BA12 BB05 BC03 BC05 BC07 BE01 BE04
BH05 CA03 CA07
5F082 AA02 AA04 BA02 BA11 BA21 BA47 BC01 BC09 EA03 EA09
5F140 AA25 AA30 AB07 AC21 BA16 BA20 BC06 BC17 BF01 BF04
BH14 BH17 BH21 BH25 BH30 BH43 BH49 BK13 CD02