



(12)发明专利申请

(10)申请公布号 CN 106057828 A

(43)申请公布日 2016. 10. 26

(21)申请号 201610666482.3

(22)申请日 2016.08.12

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 合肥京东方光电科技有限公司

(72)发明人 段献学 宫奎 李贺飞 李纪龙
安晖 董必良 王铖铖

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 27/12(2006.01)

H01L 21/77(2006.01)

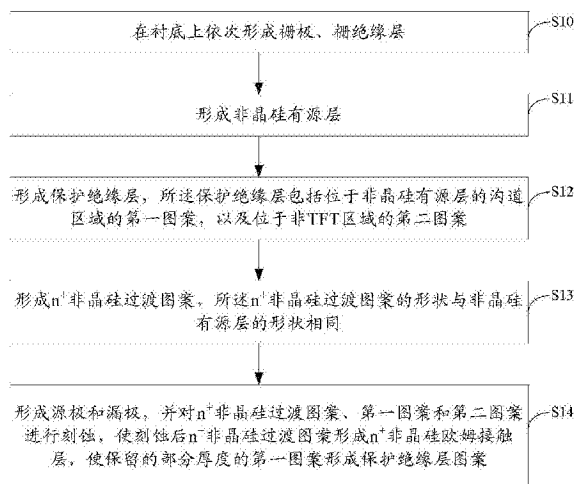
权利要求书1页 说明书7页 附图6页

(54)发明名称

一种基板及其制备方法、显示面板

(57)摘要

本发明的实施例提供一种基板及其制备方法、显示面板,涉及显示技术领域,可解决现有技术中栅绝缘层损伤的问题。该基板的制备方法包括在衬底上形成TFT,所述TFT包括依次形成在所述衬底上的栅极、栅绝缘层、非晶硅有源层、n⁺非晶硅欧姆接触层以及源极和漏极;在形成所述非晶硅有源层之后,形成所述n⁺非晶硅欧姆接触层之前,所述方法还包括形成保护绝缘层,所述保护绝缘层包括位于所述非晶硅有源层的沟道区域的第一图案,以及位于非TFT区域的第二图案;其中,所述第二图案在非TFT区域覆盖所述栅绝缘层。用于具有TFT的装置。



1. 一种基板的制备方法,包括在衬底上形成TFT,所述TFT包括依次形成在所述衬底上的栅极、栅绝缘层、非晶硅有源层、 n^+ 非晶硅欧姆接触层、以及源极和漏极;其特征在于,

在形成所述非晶硅有源层之后,形成所述 n^+ 非晶硅欧姆接触层之前,所述方法还包括形成保护绝缘层,所述保护绝缘层包括位于所述非晶硅有源层的沟道区域的第一图案,以及位于非TFT区域的第二图案;

其中,所述第二图案在非TFT区域覆盖所述栅绝缘层。

2. 根据权利要求1所述的制备方法,其特征在于,在形成所述 n^+ 非晶硅欧姆接触层的同时,对所述第一图案进行部分刻蚀,使剩余厚度的所述第一图案,形成保护绝缘层图案。

3. 根据权利要求2所述的制备方法,其特征在于,所述保护绝缘层图案的厚度为5~15nm。

4. 根据权利要求2所述的制备方法,其特征在于,形成所述 n^+ 非晶硅欧姆接触层、所述保护绝缘层图案以及所述源极和所述漏极,具体包括:

在形成有所述非晶硅有源层的衬底上,形成所述保护绝缘层;

在形成有所述保护绝缘层的衬底上,形成 n^+ 非晶硅过渡图案,所述 n^+ 非晶硅过渡图案的形状与所述非晶硅有源层的形状相同;

在形成有所述 n^+ 非晶硅过渡图案的衬底上,形成所述源极和所述漏极,并对所述 n^+ 非晶硅过渡图案、所述第一图案和所述第二图案进行刻蚀,形成所述 n^+ 非晶硅欧姆接触层和所述保护绝缘层图案。

5. 根据权利要求1-4任一项所述的制备方法,其特征在于,所述保护绝缘层的材料包括 SiO_2 、 Si_xN_y 、 SiO_xN_y 中的至少一种。

6. 根据权利要求5所述的制备方法,其特征在于,在 SF_6 与 O_2 ,或 Cl_2 与 O_2 ,或 CF_4 与 O_2 的混合气体环境下,采用干法刻蚀方法对所述 n^+ 非晶硅过渡图案、所述第一图案和所述第二图案进行刻蚀。

7. 一种基板,包括设置在衬底上的TFT,所述TFT包括依次位于所述衬底上的栅极、栅绝缘层、非晶硅有源层、 n^+ 非晶硅欧姆接触层、以及源极和漏极;其特征在于,还包括设置在所述非晶硅有源层远离所述衬底一侧、且位于沟道区域的保护绝缘层图案。

8. 根据权利要求7所述的基板,其特征在于,所述保护绝缘层图案的厚度为5~15nm。

9. 根据权利要求7所述的基板,其特征在于,所述保护绝缘层图案的材料包括 SiO_2 、 Si_xN_y 、 SiO_xN_y 中的至少一种。

10. 根据权利要求7-9任一项所述的基板,其特征在于,所述基板为阵列基板。

11. 一种显示面板,其特征在于,包括权利要求10所述的阵列基板。

一种基板及其制备方法、显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种基板及其制备方法、显示面板。

背景技术

[0002] 薄膜晶体管(Thin Film Transistor,简称TFT)作为开关控制单元,在显示领域有着广泛的应用。以TFT阵列基板为例,其显示区包括阵列排布的多个像素单元,每个像素单元中都设置有用于控制该像素单元的TFT开关。

[0003] 其中,非晶硅薄膜晶体管由于性能较好,工艺成熟且成本较低,目前被广泛应用。非晶硅薄膜晶体管中的有源层包括非晶硅有源层和 n^+ 非晶硅欧姆接触层,由两次刻蚀工艺形成,第一次用于形成有源层的硅岛图形,第二次用于刻蚀出 n^+ 非晶硅欧姆接触层之间的间隙。

[0004] 然而,在形成 n^+ 非晶硅欧姆接触层的过程中,由于栅绝缘层上方没有遮挡,往往会使栅绝缘层的位于非TFT区域的部分厚度降低,造成栅绝缘层的损伤。举例来说,当第二次刻蚀有源层的刻蚀量为100nm时,通常会造成栅绝缘层减薄80nm。

发明内容

[0005] 本发明的实施例提供一种基板及其制备方法、显示面板,可解决现有技术中栅绝缘层损伤的问题。

[0006] 为达到上述目的,本发明的实施例采用如下技术方案:

[0007] 第一方面,提供一种基板的制备方法,包括在衬底上形成TFT,所述TFT包括依次形成在所述衬底上的栅极、栅绝缘层、非晶硅有源层、 n^+ 非晶硅欧姆接触层、以及源极和漏极;在形成所述非晶硅有源层之后,形成所述 n^+ 非晶硅欧姆接触层之前,所述方法还包括形成保护绝缘层,所述保护绝缘层包括位于所述非晶硅有源层的沟道区域的第一图案,以及位于非TFT区域的第二图案;其中,所述第二图案在非TFT区域覆盖所述栅绝缘层。

[0008] 优选的,在形成所述 n^+ 非晶硅欧姆接触层的同时,对所述第一图案进行部分刻蚀,使剩余厚度的所述第一图案,形成保护绝缘层图案。

[0009] 进一步优选的,所述保护绝缘层图案的厚度为5~15nm。

[0010] 优选的,形成所述 n^+ 非晶硅欧姆接触层、所述保护绝缘层图案以及所述源极和所述漏极,具体包括:在形成有所述非晶硅有源层的衬底上,形成所述保护绝缘层;在形成有所述保护绝缘层的衬底上,形成 n^+ 非晶硅过渡图案,所述 n^+ 非晶硅过渡图案的形状与所述非晶硅有源层的形状相同;在形成有所述 n^+ 非晶硅过渡图案的衬底上,形成所述源极和所述漏极,并对所述 n^+ 非晶硅过渡图案、所述第一图案和所述第二图案进行刻蚀,形成所述 n^+ 非晶硅欧姆接触层和所述保护绝缘层图案。

[0011] 基于上述,优选的,所述保护绝缘层的材料包括 SiO_2 、 Si_xN_y 、 SiO_xN_y 中的至少一种。

[0012] 进一步的,在 SF_6 与 O_2 ,或 Cl_2 与 O_2 ,或 CF_4 与 O_2 的混合气体环境下,采用干法刻蚀方法对所述 n^+ 非晶硅过渡图案、所述第一图案和所述第二图案进行刻蚀。

[0013] 第二方面,提供一种基板,包括设置在衬底上的TFT,所述TFT包括依次位于所述衬底上的栅极、栅绝缘层、非晶硅有源层、 n^+ 非晶硅欧姆接触层、以及源极和漏极;所述基板还包括设置在所述非晶硅有源层远离所述衬底一侧、且位于沟道区域的保护绝缘层图案。

[0014] 优选的,所述保护绝缘层图案的厚度为5~15nm。

[0015] 优选的,所述保护绝缘层图案的材料包括 SiO_2 、 Si_xN_y 、 SiO_xN_y 中的至少一种。

[0016] 基于上述,优选的,所述基板为阵列基板。

[0017] 第三方面,提供一种显示面板,包括上述的阵列基板。

[0018] 本发明的实施例提供一种基板及其制备方法、显示面板,通过在形成非晶硅有源层之后,形成 n^+ 非晶硅欧姆接触层之前,形成包括位于沟道区域的第一图案和位于非TFT区域的第二图案的保护绝缘层,可在形成 n^+ 非晶硅欧姆接触层的过程中,使栅绝缘层完整,而避免对栅绝缘层的损伤,从而保证所述基板的性能。其中,由于保护绝缘层的材料为绝缘材料,可避免对非晶硅有源层的沟道区域(即,非晶硅有源层中与源极和漏极之间的间隙对应的部分)的污染,保证TFT的性能。

附图说明

[0019] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0020] 图1(a)为本发明实施例提供的一种基板的结构示意图一;

[0021] 图1(b)为本发明实施例提供的一种基板的结构示意图二;

[0022] 图2为本发明实施例提供的一种基板的结构示意图三;

[0023] 图3-8为本发明实施例提供的一种制备基板的过程示意图一;

[0024] 图9-10为本发明实施例提供的一种制备基板的过程示意图二;

[0025] 图11为本发明实施例提供的一种制备基板的流程示意图一;

[0026] 图12为本发明实施例提供的一种制备基板的流程示意图二;

[0027] 图13为本发明实施例提供的一种阵列基板的结构示意图。

[0028] 附图标记:

[0029] 01-衬底;02-TFT;11-栅极;12-栅绝缘层;13-非晶硅有源层;14-保护绝缘层;141-第一图案;142-第二图案;143-保护绝缘层图案;15- n^+ 非晶硅欧姆接触层;151- n^+ 非晶硅薄膜;152- n^+ 非晶硅过渡图案;16-源极;17-漏极;18-光刻胶;181-光刻胶保留部分;19-像素电极。

具体实施方式

[0030] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0031] 本发明实施例提供一种基板的制备方法,如图1(a)、图1(b)和图2所示,包括在衬

底01上形成TFT02,TFT02包括依次形成在衬底01上的栅极11、栅绝缘层12、非晶硅有源层13、 n^+ 非晶硅欧姆接触层15、以及源极16和漏极17。

[0032] 其中,如图3所示,在形成非晶硅有源层13之后,形成 n^+ 非晶硅欧姆接触层15之前,所述方法还包括形成保护绝缘层14,所述保护绝缘层14包括位于非晶硅有源层13的沟道区域(即,源极16和漏极17之间区域)的第一图案141,以及位于非TFT区域的第二图案142。

[0033] 其中,第二图案142在非TFT区域覆盖栅绝缘层12。

[0034] 需要说明的是,第一,不对保护绝缘层14的材料进行限定,只要不对沟道区域产生影响即可。

[0035] 第二,对于保护绝缘层14中的第一图案141可以保留,也可去除,在此不做限定。当保留时,可以仅是保留部分厚度的第一图案141,当然也可将第一图案141全部保留下来。

[0036] 对于保护绝缘层14中的第二图案142可以保留,也可去除,在此不做限定。当保留时,可以仅是保留部分厚度的第二图案142,当然也可将第二图案142全部保留下来。

[0037] 当第一图案141和第二图案142均被去除时,可同时将第一图案141和第二图案142去除。

[0038] 第三,在制作上述基板的工艺过程中,若需将第二图案142去除,则本发明实施例并不限定去除第二图案142具体位于哪一步骤,只要在形成栅绝缘层12的后续工艺步骤中,能避免对栅绝缘层12的损伤即可。

[0039] 第四,本发明实施例及所有附图只为清楚描述与本方案发明点相关的结构,对于其他的与发明点无关的结构并未体现或只体现部分。

[0040] 本发明实施例提供一种基板的制备方法,通过在形成非晶硅有源层13之后,形成 n^+ 非晶硅欧姆接触层15之前,形成包括位于沟道区域的第一图案141和位于非TFT区域的第二图案142的保护绝缘层14,可在形成 n^+ 非晶硅欧姆接触层15的过程中,使栅绝缘层12完整,而避免对栅绝缘层12的损伤,从而保证所述基板的性能。其中,由于保护绝缘层14的材料为绝缘材料,可避免对非晶硅有源层13的沟道区域(即,非晶硅有源层13中与源极16和漏极17之间的间隙对应的部分)的污染,保证TFT02的性能。

[0041] 优选的,如图1(a)和图1(b)所示,在形成 n^+ 非晶硅欧姆接触层15的同时,对第一图案141进行部分刻蚀,使剩余厚度的第一图案141,形成保护绝缘层图案143。

[0042] 此处,由于第一图案141和第二图案142的材料相同,厚度相同,而且, n^+ 非晶硅薄膜直接形成在第一图案141和第二图案142上方,因此,在对第一图案141进行刻蚀的同时,势必对第二图案142也进行刻蚀,基于此,本发明实施例并不对第二图案142是否被完全去除或有部分厚度被保留进行限定。

[0043] 示例的,如图4-8所示,可在形成 n^+ 非晶硅欧姆接触层15的同时,将第二图案142去除,并将部分厚度的所述第一图案141保留,使剩余厚度的第一图案141,形成保护绝缘层图案143。

[0044] 需要说明的是,由于第一图案141和第二图案142的材料相同且厚度相同,为了使第二图案142完全去除,而保留部分厚度的第一图案141,则在刻蚀形成 n^+ 非晶硅欧姆接触层15之前,需使第二图案142上方无 n^+ 非晶硅薄膜或第二图案142上方的 n^+ 非晶硅薄膜厚度小于第一图案141上方的 n^+ 非晶硅薄膜的厚度。在此基础上,还应保证 n^+ 非晶硅以及第一图案141和第二图案142的材料能在相同刻蚀环境下被刻蚀。

[0045] 本发明实施例中,通过非晶硅有源层13的沟道区域上方形成保护绝缘层图案143,可避免外界的导电粒子污染沟道,从而可以减小TFT02的漏电流。其中,对第一图案141进行部分刻蚀,可以避免第一图案141表面聚集导电粒子而渗入沟道中。

[0046] 进一步优选的,所述保护绝缘层图案143的厚度为5~15nm。

[0047] 本发明实施例中,通过将保护绝缘层图案143的厚度设定为5~15nm,一方面足以避免外界的导电粒子污染沟道,另一方面,由于5~15nm的厚度可以忽略,因此可避免对所述基板整体厚度的影响。

[0048] 下面提供一具体实施例以对上述基板的制备方法进行具体说明。如图11所示,形成所述基板可以包括如下步骤:

[0049] S10、如图3所示,在衬底01上依次形成栅极11、栅绝缘层12。

[0050] 具体的,可以使用磁控溅射方法,在衬底01上制备一层厚度为100nm至700nm的金属薄膜,例如可以制备300nm左右厚度的金属薄膜。金属材料通常可以采用钼、铝、铝镍合金、钼钨合金、铬、或铜等金属,也可以使用上述几种材料薄膜的组合结构。然后,用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理,在基板的TFT区域上形成栅极11。

[0051] 当然,若所述基板为阵列基板,则还可同时形成栅线。

[0052] 进一步的,可以利用等离子体增强化学气相沉积法(Plasma Enhanced Chemical Vapor Deposition,简称PECVD)在基板上沉积厚度为100nm至600nm的绝缘薄膜,绝缘薄膜的材料通常是氮化硅,也可以使用氧化硅和氮氧化硅等。例如可以制备400nm左右厚度的氮化硅材质的栅绝缘层12。

[0053] 需要说明的是,在形成金属薄膜之前,可先对衬底01进行清洗。

[0054] S11、如图3所示,在S10的基础上,形成非晶硅有源层13。

[0055] 具体的,可以利用PECVD在形成有栅绝缘层12的衬底01上沉积厚度为100nm至600nm的非晶硅薄膜,例如可以制备200nm左右厚度的非晶硅薄膜。用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理,在基板的TFT区域上形成位于栅极11上方的非晶硅有源层13。

[0056] S12、如图3所示,在S11的基础上,形成保护绝缘层14,所述保护绝缘层14包括位于非晶硅有源层13的沟道区域的第一图案141,以及位于非TFT区域的第二图案142。

[0057] 具体的,可以利用PECVD在形成有非晶硅有源层13的衬底01上沉积厚度为40nm至60nm的绝缘薄膜。然后,用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理,形成位于沟道区域的第一图案141,以及位于非TFT区域的第二图案142。例如可以制备50nm左右厚度的二氧化硅(SiO_2)材质的保护绝缘层14。当然也可以是氮化硅(Si_xN_y),或者氮氧化硅(SiO_xN_y)。

[0058] 其中,考虑到干法刻蚀工艺可以非常好的控制形成的非晶硅有源层13的侧壁剖面,使最终形成的有源层的性能更好,因此,本发明实施例优选采用干法刻蚀工艺,对所述绝缘薄膜进行刻蚀。

[0059] 干法刻蚀可选用等离子刻蚀、反应离子刻蚀(Reactive Ion Etching,简称RIE)、电感耦合等离子体(Inductively Coupled Plasma,ICP)刻蚀等方法,刻蚀气体可选择含氟、氯的气体,如四氟化碳(CF_4)、三氟甲烷(CHF_3)、六氟化硫(SF_6)、二氟二氯甲烷(CCl_2F_2)等或者这些气体与氧气(O_2)的混合气体。

[0060] S13、如图4和5所示,在S12的基础上,形成 n^+ 非晶硅过渡图案152,所述 n^+ 非晶硅过渡图案152的形状与非晶硅有源层13的形状相同。

[0061] 具体的,如图4所示,可以利用PECVD在形成有保护绝缘层14的衬底01上沉积厚度为40nm至70nm的 n^+ 非晶硅薄膜151,用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理,形成如图5所示的所述 n^+ 非晶硅过渡图案152。例如可以制备50nm左右厚度的 n^+ 非晶硅过渡图案152。

[0062] 其中,由于 n^+ 非晶硅过渡图案152的形状与非晶硅有源层13的形状相同,因此,该步骤S13中,可使用制备非晶硅有源层13时所采用的掩模板。

[0063] 此外,优选采用干法刻蚀工艺,对 n^+ 非晶硅薄膜151进行刻蚀。

[0064] S14、如图6-8所示,在S13的基础上,形成源极16和漏极17,并对 n^+ 非晶硅过渡图案152、第一图案141和第二图案142进行刻蚀,使刻蚀后 n^+ 非晶硅过渡图案152形成 n^+ 非晶硅欧姆接触层15,使保留的部分厚度的第一图案141形成保护绝缘层图案143。

[0065] 具体的,如图6所示,可以利用磁控溅射在形成有 n^+ 非晶硅过渡图案152的衬底01上沉积厚度为100nm至700nm的金属薄膜161,例如可以制备250nm左右厚度的金属薄膜161。之后在金属薄膜161上涂覆 $1.5\mu\text{m}$ 厚度的光刻胶18。金属材料通常可以采用钼、铝、铝镍合金、钼钨合金、铬、或铜等金属,也可以使用上述几种材料薄膜的组合结构。然后,用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理,在基板的TFT区域上形成如图7所示的源极16和漏极17。其中,可采用湿法刻蚀对金属薄膜161进行刻蚀。

[0066] 当然,若所述基板为阵列基板,则还可同时形成数据线。

[0067] 进一步的,如图8所示,对 n^+ 非晶硅过渡图案152、第一图案141和第二图案142进行刻蚀,使刻蚀后 n^+ 非晶硅过渡图案152形成 n^+ 非晶硅欧姆接触层15,使保留的部分厚度的第一图案141形成保护绝缘层图案143。之后,将源极16和漏极17上方的光刻胶保留部分181去除,形成如图1(a)所示的基板。

[0068] 其中,优选采用干法刻蚀工艺,对 n^+ 非晶硅过渡图案152、第一图案141和第二图案142进行刻蚀。

[0069] 需要说明的是,在刻蚀 n^+ 非晶硅过渡图案152、第一图案141和第二图案142之前,由于第一图案141是被 n^+ 非晶硅过渡图案152遮挡的,而第二图案142上方无任何遮挡,因此,只需选择能同时刻蚀 n^+ 非晶硅以及第一图案141和第二图案142材料的刻蚀气体,且合理设置 n^+ 非晶硅过渡图案152以及第一图案141和第二图案142厚度,便可使第一图案141上方的 n^+ 非晶硅被刻蚀掉,且使第二图案142也被完全刻蚀掉,而使第一图案141的部分厚度被保留,从而形成保护绝缘层图案143。

[0070] 考虑到 SiO_2 、 Si_xN_y 、 SiO_xN_y 是很好的绝缘材料,而且成本较低,因此,本发明实施例优选第一图案141和第二图案142的材料包括 SiO_2 、 Si_xN_y 、 SiO_xN_y 中的至少一种。即,保护绝缘层14的材料包括 SiO_2 、 Si_xN_y 、 SiO_xN_y 中的至少一种。

[0071] 在此基础上,在上述步骤S14中,可在 SF_6 与 O_2 的混合气体环境下,采用干法刻蚀方法对 n^+ 非晶硅过渡图案152、第一图案141和第二图案142进行刻蚀。

[0072] 其中,以 SiO_2 为例,在 SF_6 与 O_2 的混合气体环境下,硅的刻蚀速率大于 SiO_2 ,因此,位于第一图案141上方的 n^+ 非晶硅很快被刻蚀掉,直到 SiO_2 材料的第二图案142被全部刻蚀掉以后,刻蚀工艺停止,此时第一图案141中只有部分厚度的 SiO_2 被刻蚀掉,其余部分厚度的

SiO₂则被保留下来,从而形成保护绝缘层图案143。

[0073] 当然,在氯气(Cl₂)与O₂、或CF₄与O₂的混合气体环境下,也具有与SF₆与O₂混合气体环境下的效果,在此不再赘述。其中,在这些混合气体环境下,Si_xN_y、SiO_xN_y也具有与SiO₂相同的效果。

[0074] 基于此,可将n⁺非晶硅的厚度设置为与第一图案141的厚度相同,或略大于第一图案141的厚度。其中,第一图案141和第二图案142的厚度相同。

[0075] 本发明实施例通过在SF₆与O₂、或Cl₂与O₂、或CF₄与O₂的混合气体环境下,采用干法刻蚀方法对n⁺非晶硅过渡图案152、第一图案141和第二图案142进行刻蚀这样,可以使得形成保护绝缘层图案143的工艺容易控制。

[0076] 下面提供另一具体实施例对上述基板的制备方法进行具体说明。如图12所示,形成所述基板可以包括如下步骤:

[0077] S20、如图3所示,在衬底01上依次形成栅极11、栅绝缘层12。

[0078] S21、如图3所示,在S20的基础上,形成非晶硅有源层13。

[0079] S22、如图3所示,在S21的基础上,形成保护绝缘层14,所述保护绝缘层14包括位于沟道区域的第一图案141,以及位于非TFT区域的第二图案142。

[0080] S23、如图9所示,在S22的基础上,形成n⁺非晶硅欧姆接触层15。

[0081] S24、如图9-10所示,在S23的基础上,形成源极16和漏极17,并对第一图案141和第二图案142进行刻蚀,形成如图2所示的基板。

[0082] 此处,如图9所示,可先在形成有n⁺非晶硅欧姆接触层15的衬底01上沉积金属薄膜161,并在金属薄膜161上涂覆光刻胶18。然后,用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理,在基板的TFT区域上形成如图10所示的源极16和漏极17。

[0083] 进一步的,如图2所示,对第一图案141和第二图案142进行刻蚀。之后将源极16和漏极17上方的光刻胶保留部分181去除。

[0084] 此处,由于第一图案141和第二图案142的厚度相同,因此,第一图案141和第二图案142都会被刻蚀掉。

[0085] 在此基础上,如图2所示,当第一图案141被刻蚀去除后,还可以对第一图案141下方的非晶硅有源层13进行适当的过刻,以避免非晶硅有源层13表面聚集导电粒子而渗入沟道中。

[0086] 本发明实施例还提供一种基板,如图1(a)和图1(b)所示,包括设置在衬底01上的TFT02,所述TFT02包括依次位于衬底01上的栅极11、栅绝缘层12、非晶硅有源层13、n⁺非晶硅欧姆接触层15、以及源极16和漏极17。其中,所述基板还包括设置在非晶硅有源层13远离衬底01一侧、且位于沟道区域的保护绝缘层图案143。

[0087] 需要说明的是,不对保护绝缘层14的材料进行限定,只要不对沟道区域产生影响即可。

[0088] 本发明实施例提供一种基板,通过在形成非晶硅有源层13之后,形成n⁺非晶硅欧姆接触层15之前,形成包括位于沟道区域的第一图案141和位于非TFT区域的第二图案142的保护绝缘层14,可在形成n⁺非晶硅欧姆接触层15的过程中,使第二图案142完全去除,使部分厚度的第一图案141保留,从而形成保护绝缘层图案143。一方面,在此过程中,可保证栅绝缘层12完整,而避免对栅绝缘层12的损伤,从而保证所述基板的性能;另一方面,在沟

道区域上方形成保护绝缘层图案143,可避免外界的导电粒子污染沟道,从而可以减小TFT02的漏电流。

[0089] 优选的,所述保护绝缘层图案的厚度为5~15nm。

[0090] 本发明实施例中,通过将保护绝缘层图案143的厚度设定为5~15nm,一方面足以避免外界的导电粒子污染沟道,另一方面,由于5~15nm的厚度可以忽略,因此可避免对所述基板整体厚度的影响。

[0091] 考虑到 SiO_2 、 Si_xN_y 、 SiO_xN_y 是很好的绝缘材料,而且成本较低,因此,优选所述保护绝缘层图案的材料包括 SiO_2 、 Si_xN_y 、 SiO_xN_y 中的至少一种。

[0092] 基于上述,优选所述基板为阵列基板。

[0093] 这样,可避免栅绝缘层12的损伤而造成的液晶电容以及存储电容偏离模拟结果,而导致的图像闪烁,以及耦合电压、相应时间、充电率等参数偏离的问题。

[0094] 即:如图13所示,阵列基板还包括与TFT02的漏极电连接的像素电极19。

[0095] 进一步的,阵列基板还可以包括公共电极。

[0096] 其中,对于共平面切换型(In-Plane Switch,简称IPS)阵列基板而言,所述像素电极和所述公共电极同层间隔设置,且均为条状电极;对于高级超维场转换型(Advanced-super Dimensional Switching,简称ADS)阵列基板而言,所述像素电极和所述公共电极不同层设置,其中在上的电极为条状电极,在下的电极为板状电极。

[0097] 本发明实施例还提供一种显示面板,包括上述的基板。

[0098] 此外,本发明实施例还提供一种显示装置,包括所述显示面板。

[0099] 其中,显示装置具体可以为液晶显示器、液晶电视、数码相框、手机、平板电脑等具有任何显示功能的产品或者部件。

[0100] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

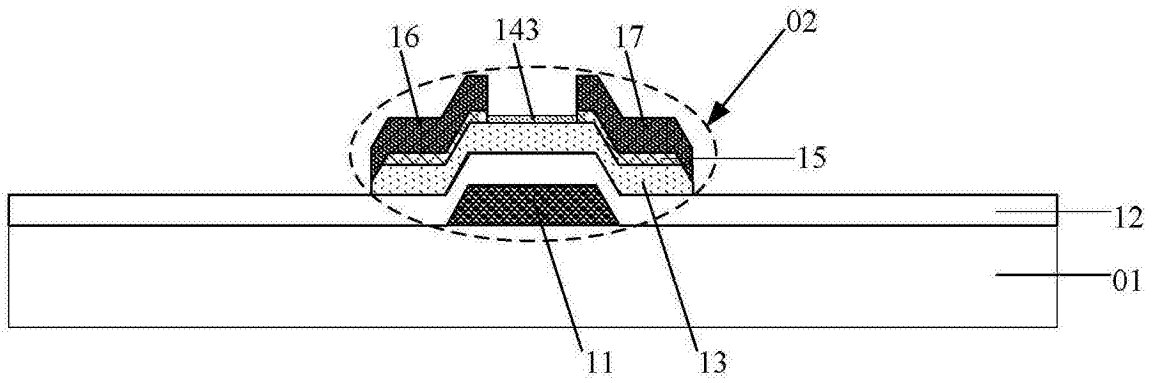


图1(a)

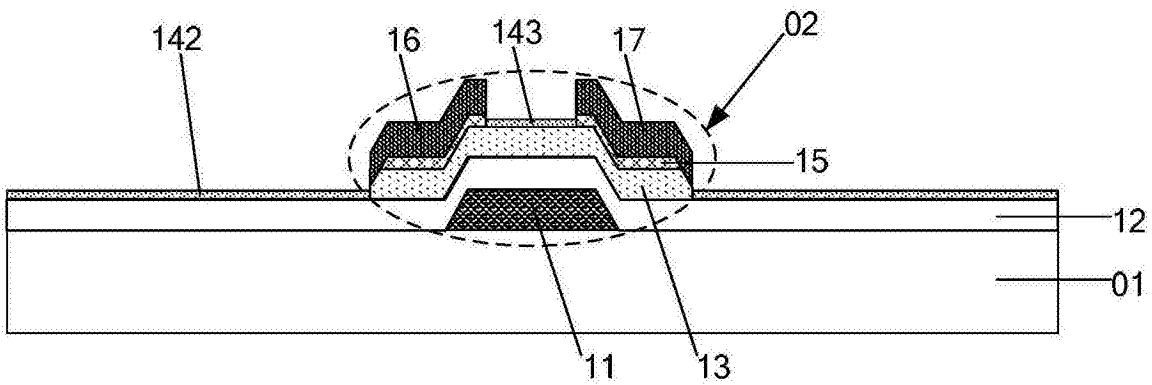


图1(b)

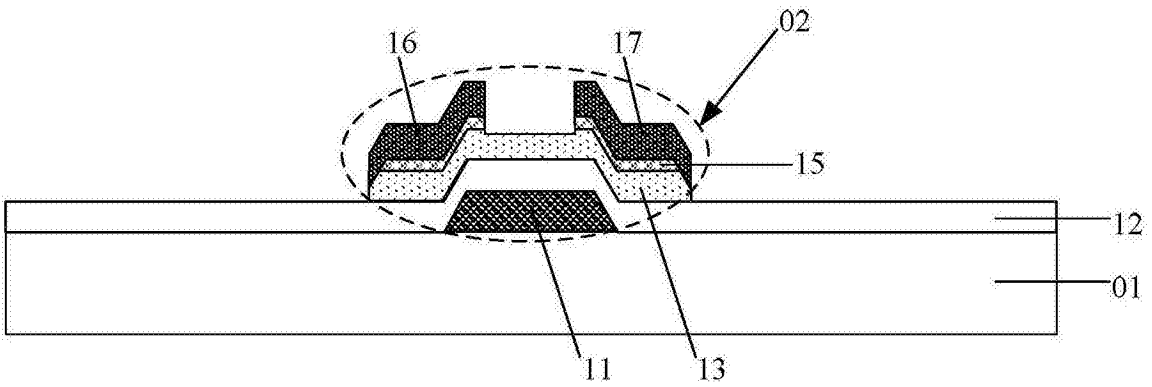


图2

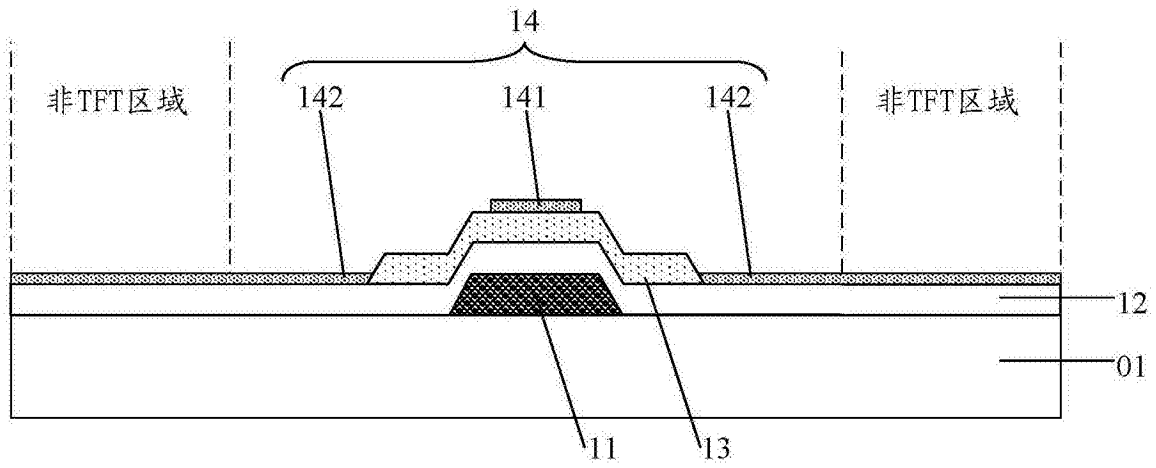


图3

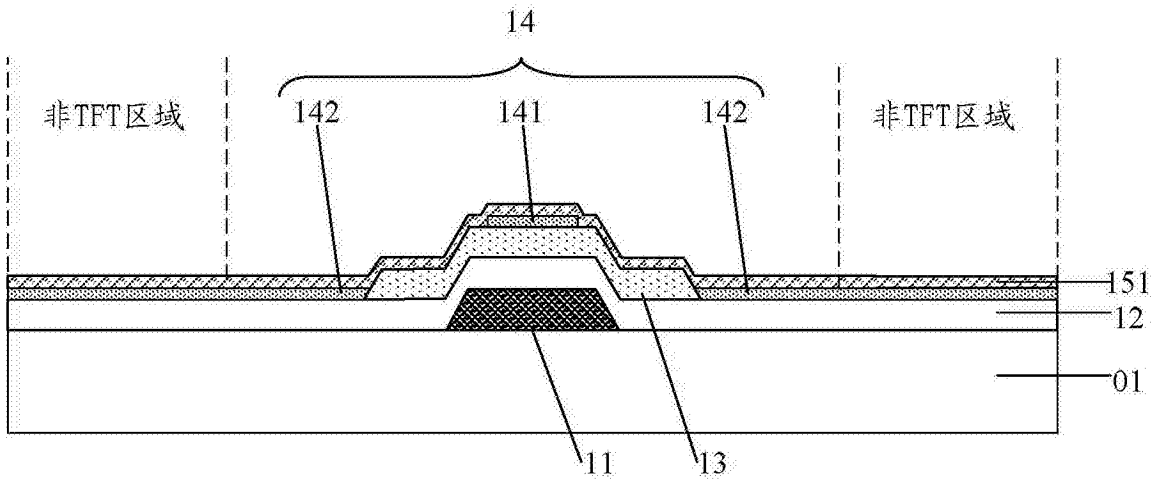


图4

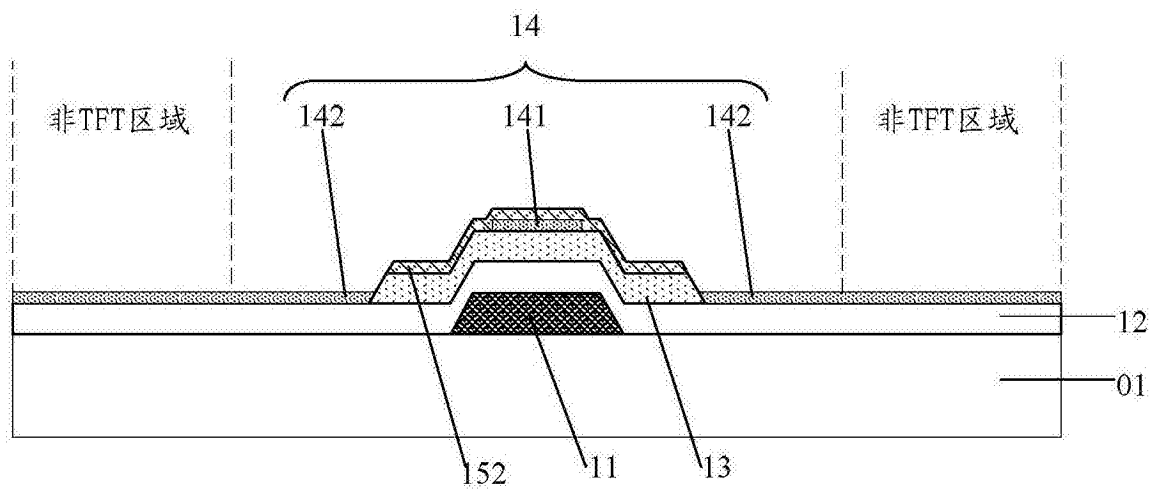


图5

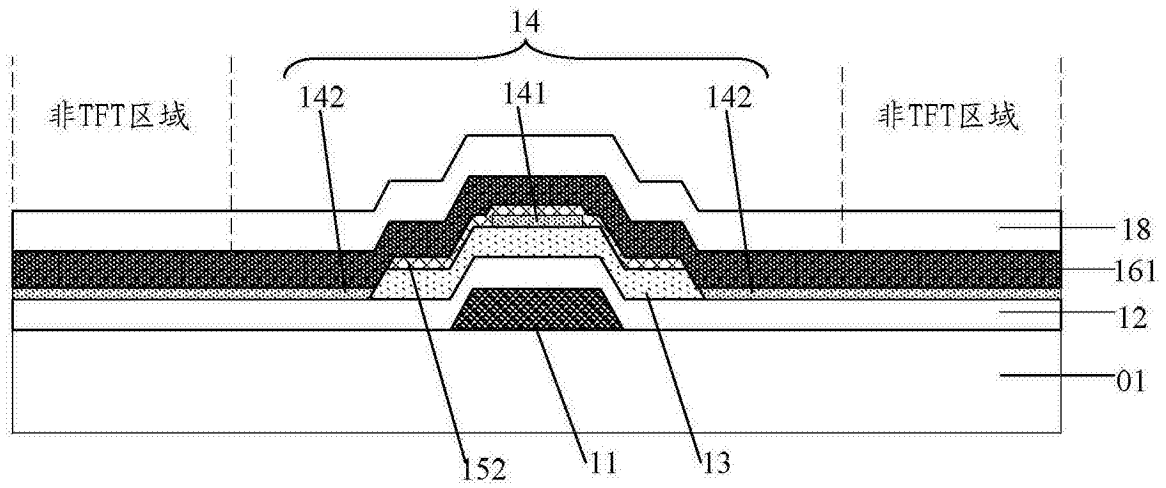


图6

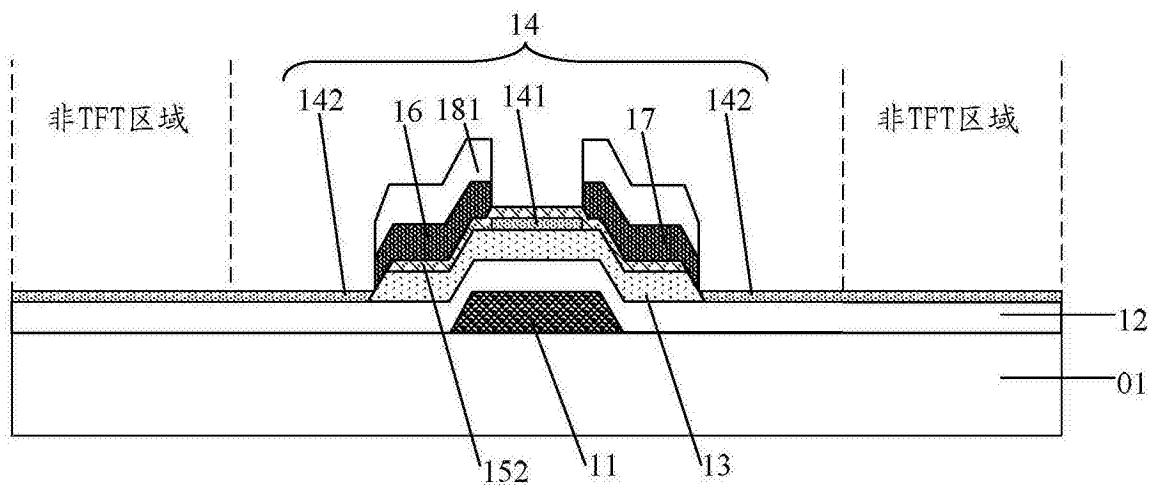


图7

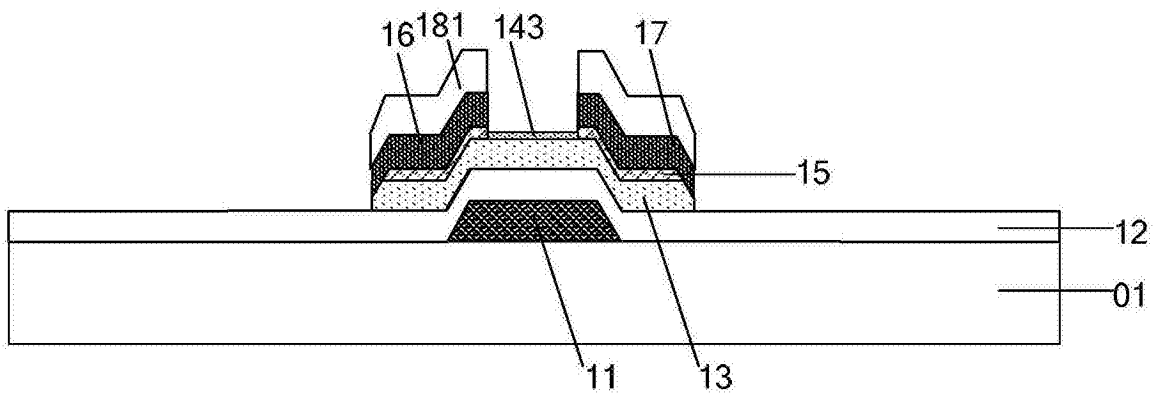


图8

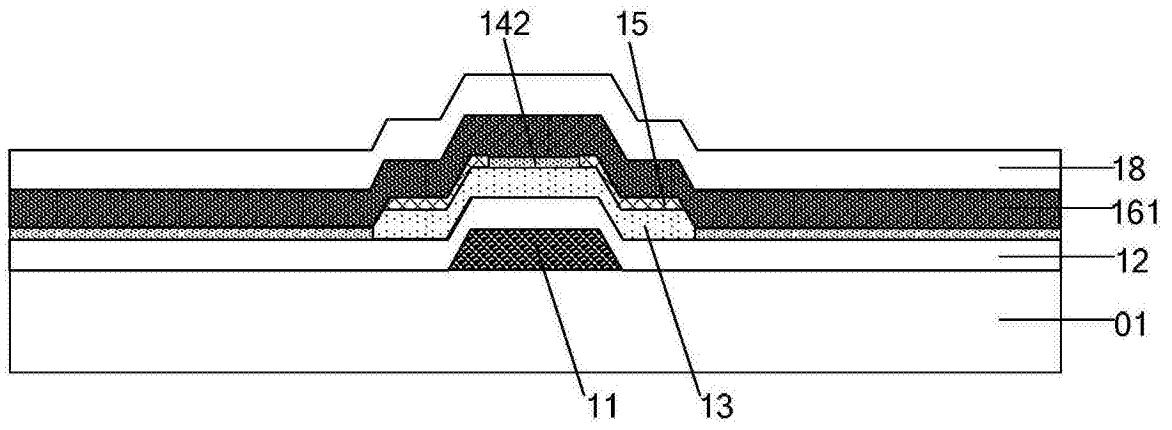


图9

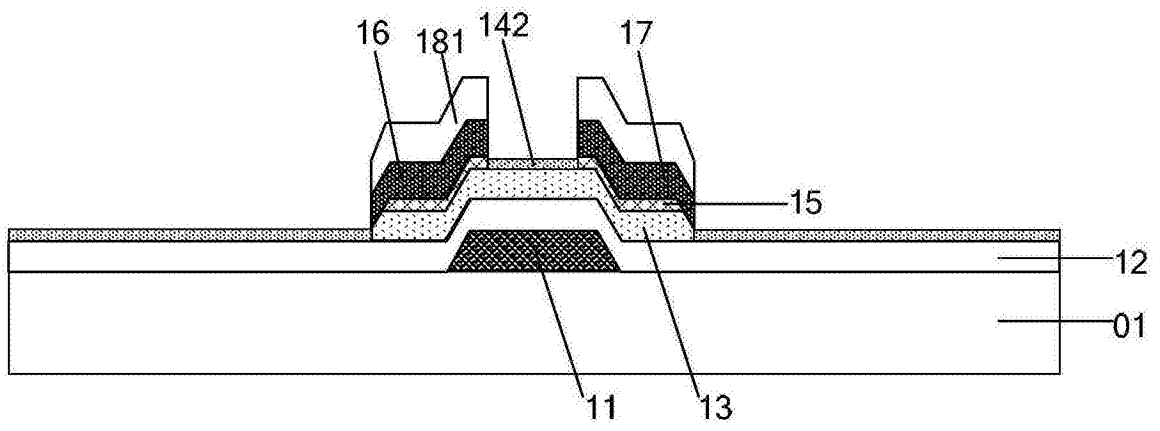


图10

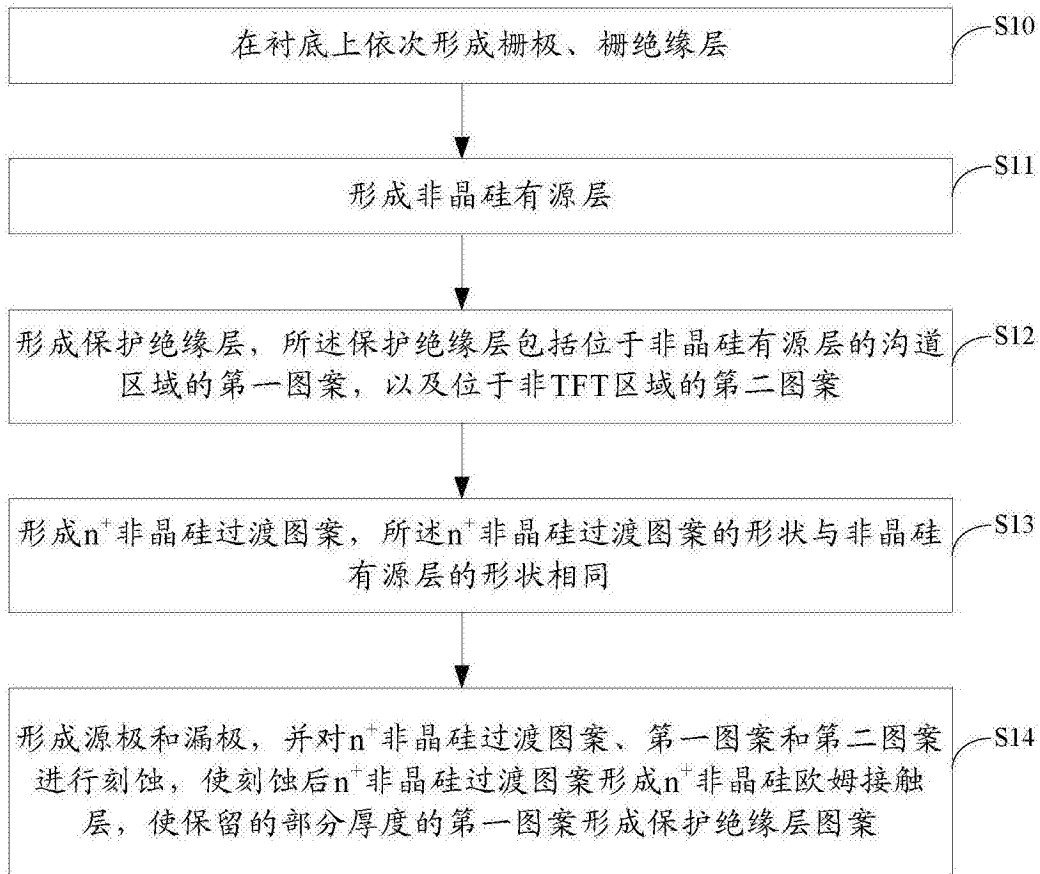


图11

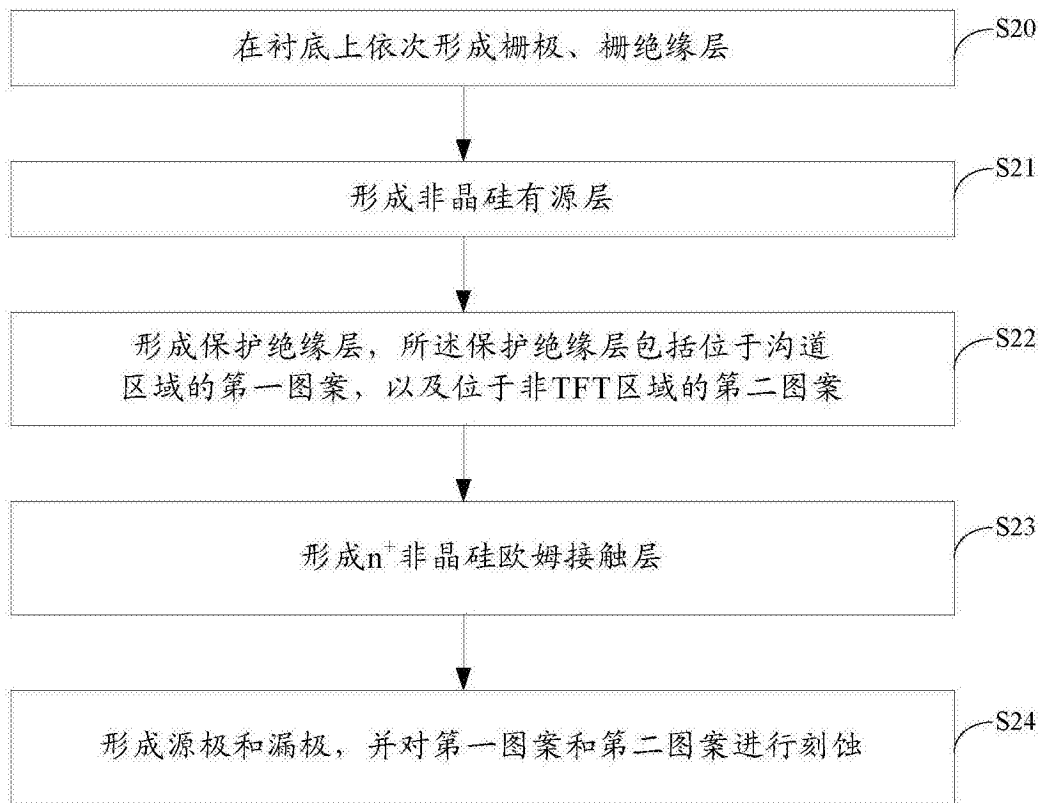


图12

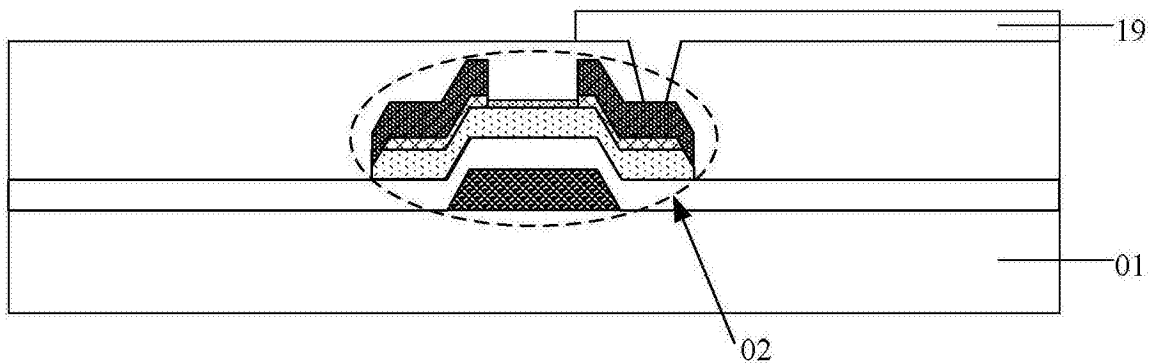


图13