



(21)申請案號：104105811

(22)申請日：中華民國 104 (2015) 年 02 月 24 日

(51)Int. Cl. : **H03K17/687 (2006.01)**

(30)優先權：2014/02/28 美國 14/193,899

(71)申請人：凱為公司(美國) CAVIUM, INC. (US)
美國(72)發明人：卡爾森 大衛 A CARLSON, DAVID A. (US)；森多保羅斯 修西底德
XANTHOPOULOS, THUCYDIDES (US)

(74)代理人：陳傳岳；郭雨嵐；范曉玲

申請實體審查：有 申請專利範圍項數：21 項 圖式數：3 共 19 頁

(54)名稱

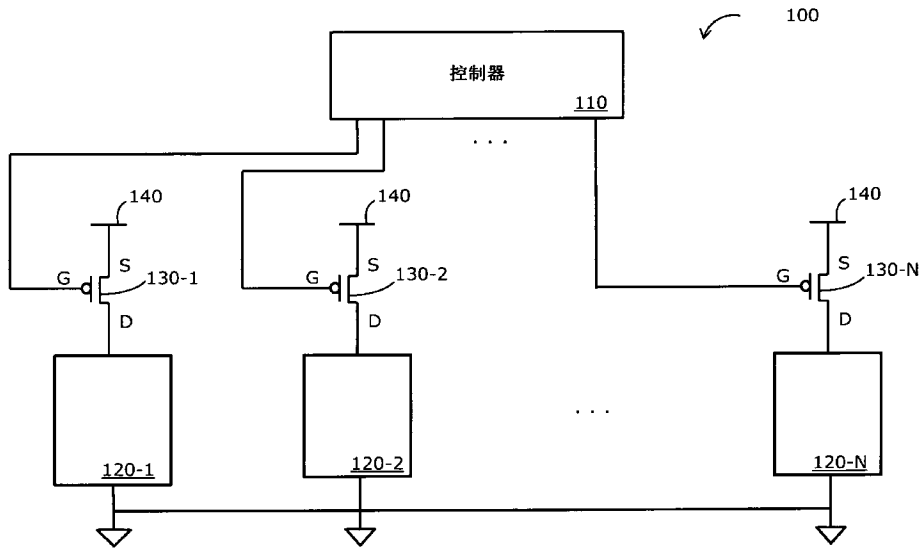
用於功率門控晶片器件中的硬體部件的方法和裝置

METHOD AND APPARATUS FOR POWER GATING HARDWARE COMPONENTS IN A CHIP DEVICE

(57)摘要

本發明涉及一種用於功率門控晶片器件中的硬體部件的方法和裝置。根據至少一個示例實施例，半導體器件被配置為通過被耦合至硬體部件的電晶體來門控去往硬體部件的電源。該電晶體由控制器以限制在轉換時段期間耗散至硬體部件的電流的方式來操作。該控制器被配置為在轉換時段期間通過控制去往電晶體的至少一個輸入信號來逐漸開啟或關閉硬體部件。逐漸開啟或關閉硬體部件會減少經過硬體部件的電流洩露並減小對被耦合至硬體部件的接地參考的任意電勢干擾。

According to at least one example embodiment, a semiconductor device is configured to gate power supply to a hardware component through a transistor coupled to the hardware component. The transistor is operated by a controller in a manner to limit electric current dissipated to the hardware component during a transition period. The controller is configured to gradually turn on, or off, the hardware component during a transition period by controlling at least one input signal to the transistor. Gradual turning on, or off, of the hardware component reduces electric current leakage through the hardware component and diminishes any potential disturbance to a ground reference coupled to the hardware component.



- 100 . . . 半導體器件
- 110 . . . 控制器
- 120-1~120-N . . . 硬體部件
- 130-1~130-N . . . 功率門控器件
- 140 . . . 電源

第一圖

發明摘要

※ 申請案號：104/165811

※ 申請日：104 2 24

※ IPC 分類：H3K17/687 (2006.01)

【發明名稱】(中文/英文)

用於功率門控晶片器件中的硬體部件的方法和裝置 / METHOD AND APPARATUS FOR POWER GATING HARDWARE COMPONENTS IN A CHIP DEVICE

【中文】

本發明涉及一種用於功率門控晶片器件中的硬體部件的方法和裝置。根據至少一個示例實施例，半導體器件被配置為通過被耦合至硬體部件的電晶體來門控去往硬體部件的電源。該電晶體由控制器以限制在轉換時段期間耗散至硬體部件的電流的方式來操作。該控制器被配置為在轉換時段期間通過控制去往電晶體的至少一個輸入信號來逐漸開啟或關閉硬體部件。逐漸開啟或關閉硬體部件會減少經過硬體部件的電流洩露並減小對被耦合至硬體部件的接地參考的任意電勢干擾。

【英文】

According to at least one example embodiment, a semiconductor device is configured to gate power supply to a hardware component through a transistor coupled to the hardware component. The transistor is operated by a controller in a manner to limit electric current dissipated to the hardware component during a transition period. The controller is configured to gradually turn on, or off, the hardware component during a transition period by controlling at least one input signal to the transistor. Gradual turning on, or off, of the hardware component reduces electric current leakage through the hardware component and diminishes any potential disturbance to a ground reference coupled to the hardware component.

【代表圖】

【本案指定代表圖】：第（一）圖。

【本代表圖之符號簡單說明】：

100 半導體器件

110 控制器

120-1~120-N 硬體部件

130-1~130-N 功率門控器件

140 電源

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

【發明名稱】(中文/英文)

用於功率門控晶片器件中的硬體部件的方法和裝置/ METHOD AND APPARATUS FOR POWER GATING HARDWARE COMPONENTS IN A CHIP DEVICE

【技術領域】

【0001】 本發明涉及一種用於功率門控晶片器件中之硬體部件的方法和裝置。

【先前技術】

【0002】 一般來說，微處理器設計之目的在於以盡可能小的功耗來提供高處理速度。在減小功耗時，微處理器設計之目的在於減小耗散在積體電路（IC）的不同部件兩端的功率。詳細來說，功率耗散包括動態功率耗散和靜態功率洩露。動態功率耗散例如是由於時鐘信號振盪和/或 IC 中的電容器的充電和放電而引起。靜態功率洩露通常是由於經過電晶體的電流洩露而引起，即使在電晶體被關閉時。

【發明內容】

【0003】 根據至少一個示例實施例，具有一個或多個硬體部件的半導體器件以及對應的方法包括通過被耦合至硬體部件的電晶體來門控去往硬體部件的電源。該電晶體由控制器以限制在轉換時段期間耗散到硬體部件的電流的方式來操作。換言之，控制器被配置為通過控制去往電晶體的至少一個輸入信號，來在轉換時段期間逐漸開啟或關閉一個或多個硬體部件中的硬體部件。

【0004】 根據至少一個方面，在以限制耗散到硬體部件的電流的方式來操作電晶體時，控制器被配置為控制在轉換時段期間被施加上到電晶體的使能信號的幅度。

【0005】 典型電晶體可以視為包括多個門控元件或者電晶體元件，以用於門控去往硬體部件的電源。根據至少一個方面，在以

限制耗散到硬體部件的電流的方式操作電晶體時，控制器被配置為使得多個門控元件的第一子集在轉換時段的第一階段中被開啟。在轉換時段的第二階段中，控制器使得多個門控元件的第二子集被開啟。控制器可以在使得多個門控元件的第一子集被開啟之後並且在使得多個門控元件的第二子集被開啟之前，等待一個或多個時鐘週期。

【0006】 為了逐漸開啟或關閉硬體部件，控制器可以備選地採用使能信號，該使能信號被施加到電晶體，在轉換時段期間在使能信號的幅度的高電平和低電平之間具有光滑的或逐漸的轉換。

【0007】 半導體器件可包括多個硬體部件，例如核心處理器、輔助處理器、記憶體部件等或其組合。控制器保存指示多個硬體部件中每個硬體部件的當前狀態的資訊。控制器還保存指示向其應用狀態改變的硬體部件的資訊，或者例如基於接收到的開啟或關閉硬體部件的請求來指示硬體部件的未來狀態的資訊。根據至少一個方面，在任意時間點開啟單個硬體部件。因此，控制器被配置為基於保存的資訊來確定將要被開啟或關閉的硬體部件，並且逐漸開啟確定的硬體部件。根據至少一個方面，如果兩個硬體部件中的一個被開啟並且另一個被關閉，則控制器可以處理兩個硬體部件的同時切換。

【圖式簡單說明】

【0008】 前述內容將從對本發明的示例實施例的以下更詳細的描述中看出來，如附圖所示，其中相同附圖標記貫穿不同附圖指代相同部件；附圖不必成比例，重點將放在說明本發明的實施例，圖示中：

第一圖為根據至少一個示例實施例的採用功率門控的半導體器件的電路圖；

第二 A 圖為根據第一示例實施例的半導體器件的硬體部件的功率門控的電路圖；

第二 B 圖為根據第二示例實施例的半導體器件的硬體部件的功率門

控的電路圖；

第三 A 圖為根據第一示例實施例的功率門控電晶體的結構的表示和逐漸加電硬體部件的機制的方塊圖；

第三 B 圖為根據第二示例實施例的逐漸上電電晶體的另一機制的兩個圖。

【實施方式】

【0009】 本發明的示例實施例的描述如以下內容。

【0010】 功率耗散通常包括動態功率耗散和功率洩露。動態功率耗散通常是指由於觸發器和 IC 的其他部件的狀態改變而消耗的功率。然而，功率洩露通常是指由於經過 IC 中的電晶體（即使當電晶體被關閉時）的電流洩露而耗散的功率。時鐘門控減小了動態功率耗散。具體而言，通過拖延（stall）或減慢晶片在一個時間段期間的時鐘，觸發器切換在相同時間段期間被停止或減少。因此，晶片中的切換功率耗散減小。然而，時鐘門控並未減少晶片的功率洩露。

【0011】 洩露功率通常約占晶片的功率預算的 30%或更多。因此，洩露功率在涉及改進半導體晶片的功耗效率時代表一個重要的限制因素。特別地，隨著半導體晶片的尺寸持續變得更小，洩露功率成為減小對應的功耗的更大障礙。在許多電子設備中（特別是移動設備），減少功耗是一個緊迫的目標，其使得解決半導體晶片中的洩露功率成為半導體設計中需要克服的重要挑戰。

【0012】 第一圖為根據至少一個示例實施例的採用功率門控的半導體器件 100 的電路圖。半導體器件 100 包括多個硬體部件 120-1 到 120-N，其中 N 為整數。分別表示或集中表示為 120 的硬體部件 120-1 到 120-N 包括一個或多個核心處理器、一個或多個輔助處理器、一個或多個晶片上記憶體部件、匯流排界面等或其組合。例如，半導體器件 100 可為多核處理器。根據至少一個示例實

施例，硬體部件 120-1 到 120-N 中的每個硬體部件都耦合至對應的功率門控器件 130-1 到 130-N（也分別表示或集中表示為 130）。根據至少一個方面，每個功率門控器件 130 為 p 型金屬氧化物半導體（PMOS）電晶體。對於每個功率門控 PMOS 器件 130，源極（S）端子被耦合至電源 140，漏極（D）端子被耦合至對應的硬體部件，而柵極（G）端子被耦合至控制器 110。

【0013】 根據至少一個示例實施例，控制器 110 被配置為通過使每個對應的 PMOS 功率門控器件 130 的源極-漏極（S-D）連接閉合或斷開，而分別開啟或關閉去往每個硬體部件 120 的功率。通常來說，控制器 110 被配置為通過控制去往每個對應的 PMOS 功率門控器件 130 的 G 端子的輸入，而控制耗散至每個硬體部件 120 的功率。根據至少一個方面，每個 PMOS 功率門控器件 130 充當用於對應的硬體部件 120 的開關（由控制器 110 來控制）。當 PMOS 功率門控器件 130 的源極-漏極（S-D）連接斷開時，很少或者沒有電流耗散至對應的硬體部件 120。

【0014】 第二 A 圖為圖示出根據第一示例實施例的半導體器件 100 的硬體部件 120 的功率門控的電路圖。根據本發明的一個方面，一位元信號 225 供應至 PMOS 功率門控器件 130 的 G 端子。當一位元信號 225 處於低電壓電平時，PMOS 功率門控器件 130 的 S-D 連接被閉合，並且電流流至硬體部件 120。然而，當一位元信號 225 處於高電壓電平時，PMOS 功率門控器件 130 的 S-D 連接斷開，而且沒有電流流至硬體部件 120。根據至少一個方面，一位元信號 225 為 AND 門 250 的輸出，其具有由控制器 110 提供的“CSR-enable”一位元信號 215 作為輸入。AND 門 250 的第二輸入通過反相“Fuse_disable”一位元信號 205 來獲得。“Fuse_disable”一位元信號 205 恒定地被設置為低電壓電平。因此，控制器通過“CSR-enable”一位元信號 215 來控制 PMOS 功率門控器件 130 的 S-D 連接。也即，如果“CSR-enable”一位元信號 215 處於高電壓電

平，則一位元信號 225 也處於高電壓電平，而且 S-D 連接斷開。結果，硬體部件 120 被關閉。然而，如果“CSR-enable”一位元信號 215 處於低電壓電平，則一位元信號 225 也處於低電壓電平，而且 S-D 連接被閉合，從而導致硬體部件 120 被開啟。特別地，假設“Fuse_disable”一位元信號 205 被恒定地設置為低電壓電平，通過改變“CSR-enable”一位元信號 215 的電壓電平，控制器可以被使能以開啟或關閉硬體部件。

【0015】 第二 B 圖為圖示出根據第二示例實施例的半導體器件 100 的硬體部件 120 的功率門控的電路圖。在第二 B 圖的配置中，控制器 110 直接將“CSR-enable”信號 216 施加至 PMOS 功率門控器件 130。當“CSR-enable”信號 216 處於低電壓電平時，PMOS 功率門控器件 130 的 S-D 連接被閉合而且電流流至硬體部件 120。然而，當“CSR-enable”信號 216 處於高電壓電平時，PMOS 功率門控器件 130 的 S-D 連接斷開，而且沒有電流流至硬體部件 120。

【0016】 根據至少一個方面，控制器 110 被使能以透過關閉一個或多個硬體部件 120（在它們未啟動時）來減少半導體器件 100 中的功率洩露。控制器 110 為每個硬體部件 120 提供單獨的“CSR-enable”信號 215 或 216，從而單獨控制每個硬體部件 120。根據至少一個示例實施例，硬體部件 120 可以例如通過將對應的“CSR-enable”信號 215 或 216 恒定地保持于高電壓電平而被永久關閉。備選地，硬體部件 120 可以通過使用不同配置（其中“Fuse_disable”一位元信號 205 的反相信號被直接施加至對應的 PMOS 功率門控器件 130 的 G 端子）而被永久關閉。根據另一實施例，電路配置中的保險絲以使得高電平電壓被恒定地施加至 PMOS 功率門控器件 120 的 G 端子的方式被熔斷。

【0017】 當開啟硬體部件 120 時，被施加至對應的 PMOS 功率門控器件 130 的信號的電壓電平可以立即從高電平改變至低電平。被施加至 PMOS 功率門控器件 130 的 G 端子的信號的電壓電

平的立即改變，導致對應的硬體部件 120 兩端的電勢差的快速改變。而且，經過對應的硬體部件 120 的大量的電流洩露會由於相同硬體部件 120 兩端的電勢差的快速改變而發生。換言之，硬體部件 120 在從一種狀態到另一種狀態（例如從開啟到關閉，或反之亦然）的轉換時段期間類似於電容器工作。除了經過硬體部件 120 的大量的電流洩露之外，相同硬體部件 120 兩端的電勢差的快速改變會引起在轉換時段期間的接地電平的改變，因此會影響耦合至相同參考接地的其他硬體部件 120 的性能。

【0018】 第三 A 圖為圖示出根據第一示例實施例的功率門控電晶體的結構的表示和逐漸加電硬體部件的機制的方塊圖。功率門控電晶體可以視為多個並行子電晶體或者門控元件，例如 320a 至 320j。每個門控元件 320a 至 320j 的 S 端子連結至來自封裝 332 的 VDD。門控元件 320a 至 320j 的 D 端子耦合在一起以提供功率門控供應 335。根據至少一個示例實施例，被施加至 PMOS 功率門控器件 130 的 G 端子的輸入信號被分成兩個單獨的輸入信號 334 和 338。例如輸入信號 334 可以服務一小部分（例如 10%）的子電晶體或者門控元件 320a 至 320j，而輸入信號 338 服務 PMOS 功率門控器件 130 中的其它更大部分（例如 90%）的子電晶體或者門控元件 320a 至 320j。

【0019】 根據至少一個示例實施例，在轉換時段（在 G 端子處從高電平電壓轉換到低電平電壓轉換，或反之亦然）期間，狀態的切換被應用於這兩個階段。在第一階段中，G 端子的電壓狀態的切換僅被應用於輸入信號 334，直到針對小分子電晶體（例如 320a）的轉換完成。在第一轉換階段的末尾，S 端子和 D 端子間的電勢差接近電源電壓 VDD，例如 $VSD \approx VDD - 10$ 毫伏 (mV)。在第二階段中，電壓狀態的切換被應用於輸入信號 338。在第二階段的末尾，僅實現 S 端子和 D 端子間電勢差的輕微改變，而且柵極-源極電勢差僅以幾毫伏而更接近於電源電壓 VDD，例如 $VSD \approx$

VDD -2 毫伏 (mV)。根據至少一個方面，在第一轉換階段開始的時間與第二轉換階段開始的時間之間強制實施延遲。相較於電壓狀態的立即轉換而言，兩個階段的轉換會導致硬體部件 120 兩端的電位的更慢的改變。因此，這會減小在轉換時段期間經過電晶體的電流的幅度。

【0020】 第三 B 圖為根據第二示例實施例的逐漸上電電晶體的另一機制的兩個圖。第三 B 圖上部圖的繪圖代表被施加至 PMOS 功率門控器件 130 的 G 端子的輸入信號（例如 216 或 225）的平滑轉換。換言之，當從高電平電壓轉換到低電平電壓時，或反之亦然，在轉換時段期間輸入信號逐漸轉換而非立即轉換。被施加至 PMOS 功率門控器件 130 的 G 端子的輸入信號的逐漸轉換會導致對應的硬體部件 120 兩端的電勢差的相對較慢的改變，相較於立即轉換的情況而言。因此，在更長的狀態轉換時段期間存在更少的電流，並且會減少參考接地電平上的影響。

【0021】 根據至少一個示例實施例，控制器 110 被配置為接收來自軟體（例如作業系統）的指令，其運行於半導體器件 100 上以指示一個或多個硬體部件 120 被開啟或關閉。根據至少一個方面，控制器 110 例如在寄存器中保存硬體部件 120 的指示，針對該指示，狀態的改變（例如從關閉到開啟，或反之亦然）根據來自軟體的指令而被施加。根據另一方面，控制器 110 例如在另一寄存器中保存硬體部件 120 的當前狀態的指示，例如哪些硬體部件被開啟以及哪些硬體部件被關閉。例如，控制器可以在每個寄存器中每個硬體部件採用一位元。控制器 110 也被配置為採用指示一個或多個硬體部件 120 的狀態改變的資訊，以及指示實現這些改變的硬體部件的當前狀態的資訊。

【0022】 根據至少一個示例實施例，在任意時間點開啟單個硬體部件 120。在某時刻開啟一個硬體部件 120 可以防止來自多個硬體部件 120 的大量累積功率洩露發生。而且，避免同時開啟多個硬

體部件 120 防止多個硬體部件 120 兩端的累積電勢差偏移接地參考電位。根據至少一個方面，如果兩個硬體部件中的一個被開啟並且另一個被關閉，則控制器可以允許兩個硬體部件的狀態被改變。

【0023】 儘管已經參考其示例實施例具體地示出和描述本發明，但是可以理解的是本領域技術人員可以在其中進行形式上和細節上的各種改變，而不背離由所附權利要求涵蓋的本發明的範圍。

【符號說明】

【0024】

- 100 半導體器件
- 110 控制器
- 120-1~120-N 硬體部件
- 130-1~130-N 功率門控器件
- 140 電源
- 205 位元信號
- 215 位元信號
- 216 “CSR-enable”信號
- 225 位元信號
- 250 AND 門
- 320a~320j 門控元件
- 332 封裝
- 334 輸入信號
- 335 功率門控供應
- 338 輸入信號

申請專利範圍

1. 一種半導體器件，包括：

硬體部件；

電晶體，被耦合至該硬體部件，以用於門控去往該硬體部件的電源；

以及

控制器，被配置為以限制在轉換時段期間耗散至該硬體部件的電流的方式來操作該電晶體。

2. 根據申請專利範圍第 1 項所述之半導體器件，其中在以限制耗散至該硬體部件的電流的方式來操作該電晶體時，該控制器被配置為在該轉換時段期間逐漸減小或者逐漸增大該電晶體的輸入信號的幅度。

3. 根據申請專利範圍第 1 項所述之半導體器件，其中該電晶體包括多個門控元件，以用於門控去往該硬體部件的電源。

4. 根據申請專利範圍第 3 項所述之半導體器件，其中在以限制耗散至該硬體部件的電流的方式來操作該電晶體時，該控制器被配置為：

使得該多個門控元件的第一子集在該轉換時段的第一階段中被開啟；以及

使得該多個門控元件的第二子集在該轉換時段的第二階段中被開啟。

5. 根據申請專利範圍第 4 項所述之半導體器件，其中該控制器進一步被配置為在使得該多個門控元件的該第一子集被開啟之後並且在使得該多個門控元件的該第二子集被開啟之前，等待一個或多個時鐘週期。

6. 根據申請專利範圍第 1 項所述之半導體器件，其中該半導體器件

包括多個硬體部件。

7· 根據申請專利範圍第 6 項所述之半導體器件，其中該多個硬體部件為多個核心處理器。

8· 根據申請專利範圍第 6 項所述之半導體器件，其中該控制器進一步被配置為保存與該多個硬體部件的當前狀態有關的資訊。

9· 根據申請專利範圍第 8 項該的半導體器件，其中該控制器進一步被配置為保存指示由與該半導體器件相關聯的軟體請求的該多個硬體部件的狀態的資訊。

10· 根據申請專利範圍第 9 項所述之半導體器件，其中該控制器進一步被配置為確定該多個硬體部件中的硬體部件，以用於基於與該當前狀態有關的資訊以及指示該多個硬體部件的請求的狀態的資訊來切換對應的狀態，所確定的硬體部件在該轉換時段期間通過限制耗散至所確定的硬體部件的電流而被逐漸開啟。

11· 一種方法，包括：

操作被耦合至硬體部件的電晶體；

採用被耦合至晶片器件中的一個或多個硬體部件中的硬體部件的電晶體，來門控去往該硬體部件的電源；以及

由控制器以限制在轉換時段期間耗散至該硬體部件的電流的方式來操作該電晶體。

12· 根據申請專利範圍第 11 項所述之方法，其中以限制耗散至該硬體部件的電流的方式來操作該電晶體包括在該轉換時段期間逐漸減小或者逐漸增大該電晶體的輸入信號的幅度。

13· 根據申請專利範圍第 11 項所述之方法，其中該電晶體包括多個門控元件，以用於門控去往該硬體部件的電源。

14· 根據申請專利範圍第 13 項所述之方法，其中以限制耗散至該硬體部件的電流的方式來操作該電晶體包括：

由該控制器使得該多個門控元件的第一子集在該轉換時段的第一階段中被開啟；以及

由該控制器使得該多個門控元件的第二子集在該轉換時段的第二階段中被開啟。

15· 根據申請專利範圍第 14 項所述之方法，進一步包括在使得該多個門控元件的該第一子集被開啟之後並且在使得該多個門控元件的該第二子集被開啟之前，由該控制器來等待一個或多個時鐘週期。

16· 根據申請專利範圍第 11 項所述之方法，其中該半導體器件包括多個硬體部件。

17· 根據申請專利範圍第 16 項所述之方法，其中該多個硬體部件為多個核心處理器。

18· 根據申請專利範圍第 16 項所述之方法，進一步包括由該控制器保存與該多個硬體部件的當前狀態有關的資訊。

19· 根據申請專利範圍第 18 項所述之方法，進一步包括由該控制器保存指示由與該半導體器件相關聯的軟體請求的該多個硬體部件的狀態的資訊。

20· 根據申請專利範圍第 19 項所述之方法，進一步包括：

由該控制器來確定該多個硬體部件中的硬體部件，以用於基於與該

當前狀態有關的資訊以及指示該多個硬體部件的請求的狀態的資訊來切換對應的狀態；以及

在該轉換時段期間通過限制耗散至所確定的硬體部件的電流而逐漸開啟所確定的硬體部件。

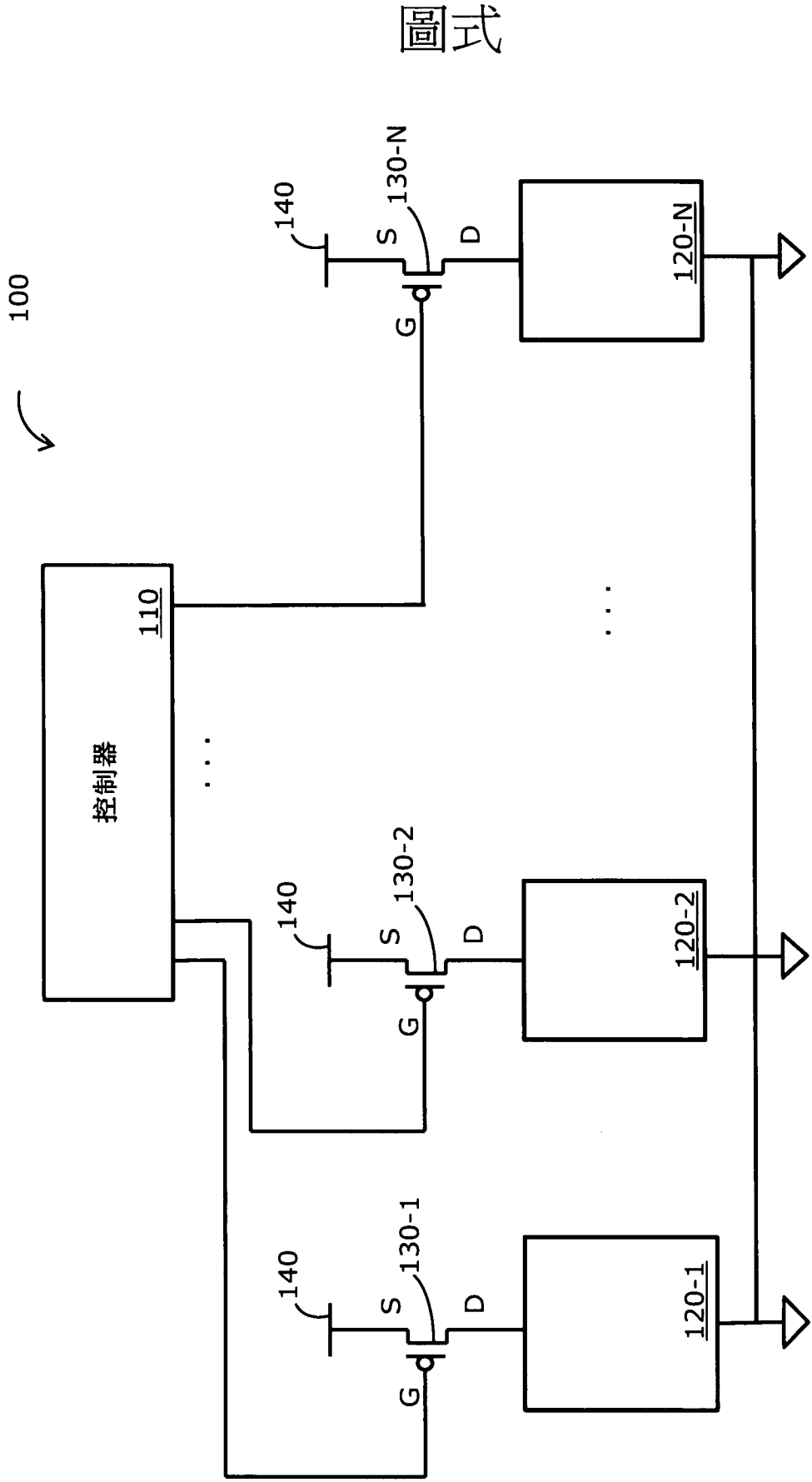
21. 一種半導體器件，包括：

硬體部件；

電晶體，被耦合至該硬體部件，以用於門控去往該硬體部件的電源；

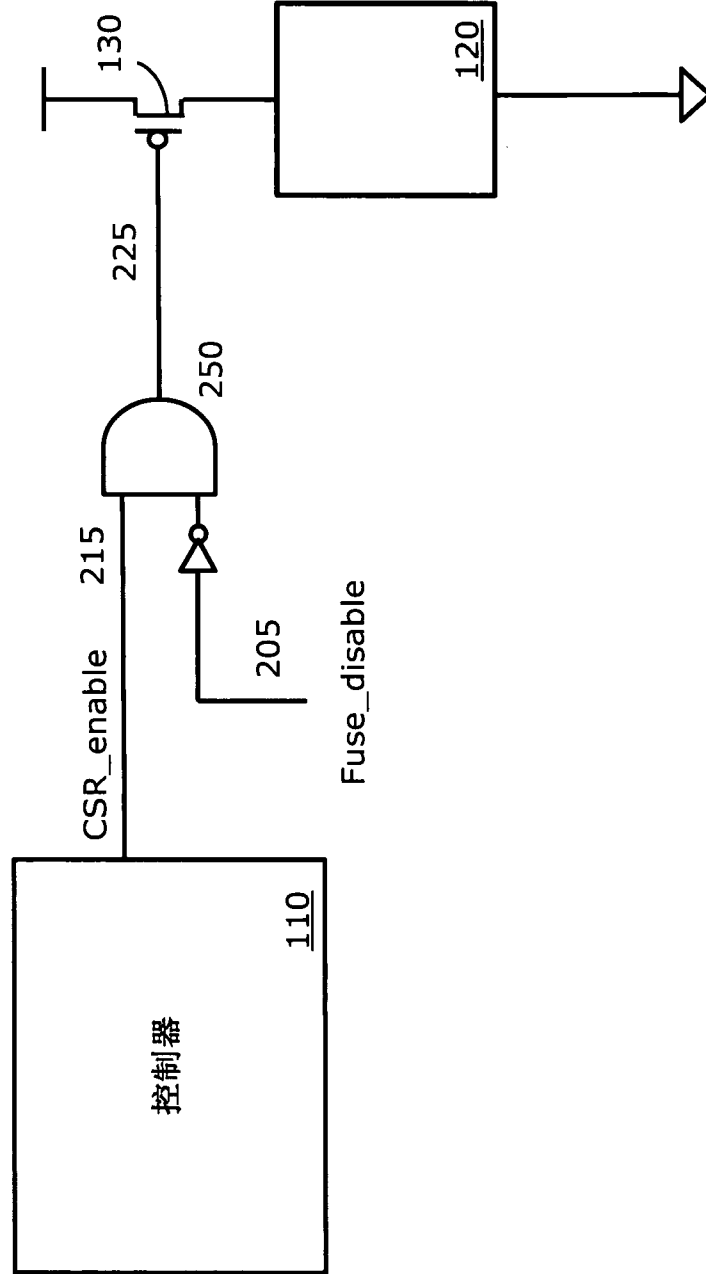
以及

控制器，被配置為以在轉換時段期間通過控制去往該電晶體的至少一個輸入信號而逐漸開啟或關閉該硬體部件的方式來操作該電晶體。

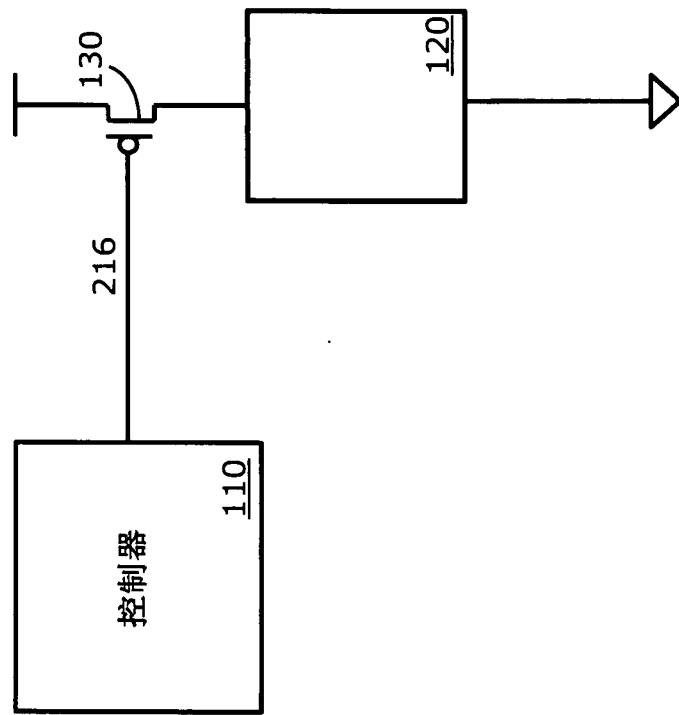


圖式

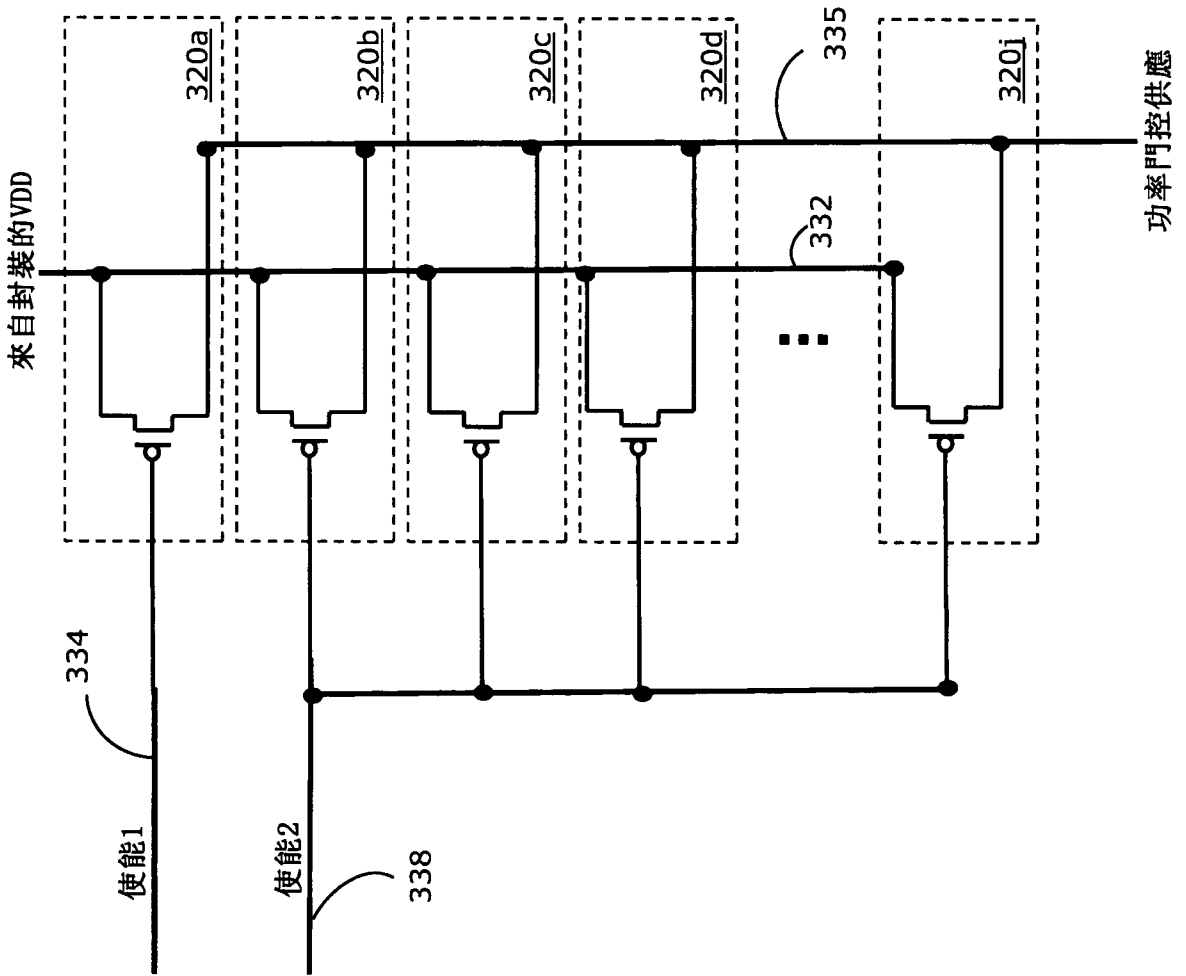
第一圖



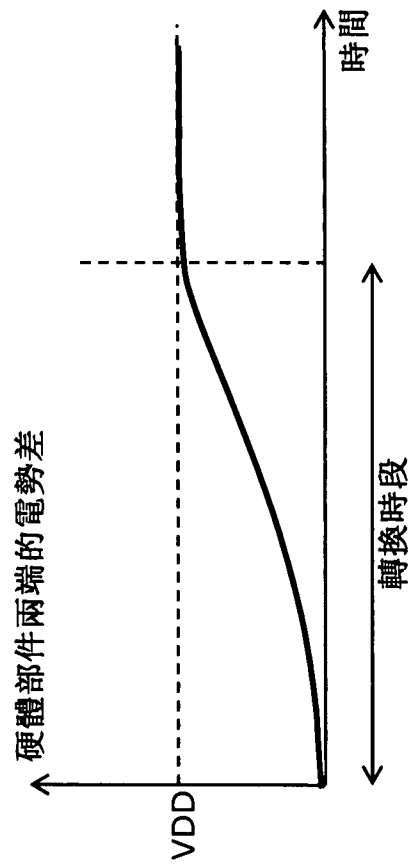
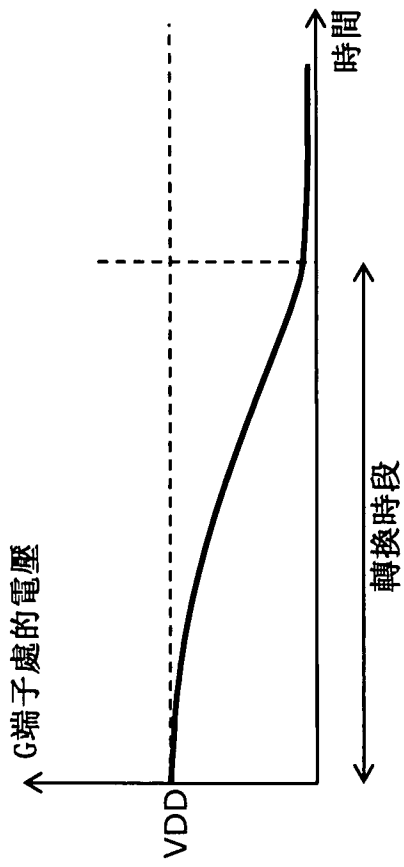
第二A圖



第二B圖



第三A圖



第三B圖