

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4843461号
(P4843461)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月14日(2011.10.14)

(51) Int.Cl. F I
HO4N 5/378 (2011.01) HO4N 5/335 780
HO1L 27/146 (2006.01) HO1L 27/14 A

請求項の数 5 (全 32 頁)

(21) 出願番号	特願2006-307257 (P2006-307257)	(73) 特許権者	000003078
(22) 出願日	平成18年11月13日(2006.11.13)		株式会社東芝
(65) 公開番号	特開2008-124842 (P2008-124842A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年5月29日(2008.5.29)	(74) 代理人	100091351
審査請求日	平成21年3月19日(2009.3.19)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

光電変換手段と、入射光を前記光電変換手段で光電変換して得た信号電荷を検出部に読み出す読み出し手段と、前記検出部に蓄積された信号電荷に対応する電圧を増幅して出力する増幅手段と、前記検出部の信号電荷をリセットするリセット手段とを備えたセルが半導体基板上行及び列の二次元的に配置された画素部と、

前記光電変換手段で光電変換する露光時間を制御し、前記露光時間を全画素部で同一とする露光時間制御手段と、

前記画素部から出力された信号を信号レベルの分解能を異ならせてAD変換するAD変換手段と、

前記AD変換手段で信号レベルの分解能を異ならせて変換された信号をそれぞれ記憶する複数のラインメモリと、

複数の前記ラインメモリからの出力信号に対して、前記AD変換手段後の画素出力信号の分解能に合わせて増幅率を制御し、光入力信号量に対して線形の傾きとなるように処理を行う信号処理手段と、具備することを特徴とする固体撮像装置。

【請求項2】

前記AD変換手段は、前記画素部から出力された信号を複数回AD変換し、

複数の前記ラインメモリは、複数回AD変換された前記信号を記憶し、

前記信号処理手段は、複数の前記ラインメモリから同時に読み出された複数の信号を1つの信号に合成することを特徴とする請求項1に記載の固体撮像装置。

【請求項 3】

前記信号処理手段は、複数の前記ラインメモリからの第 1 の出力信号に対して黒レベルを減算し前記増幅率を制御した第 1 の信号と、複数の前記ラインメモリからの第 2 の出力信号に対して黒レベルを減算し前記第 1 の信号を加算した第 2 の信号とを、所定の信号レベルを基に切り換えて出力することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 4】

前記信号処理手段は、複数の前記ラインメモリからの第 1 の出力信号に対して黒レベルを減算し前記増幅率を制御した第 1 の信号と、複数の前記ラインメモリからの第 2 の出力信号に対して黒レベルを減算した第 2 の信号とを、所定の信号レベルを基に切り換えて出力することを特徴とする請求項 1 に記載の固体撮像装置。

10

【請求項 5】

前記読み出し手段で信号電荷を読み出すために前記読み出し手段に供給される信号の振幅を制御する振幅制御手段をさらに備えた請求項 1 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関し、例えばイメージセンサ付き携帯電話や、デジタルカメラ、ビデオカメラなどに使用される CMOS 型イメージセンサに関する。

【背景技術】

【0002】

従来、CMOS イメージセンサのダイナミックレンジを拡大する方法については、例えば特許文献 1 や特許文献 2 に記載されている。特許文献 1 は、ダイナミックレンジを拡大する方法を不完全転送型のフォトダイオードに適用したものであるが、残像や白傷などが発生するおそれがあり高画質化が難しい。これに対し特許文献 2 の方法は、完全転送型のフォトダイオードに対応している。しかし、検出部を使ってダイナミックレンジを拡大しているため、検出部のリークによる暗時ムラや KTC ノイズが発生し、特許文献 1 とは別の要因により画質の劣化が起こる可能性がある。しかも、どちらの方法も露光時間の長い信号と短い信号を加算して出力するため、露光時間の長い信号と短い信号を分離することが難しいという問題がある。

20

【特許文献 1】特開 2001 - 189893

30

【特許文献 2】特開 2000 - 23044

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明の目的は、ダイナミックレンジを拡大するとともに高画質化を図る固体撮像装置を提供することにある。

【課題を解決するための手段】

【0004】

本発明の一形態の固体撮像装置は、光電変換手段と、入射光を前記光電変換手段で光電変換して得た信号電荷を検出部に読み出す読み出し手段と、前記検出部に蓄積された信号電荷に対応する電圧を増幅して出力する増幅手段と、前記検出部の信号電荷をリセットするリセット手段とを備えたセルが半導体基板上行及び列の二次元的に配置された画素部と、前記光電変換手段で光電変換する露光時間を制御し、前記露光時間を全画素部で同一とする露光時間制御手段と、前記画素部から出力された信号を信号レベルの分解能を異ならせて AD 変換する AD 変換手段と、前記 AD 変換手段で信号レベルの分解能を異ならせて変換された信号をそれぞれ記憶する複数のラインメモリと、複数の前記ラインメモリからの出力信号に対して、前記 AD 変換手段後の画素出力信号の分解能に合わせて増幅率を制御し、光入力信号量に対して線形の傾きとなるように処理を行う信号処理手段と、を備える。

40

【発明の効果】

50

【 0 0 0 5 】

本発明によれば、ダイナミックレンジを拡大するとともに高画質化を図る固体撮像装置を提供できる。

【 発明を実施するための最良の形態 】

【 0 0 0 6 】

以下、実施の形態を図面を参照して説明する。

【 0 0 0 7 】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すための図であり、増幅型 CMOS イメージセンサの概略構成を示すブロック図である。センサコア部 A には、画素部 1、カラム型ノイズキャンセル回路 (C D S) 2、カラム型アナログデジタルコンバータ (A D C) 3、ラッチ回路 4、2 つのラインメモリ (M S G H , M S G H L) 5、6 及び水平シフトレジスタ 7 などが配置されている。

10

【 0 0 0 8 】

画素部 1 には、レンズ 1 0 を介して光が入射され、光電変換によって入射光量に応じた電荷が生成される。この画素部 1 には、セル (画素) 1 1 が半導体基板上行及び列で二次元的に配置されている。1 つのセル 1 1 は、4 つのトランジスタ (T a , T b , T c , T d) とフォトダイオード (P D) から構成され、各セル 1 1 にはパルス信号 A D D R E S S n , R E S E T n , R E A D n がそれぞれ供給される。この画素部 1 1 の下部にはソースフォロウ回路用の負荷トランジスタ T L M が水平方向に沿って配置され、これらの負荷トランジスタ T L M の電流通路の一端は垂直信号線 V L I N にそれぞれ接続され、他端は接地点に接続されている。垂直信号線 V L I N はスイッチ S 1 を介して C D S 2 へ接続されている。

20

【 0 0 0 9 】

画素部 1 で発生した信号電荷に対応するアナログ信号は、C D S 2 を介して A D C 3 に供給され、デジタル信号に変換されてラッチ回路 4 にラッチされる。このラッチ回路 4 にラッチされたデジタル信号は、ラインメモリ (M S G H , M S G H L) 5 , 6 を介して水平シフトレジスタ 7 でセンサコア部 A から順次読み出される。ラインメモリ (M S G H , M S G H L) 5 , 6 から読み出されたデジタル信号 O U T 0 ~ O U T 9 は、ワイドダイナミックレンジミックス (W D M) 回路 2 0 に供給され、2 つの信号が合成され、後段のワイドダイナミックレンジ圧縮 (W D C) 回路 3 0 を経てセンサの外部に出力される。

30

【 0 0 1 0 】

また、画素部 1 に隣接して、パルスセクタ回路 (セクタ) 1 2、信号読み出し用の垂直レジスタ (V R レジスタ) 1 3、蓄積時間制御用の垂直レジスタ (E S レジスタ) 1 4 がそれぞれ配置されている。

【 0 0 1 1 】

画素部 1 からの読み出しや C D S 2 の制御は、タイミングジェネレータ (T G) 4 0 から出力されるパルス信号 S 1 ~ S 4 , R E S E T / A D D R E S S / R E A D , V R R , E S R によって行われる。パルス信号 S 2 ~ S 4 は C D S 2 に供給される。パルス信号 R E S E T / A D D R E S S / R E A D はパルスセクタ回路 1 2 に供給される。

40

【 0 0 1 2 】

パルス信号 V R R は V R レジスタ 1 3 に、パルス信号 E S R は E S レジスタ 1 4 に、それぞれ供給される。上記レジスタにより画素部 1 の垂直ラインが選択され、パルスセクタ回路 1 2 を介してパルス信号 R E S E T / A D D R E S S / R E A D (図 1 では R E S E T n , A D D R E S S n , R E A D n で代表的に示す) が画素部 1 へ供給される。パルス信号 (アドレスパルス) A D D R E S S n はセル 1 1 中の行選択トランジスタ T a のゲートに、パルス信号 (リセットパルス) R E S E T n はセル 1 1 中のリセットトランジスタ T c のゲートに、パルス信号 (読み出しパルス) R E A D n はセル 1 1 中の読み出しトランジスタ T d のゲートにそれぞれ供給される。画素部 1 には、バイアス発生回路 (バイアス 1) 1 5 からバイアス電圧 V V L が印加されている。このバイアス電圧 V V L は、ソ

50

ースフォロワ回路用の負荷トランジスタ T L M のゲートに供給される。

【 0 0 1 3 】

V R E F 発生回路 5 0 は、メインクロック信号 M C K に応答して動作し、A D 変換 (A D C) 用の基準波形を生成する回路である。この基準波形の振幅は、シリアルインターフェース (シリアル I / F) 6 0 に入力されるデータ D A T A によって制御される。このシリアルインターフェース 6 0 に入力されるコマンドは、コマンドデコーダ 6 1 に供給されてデコードされ、上記メインクロック信号 M C K とともにタイミングジェネレータ 4 0 に供給される。

【 0 0 1 4 】

V R E F 発生回路 5 0 では、1 水平走査期間に 2 回の A D 変換を実行するために、三角波 V R E F G H と V R E F G L を発生して A D C 3 に供給する。前半の V R E F 振幅を傾き G H とすることで、入力信号レベルの小さな信号範囲を 1 0 b i t の 1 0 2 3 レベルで A D 変換する。すなわちアナログ G A I N が増幅したのと同じ効果が得られる。後半は、V R E F 振幅を傾き G L とすることで、入力の大きな信号範囲を 1 0 b i t の 1 0 2 3 レベルで A D 変換する。すなわちアナログ G A I N を小さくしたのと同じ効果が得られる。例えば、V R E F G L 振幅を 4 8 0 m V に設定すると、入力信号 4 8 0 m V に対応した 1 0 b i t データ 1 0 2 3 L S B レベルが得られる。V R E F G H 振幅を 1 2 0 m V に設定すると、入力信号 1 2 0 m V に対応した 1 0 b i t データ 1 0 2 3 L S B レベルが得られる。すなわち、アナログ G A I N を 4 倍したのと同じ効果になる。従来、例えば低照度撮像の G A I N 4 倍設定では、V R E F 振幅を 1 2 0 m V 設定として入力信号が 1 2 0 m V より大きな信号は使用していなかった。

【 0 0 1 5 】

ワイドダイナミックレンジミックス (W D M) 回路 2 0 は、黒レベルの d a r k 信号を減算処理する減算回路 (- d a r k) 2 0 1 , 2 0 2、減算回路 2 0 1 , 2 0 2 の出力を増幅するゲイン回路 (G A) 2 0 3、スイッチ 2 0 4 から構成される。後段にワイドダイナミックレンジコンプレッサー (W D C) 回路 3 0 として、ホワイトバランス処理回路 (W B) 3 1 及び圧縮回路 3 2 を備えて構成されている。

【 0 0 1 6 】

W D M 回路 2 0 には、ラインメモリ 5 , 6 に記憶したアナログ G A I N を 4 倍にした信号 S G H とアナログ G A I N を 1 倍にした信号 S G H L とを、同時にラインメモリ 5 , 6 から読み出し入力している。まず、減算回路 2 0 1 で信号 S G H から黒レベル (d a r k) の 6 4 L S B レベルを減算して信号 S A を生成する。同様に減算回路 2 0 2 で信号 S G H L から黒レベル (d a r k) の 6 4 L S B レベルを減算して信号 S B を生成する。次に、信号 S B をゲイン回路 (G A) 2 0 3 で増幅し、信号 S D を生成する。このゲイン量は、信号 S G H と信号 S G H L のアナログ G A I N 比 G H / G L としている。信号 S B をゲイン倍する処理を行うことにより、傾きの異なった光電変換特性カーブであっても等価的に信号 S G H と同じ傾きにできる。本 W D M 回路 2 0 では、低信号レベルのノイズを低減させるために信号 S D と信号 S A を加算して信号 S C を生成する。この信号 S C は加算することで信号レベルが 2 倍となるため、後段で 1 / 2 化して信号 S E を生成している。この処理によりノイズを 3 d B 低減できる。信号 S F としては、S G H 信号が 1 0 2 3 L S B レベルよりも小さい時には信号 S E を選択し、1 0 2 3 L S B 以上の時には信号 S D を選択するように (図示していない判定回路で) スイッチ 2 0 4 を切り換えている。この結果、S E 信号と G A I N 倍した S D 信号とをスムーズに合成でき、S F 信号として光入力信号に対して直線で変化する信号が得られる。W D M 回路 2 0 ではビット数を増加させて最大 1 6 ビットで出力している。そして、ホワイトバランス (W B) 処理回路 3 1 で R , G , B 信号のレベルを同じに処理し、圧縮回路 3 2 で信号を 1 2 ビットに圧縮して出力できるようにしている。従来 1 2 0 m V よりも大きな信号は使用していなかったが、センサの飽和信号レベル 4 8 0 m V まで有効に再生することができ、ダイナミックレンジを拡大できる。

【 0 0 1 7 】

10

20

30

40

50

図2は、図1に示した増幅型CMOSイメージセンサにおける画素部1、CDS2及びADC3の具体的な構成例を示す回路図である。画素部1における各々のセル(画素)11は、行選択トランジスタTa、増幅トランジスタTb、リセットトランジスタTc、読み出しトランジスタTd、及びフォトダイオードPDから構成されている。トランジスタTa, Tbの電流通路は、電源VDDと垂直信号線VLIN間に直列接続される。トランジスタTaのゲートにはパルス信号ADDRESSnが供給される。トランジスタTcの電流通路は、電源VDDとトランジスタTbのゲート(検出部FD)との間に接続され、そのゲートにパルス信号RESETnが供給される。また、トランジスタTdの電流通路の一端は、検出部FDに接続され、そのゲートにパルス信号READnが供給される。そして、トランジスタTdの電流通路の他端にフォトダイオードPDのカソードが接続され、このフォトダイオードPDのアノードは接地されている。

10

【0018】

上記構成のセル11が行及び列で二次元的に配置されて画素部1が構成されている。画素部1の下部には、ソースフォロワ回路用の負荷トランジスタTLMが水平方向に配置されている。これら負荷トランジスタTLMの電流通路は垂直信号線VLINと接地点間に接続され、そのゲートにはバイアス発生回路15からバイアス電圧VVLが印加される。CDS2及びADC3中には、ノイズキャンセラ用の容量C1, C2が配置されると共に、垂直信号線VLINの信号を伝達するためのトランジスタTS1、AD変換用の基準波形を入力するためのトランジスタTS2、及び2段のコンパレータ回路COMP1, COMP2が配置されている。コンパレータ回路COMP1, COMP2間には、キャパシタC3が接続されている。

20

【0019】

コンパレータ回路COMP1は、インバータINV1と、このインバータINV1の入力端と出力端間に電流通路が接続されたトランジスタTS3とで構成されている。コンパレータ回路COMP2は、インバータINV2と、このインバータINV2の入力端と出力端間に電流通路が接続されたトランジスタTS4とで構成されている。トランジスタTS1のゲートにはタイミングジェネレータ40から出力されるパルス信号S1、トランジスタTS2のゲートにはパルス信号S2、トランジスタTS3のゲートにはパルス信号S3、及びトランジスタTS4のゲートにはパルス信号S4がそれぞれ供給される。コンパレータ回路COMP2から出力されるデジタル信号はラッチ回路4でラッチされ、2つのラインメモリ5, 6に入力される。ラインメモリ信号はシフトレジスタ7を動作させて、2つのラインメモリ5, 6から10ビットのデジタル信号OUT0~OUT9が順次出力されるようになっている。

30

【0020】

上記のような構成において、例えば垂直信号線VLINのnラインの信号を読み出すためには、パルス信号ADDRESSnを“H”レベルにすることで増幅用トランジスタTbと負荷用トランジスタTLMからなるソースフォロワ回路を動作させる。そして、フォトダイオードPDで光電変換して得た信号電荷を一定期間蓄積し、読み出しを行う前に検出部FDにおける暗電流などのノイズ信号を除去するために、パルス信号RESETnを“H”レベルに設定してトランジスタTcをオンして、検出部FDをVDD電圧=2.8Vにセットする。これによって、垂直信号線VLINには基準となる検出部FDに信号がない状態の電圧(リセットレベル)が出力される。この時、パルス信号S1, S3, S4をそれぞれ“H”レベルにしてトランジスタTS1, TS3, TS4をオンさせることで、ADC3のコンパレータ回路COMP1とCOMP2のAD変換レベルを設定すると共に、垂直信号線VLINのリセットレベルに対応した量の電荷を容量C1に蓄積する。

40

【0021】

次に、パルス信号(読み出しパルス)READnを“H”レベルにして読み出しトランジスタTdをオンさせ、フォトダイオードPDで生成して蓄積した信号電荷を検出部FDに読み出す。これによって、垂直信号線VLINには、検出部FDの電圧(信号+リセット)レベルが読み出される。この時、パルス信号S1を“H”レベル、パルス信号S3を

50

“ L ” レベル、パルス信号 S 4 を “ L ” レベル、パルス信号 S 2 を “ H ” レベルにすることで、トランジスタ T S 1 がオン、トランジスタ T S 3 がオフ、トランジスタ T S 4 がオフ、トランジスタ T S 2 がオンとなり、「垂直信号線 V L I N の信号 + リセットレベル」に対応する電荷が容量 C 2 に蓄積される。この際、容量 C 1 は、コンパレータ回路 C O M P 1 の入力端がハイインピーダンス状態となっているため、リセットレベルが保持されたままになっている。

【 0 0 2 2 】

その後、V R E F 発生回路 5 0 から出力される基準波形のレベルを増加させる（三角波 V R E F を低レベルから高レベル）ことで容量 C 1 と C 2 の合成容量を介して、コンパレータ回路 C O M P 1 , C O M P 2 で A D 変換する。上記三角波は、1 0 ビット（0 ~ 1 0 2 3 レベル）で発生させ、A D 変換レベルを 1 0 ビットのカウンタで判定してラッチ回路 4 でデータを保持する。1 0 2 3 レベルの A D 変換後、ラッチ回路 4 のデータをラインメモリ 5 , 6 へ転送している。容量 C 1 に蓄積したリセットレベルは、容量 C 2 に蓄積したリセットレベルと極性が逆になるため、リセットレベルはキャンセルされ、実質的に容量 C 2 の信号成分で A D 変換が実行される。このリセットレベルを除去する動作を低ノイズ化処理動作（C D S 動作：C o r r e l a t e d D o u b l e S a m p l i n g、相関二重サンプリング）と呼ぶ。この A D 変換動作を 1 水平走査期間に 2 回実行するために、V R E F 発生回路 5 0 で三角波 V R E F G H と V R E F G L を発生させ、トランジスタ T S 2 の電流通路の一端へ供給している。前半の V R E F G H で A D 変換したデジタル信号はラインメモリ M S G H 5 で保持される。一方後半の V R E F G L で A D 変換したデジタル信号はラインメモリ M S G H L 6 で保持される。この 2 つの信号は、次の水平走査期間に同時に読み出される。

【 0 0 2 3 】

図 3 は、図 1 に示した C M O S イメージセンサの第一の動作タイミングを示す波形図である。本センサは画素数が V G A のため、本例では、垂直の n ラインのフォトダイオード P D で光電変換して電荷を蓄積する蓄積時間を低照度撮影のため最大の蓄積時間 T L = 5 2 5 H として、フォトダイオード P D で光信号を光電変換し信号電荷を蓄積している。読み出しパルス R E A D の振幅を高レベル（2 . 8 V）にして制御している。蓄積時間 T L は E S レジスタ 1 4 で 1 H 毎に制御できる。また、蓄積時間 T L は E S レジスタ 1 4 で 1 H 毎に制御でき、更にセレクト回路 1 2 の入力パルス位置を変更することで 1 H 以下の制御もできる。

【 0 0 2 4 】

画素部 1 からの第 1 回目の読み出し動作時（t 4）には、水平同期パルス H P に同期して画素部 1 にパルス信号 R E S E T n , R E A D n , A D D R E S S n を供給して、フォトダイオード P D で光電変換して蓄積した信号電荷を読み出す。まず、R E S E T n を O N して O F F した時のリセットレベルを図 2 の容量 C 1 に取り込む、この時、基準波形の振幅は、中間レベルに設定して読み出しを行っている。この中間レベルは、画素部 1 の遮光画素（O B）部が 6 4 L S B になるようにセンサ内で自動調整している。次に、R E A D n を O N して信号を出力する。この読み出した信号の信号成分とリセットレベルを加算した信号が、図 2 の容量 C 2 に保持される。この読み出した信号に対して、水平走査期間の前半の 0 . 5 H 期間に基準波形として三角波 G H を発生させ、1 0 ビットの A D 変換を実施している。A D 変換した信号（デジタルデータ）はラッチ回路 4 に保持し、A D 変換終了後にラインメモリ M S G H 5 に入力する。

【 0 0 2 5 】

画素部 1 からの第 2 回目の読み出し動作時（t 5）は、1 回目の 0 . 5 H 後に画素部 1 にパルス信号 R E S E T n , R E A D n を印加せずに、A D D R E S S n のみを印加して、検出部 F D に蓄積していたリセットレベルと信号レベルを加算した信号を図 2 の容量 C 2 に再度入力して保持する。容量 C 1 のリセットレベルは、前半の t 4 で保持した信号を再度使う。水平走査期間の後半 0 . 5 H 期間に基準波形として三角波 G L を発生させることにより 1 0 ビットの A D 変換を実施している。A D 変換した信号はラッチ回路 4 に保持

10

20

30

40

50

し、AD変換終了後にラインメモリMSGHL6に入力する。次の1水平走査期間に2つのラインメモリMSGH5, MSGHL6より同時に出力して、画素単位の信号をWDM回路20で信号合成している。図1に示すようにワイドダイナミックレンジミックス(WDM)回路20で2つの信号が線形変換合成され、最大16bitの信号を生成している。後段のWDC回路30で白色被写体撮影時のRGBの信号レベルを合わせるホワイトバランス回路31を経て、16bit信号のハイライト部分を圧縮して12bit化してセンサより出力している。

【0026】

本動作では、後半に検出部FDの信号を再度出力することで、S1スイッチによるKTCノイズや、ソースフォロワに起因する熱雑音や1/fノイズなどのランダムノイズを低減することができる。更に、図1のWDM回路20で低信号レベルを加算することでノイズを3dB低減することができる。

10

【0027】

図4に第2の動作タイミングを示す。図3と異なるのは、時点t5でADDRESSnパルスをOFFにし、検出部FDの信号を出力しないで、図2の容量C1とC2に蓄積している信号を再度用いてAD変換する。図1のWDM回路20を用いることで、AD変換動作で混入するノイズを低減できる。

【0028】

図5は、図3、4に示した動作タイミング図における時点t1~t5の画素部1のセル11の断面図とポテンシャル図を示している。

20

【0029】

p型半導体基板にn型の不純物拡散領域が設けられてフォトダイオードPDが形成され、このn型不純物拡散領域の表面はp型不純物拡散領域でシールドされている。これによって、キズや暗時ムラの小さい埋め込み型フォトダイオードPDを形成している。検出部FDはn型不純物拡散領域で形成され、上記フォトダイオードPDのn型不純物拡散領域とともに読み出しトランジスタ(リードゲート)Tdのソース、ドレイン領域として働く。これらn型不純物拡散領域間の基板には、図示しないゲート絶縁膜を介在してポリシリコンからなるゲート電極が設けられている。このゲート電極には、読み出しパルスREADが供給される。検出部FDとしてのn型不純物拡散領域に隣接して、n型不純物拡散領域が設けられている。このn型不純物拡散領域はリセットトランジスタ(リセットゲート)Tcのドレイン領域として働き、検出部FDのn型不純物拡散領域はソース領域として働く。上記ドレイン領域には、ドレイン電圧VD(=2.8V、例えばVDD)が印加される。これらn型不純物拡散領域間の基板には、図示しないゲート絶縁膜を介在してポリシリコンからなるゲート電極が設けられている。このゲート電極には、リセットパルスRESETが供給される。そして、このリセットトランジスタTcにより、検出部FDをドレイン電圧VDにリセットできるようにしている。

30

【0030】

信号蓄積は、時点t0から光入力信号をPDで光電変換して信号電荷を蓄積し始める。時点t1、t2、t3と蓄積動作を継続している。時点t4では、フォトダイオードPD部で蓄積した信号を読み出すため、まずRESETパルスを印加して、電源電圧VDの電位に検出部FDをリセットする。次にREAD電極に電圧Vnを印加してPD部の信号電荷を全て検出部FDに読み出している。時点t5では、RESETもREADもパルスを印加しないため、検出部FDには時点t4で読み出した信号電荷Qが保持されたままになっている。

40

【0031】

図6にWDM回路20の別構成を示す。まず、減算回路201で信号SGHから黒レベル(dark)の64LSBレベルを減算して信号SAを生成する。同様に減算回路202で信号SGHLから黒レベル(dark)の64LSBレベルを減算して信号SBを生成する。次に、信号SBをゲイン回路(GA)23で増幅し、信号SDを生成する。信号SFとして、SGH信号が1023LSBレベルよりも小さい時には信号SAを選択し、

50

1023LSB以上の時には信号SDを選択するように、図示しない判定回路でスイッチ204を切り換えている。この結果、SA信号とGAIN倍したSD信号の両信号をスムーズに合成でき、SF信号として光入力信号に対して直線に変化する信号が得られる。

【0032】

図7(a)に図1のWDM回路20の動作を示す。簡略化のため黒レベル(dark)を0LSBとしている。信号SDは信号SGHL信号を4倍しているため、信号SGHと同じ傾きになる。信号SCは信号SAとSDを加算しているため、傾きが2倍になる。信号SEはGAINを1/2にしているため、傾きはSGH信号と同じになる。信号SGHが1023LSBレベルで飽和すると、1023以上の大きい信号として信号SGHLを4倍した信号SDに切り換えてSF信号を生成している。この結果、従来のSGH信号に対して、信号SFは約4倍にダイナミックレンジを拡大している。さらに1023よりも小さいレベルではノイズを約3dB改善することができる。

10

【0033】

図7(b)に図6のWDM回路20の動作を示す。信号SGHLに対して信号SGHはGAINを4倍にしているため傾きが4倍大きくなっている。信号SGHが1023LSBレベルで飽和すると、1023以上の大きい信号として信号SGHLを4倍した信号SDに切り換えてSF信号を生成している。この結果、従来のSGH信号に対して、信号SFは約4倍にダイナミックレンジを拡大できる。

【0034】

(第2の実施の形態)

20

図8は、本発明の第2の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すためのもので、増幅型CMOSイメージセンサの概略構成を示すブロック図である。図8において図1と同一な部分には同符号を付してある。

【0035】

図8では、図1に対して、VREF回路50の前半のVREF振幅を後半と同じGLの傾きとしている。センサコア部A内には、垂直信号線VLINとS1スイッチの間にコラム増幅AMP16を設けている。水平走査期間の前半にGAINを4倍とし、後半にGAINを1倍に切り換えている。本構成では、S1スイッチ以降のノイズ混入量を1/GAINに低減できる。コラム増幅AMP16は、ソースフォロワとしてインバータ型のAMPを用いても良い。また、コラム増幅AMP16は反転型を用いても良い。しかし、VREF波形を反転するなどの対応が必要となる。パルスREADnはタイミングジェネレータ40からパルス振幅制御回路70に信号が供給され、このパルス振幅制御回路70によって振幅が制御されることにより、3値のパルス信号VREADが生成されてセクタ12に供給される。この3値の信号を用いて、フォトダイオードPDから信号を2分割して読み出している。

30

【0036】

図9に動作タイミングを示す。まず、蓄積時間TL=525HとしフォトダイオードPDで信号電荷を蓄積している。時点t4で中間電圧VmのREADnパルスを印加して一部の信号電荷を検出部FDに読み出している。コラムAMP16のGAINを4倍にしてAD変換してSGH信号としてラッチ回路4からラインメモリ5へ出力している。1水平走査期間の後半の時点t5の時、検出部FDをRESETnでリセットした後、READnに高電圧Vnを印加して残りの電荷を全て読み出している。この時のコラムAMP16はGAINを1倍としている。AD変換した信号はラッチ回路4を経てラインメモリ6にSGHL信号として記憶される。

40

【0037】

図10にポテンシャル図を示す。時点t4の時、READ電圧をVmとしてポテンシャルVmよりも大きな信号電荷QGH信号を検出部FDに読み出している。時点t5では残りの信号電荷を検出部FDに読出し、先のQGHと加算した信号をQGHLとして出力している。

【0038】

50

(第3の実施の形態)

図11は、本発明の第3の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すためのもので、増幅型CMOSイメージセンサの概略構成を示すブロック図である。図11において図1と同一な部分には同符号を付してある。

【0039】

図11では、図1に対して、VREF回路50の後半のVREFGL波形の傾きをVREFGHと同じGHに設定している。VREFGLで得られた信号をラインメモリMSGHL6に記憶し、センサコア部Aから信号SGHLとして出力している。WDM回路20は単純に黒レベル(dark)を減算した信号SAと信号SBを加算して1/2化しているため、信号SFはbit数が増加せず、10bit信号となるが、図1の場合と同様にランダムノイズを3dB低減できる。WDM回路20で1/2化しなければ、信号SFは11bitが得られる。信号読出しタイミングは図3もしくは図4を適用できる。

10

【0040】

(第4の実施の形態)

図12は、本発明の第4の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すためのもので、増幅型CMOSイメージセンサの概略構成を示すブロック図である。図12において図1と同一な部分には同符号を付してある。

【0041】

図12では、図1に対して、VREF回路50でVREF波形を1つとしている。ラインメモリ51も1ラインのみとしている。VREF回路50ではVREF波形を2つの傾きを持った折れ線で発生させている。511LSBまでは傾きGHに、KP点以上は傾きをGLにしている。センサコア部Aの出力信号SGHLはWDM回路20に inputs。WDM回路20では、VREF波形のKPポイントより大きい信号を増幅回路205でGA倍している。この増幅率はVREF波形の傾きの比GH/GLで算出している。スイッチ回路204で、KPレベルより大きい時にはSA信号、KPレベル未満の時にはSGHLと切り換えて直線化している。その後、減算回路206で黒レベル(dark)を減算して信号SFを生成している。

20

【0042】

図13に動作タイミング図を示す。まず、蓄積時間TL=525HとしフォトダイオードPDで信号電荷を蓄積している。時点t4でREADnパルス印加して全部の信号電荷を検出部FDに読み出す。この信号をAD変換して信号SGHLとして出力している。この時のVREF波形の傾きは、初めGHで立ち上げ、KPポイントからGLに変化させている。傾きGHは小さな信号レベルの分解能力を高めている。見かけ上アナログGAINを大きくした状態と同じになる。傾きGLはアナログGAINを小さくした状態と同じになる。

30

【0043】

(第5の実施の形態)

図14は、本発明の第5の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すためのもので、増幅型CMOSイメージセンサの概略構成を示すブロック図である。図14において図1と同一な部分には同符号を付してある。

40

【0044】

図14では、図12に対して、VREF回路50でVREF波形を3つの傾きを持った折れ線で発生させている。KP1点511LSBまでを傾きGHとし、次にKP2ポイント767LSBまで傾きをGL1としている。その後傾きをGL2として1023LSBまで増加させている。WDM回路20では、VREF波形のKP1ポイントより大きい信号を増幅回路207でGA倍して信号SAを生成している。また、KP2ポイントより大きい信号を増幅回路208でGB倍して信号SBを生成している。そして、SGHLとSA、及びSBとを、それぞれKP1、KP2で切り換えて線形変換したSF信号を生成している。

【0045】

50

(第6の実施の形態)

図15は、本発明の第6の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すためのもので、増幅型CMOSイメージセンサの概略構成を示すブロック図である。図15において図1と同一な部分には同符号を付してある。

【0046】

図15では、図14に対して、VREF波形を3つの傾きを持った折れ線に対してスムーズに変化するカーブの傾きGCで発生させている。この傾きはカウンタ数に応じて徐々に大きくなる。見かけ上入力信号が小信号の時GAINが大きく、大信号の時GAINが小さくなっている。WDM回路20では、VREF波形のカーブGCに対応して増幅回路(GC1)209のGAINカーブを図15のGC1のように設定している。入力信号SGHLが大きくなるほどGAINが大きくなるようにしている。この出力信号SEは、入力信号に対して直線的に出力するようにしている。そして、従来の10bit出力に対して4倍の12bit出力に線形変換している。すなわち、従来に対して、ダイナミックレンジを4倍拡大している。このGCの傾きは自由に設定できる。通常、入力信号に対して、2乗したり、べき乗の逆数などの係数を掛けて演算したり、テーブルを作成して変換したりする。

10

【0047】

(第7の実施の形態)

図16は、本発明の第7の実施の形態に係る高照度時のダイナミックレンジ拡大方法を示すためのもので、増幅型CMOSイメージセンサの概略構成を示すブロック図である。図16において図8と同一な部分には同符号を付してある。

20

【0048】

図16では、センサコア部Aには、画素部1、カラム型ノイズキャンセル回路(CDS)2、カラム型アナログデジタルコンバータ(ADC)3、ラッチ回路4、2つのラインメモリ(MSTLS, MST S)5, 6及び水平シフトレジスタ7などが配置されている。

【0049】

画素部1には、レンズ10を介して光が入射され、光電変換によって入射光量に応じた電荷が生成される。この画素部1には、セル(画素)11が半導体基板上行及び列の二次元的に配置されている。1つのセル11は、4つのトランジスタ(Ta, Tb, Tc, Td)とフォトダイオード(PD)から構成され、各セル11にはパルス信号ADDRESSn, RESETn, READnがそれぞれ供給される。この画素部1の下部にはソースフォロワ回路用の負荷トランジスタTLMが水平方向に沿って配置され、これらの負荷トランジスタの電流通路の一端は垂直信号線VLINにそれぞれ接続され、他端は接地点に接続されている。

30

【0050】

画素部1で発生した信号電荷に対応するアナログ信号は、CDS2を介してADC3に供給され、デジタル信号に変換されてラッチ回路4にラッチされる。このラッチ回路4にラッチされたデジタル信号は、ラインメモリ(MSTLS, MST S)5, 6を介して水平シフトレジスタ7でセンサコア部Aより順次読み出される。ラインメモリ(MSTLS, MST S)5, 6から読み出されたデジタル信号OUT0~OUT9は、ワイドダイナミックレンジミックス(WDM)回路20に供給され、2つの信号が合成され、後段のワイドダイナミックレンジ圧縮(WDC)回路30を経てセンサの外部に出力される。

40

【0051】

また、画素部1に隣接して、パルスセクタ回路(セクタ)12、信号読み出し用の垂直レジスタ(VRレジスタ)13、蓄積時間制御用の垂直レジスタ(ESレジスタ、長い蓄積時間制御用のレジスタ)14、及び蓄積時間制御用の垂直レジスタ(WDレジスタ、短い蓄積時間制御用のレジスタ)17がそれぞれ配置されている。

【0052】

画素部1からの読み出しやCDS回路2の制御は、タイミングジェネレータ(TG)4

50

0 から出力されるパルス信号 $S_1 \sim S_4$, $READ$, $RESET/ADDRESS/READ$, VRR , ESR , WDR によって行われる。パルス信号 $S_1 \sim S_4$ は CDS 回路 2 に供給される。パルス信号 $READ$ はパルス振幅制御回路 70 に供給され、このパルス振幅制御回路 70 の出力信号 $VREAD$ がパルスセクタ回路 12 に供給される。また、パルス信号 $RESET/ADDRESS/READ$ もパルスセクタ回路 12 に供給される。パルス信号 VRR は VR レジスタ 13 に、パルス信号 ESR は ES レジスタ 14 に、パルス信号 WDR は WD レジスタ 17 にそれぞれ供給される。上記レジスタにより画素部 1 の垂直ラインが選択され、パルスセクタ回路 12 を介してパルス信号 $RESET/ADDRESS/READ$ (図 16 では $RESET_n$, $ADDRESS_n$, $READ_n$ で代表的に示す) が画素部 1 へ供給される。パルス信号 (アドレスパルス) $ADDRESS_n$ はセル中の行選択トランジスタ T_a のゲートに、パルス信号 (リセットパルス) $RESET_n$ はセル中のリセットトランジスタ T_c のゲートに、パルス信号 (読み出しパルス) $READ_n$ はセル中の読み出しトランジスタ T_d のゲートにそれぞれ供給される。この画素部 1 には、バイアス発生回路 (バイアス 1) 15 からバイアス電圧 V_{VL} が印加されている。このバイアス電圧 V_{VL} は、ソースフォロワ回路用の負荷トランジスタ T_{LM} のゲートに供給される。

【0053】

$VREF$ 発生回路 50 は、メインクロック信号 MCK に応答して動作し、 AD 変換 (ADC) 用の基準波形を生成する回路である。この基準波形の振幅は、シリアルインターフェース (シリアル I/F) 60 に入力されるデータ $DATA$ によって制御される。このシリアルインターフェース 60 に入力されるコマンドは、コマンドデコーダ 61 に供給されてデコードされ、メインクロック信号 MCK とともにタイミングジェネレータ 40 に供給される。 $VREF$ 発生回路 50 では、1 水平走査期間に 2 回の AD 変換を実行するために、三角波 $VREF_{TS}$ と $VREF_{TL}$ を発生して ADC_3 に供給する。タイミングジェネレータ 40 から出力されるパルス信号 $READ$ はパルス振幅制御回路 70 に供給され、このパルス振幅制御回路 70 によって振幅が制御されることにより 3 値のパルス信号 $VREAD$ が生成されてセクタ 12 に供給される。

【0054】

WDM 回路 20 は、黒レベルの $dark$ 信号を減算処理する減算回路 ($-dark$) 201, 202、減算回路 202 の出力を増幅するゲイン回路 (GA) 203、比較 A 回路 210、スイッチ 204 からなる。後段には WDC 回路 30 が有り、ホワイトバランス処理回路 (WB) 31 及び圧縮回路 32 を備えて構成されている。この WDM 回路 30 は、ラインメモリ 6 に記憶した露光時間 (電荷の蓄積時間) の短い信号 STS と、ラインメモリ 5 に記憶した露光時間の短い信号 STS と長い信号 STL とを加算した信号 $STLS$ を同時に入力する。

【0055】

まず、 ADC_3 によるアナログ/デジタル変換動作では、黒レベル ($dark$) を $64LSB$ レベルに設定しているため、減算回路 201, 202 で黒レベル 64 をそれぞれラインメモリ 5, 6 の出力信号から減算する。次に、減算回路 202 で減算処理した信号 SB をゲイン回路 (GA) 23 で増幅し、信号 SC を生成する。このゲイン量は、信号 STL と信号 STS の露光時間をそれぞれ TL と TS とすると、その比 TL/TS から算出できる。信号 SB をゲイン倍する処理を行うことにより、傾きの異なった光電変換特性カーブであっても等価的に傾きを同じにできる。この信号 SC と信号 $STLS$ から黒レベル ($dark$) を減算した信号 SA とを比較回路 A 210 で比較して、スイッチ回路 204 で大きい方の信号を選択している。この結果、信号 SA と $GAIN$ 倍した信号 SC とをスムーズに合成できる。この線形変換合成出力信号 SF は、ビット数を増加させて最大 16 ビットで出力している。そして、後段の WDC 回路 30 にて、ホワイトバランス (WB) 処理回路 31 で R, G, B 信号のレベルを同じに処理し、圧縮回路 32 で信号を 12 ビットに圧縮して出力している。

【0056】

図17は、図16に示したCMOSイメージセンサの動作タイミングを示す波形図である。本例では、垂直のnラインのフォトダイオードPDで光電変換して電荷を蓄積する蓄積時間を $T_L = 5.25H$ とする。また、短い蓄積時間を $T_S = 6.6H$ とした。長い蓄積時間 T_L は、読み出しパルスREADの振幅を高レベル(2.8V)にして制御している。短い蓄積時間 T_S は読み出しパルスREADの振幅を低レベル=1Vで制御している。この読み出しパルスREADを発生させるために、パルス振幅制御回路70によって読み出しパルスREADの振幅を制御している。蓄積時間 T_L はESレジスタ14で1H毎に制御できる。また、蓄積時間 T_S はWDレジスタ17で1H毎、更にセレクト回路12の入力パルス位置を変更することで1H以下の制御もできる。

【0057】

フォトダイオードPDで蓄積していた信号電荷の1回目の読み出し動作時(t_4)には、水平同期パルスHPに同期して画素部1にパルス信号RESETn, READn, ADDRESSnを供給してフォトダイオードPDで光電変換して蓄積した信号電荷を読み出す。この時の読み出しパルスREADの振幅は低レベル V_m 電圧に設定する。1回目に読み出す信号電荷は、蓄積時間 $5.25H$ の途中の時点 t_2 で低レベルの読み出しパルスREADを入力してフォトダイオードPDの一部の信号電荷を読み出して排出する。 $t_2 \sim t_4$ の時点までに再蓄積した信号を時点 t_4 でフォトダイオードPDから読み出す。

【0058】

RESETnをONにしてOFFにした時のリセットレベルの取り込み時に、基準波形の振幅を中間レベルに設定して読み出しを行っている。この中間レベルは、画素部1の遮光画素(OB)部が64LSBになるようにセンサ内で自動調整している。次に、READnをONにして信号を出力する。この読み出した信号に対して、水平走査期間の前半の0.5H期間に基準波形として三角波を発生させ、10ビットのAD変換を実施している。AD変換した信号(デジタルデータ)はラッチ回路4に保持し、AD変換終了後にラインメモリ(MSTS)6に入力する。

【0059】

フォトダイオードPDからの2回目の読み出し動作時(t_5)は、1回目の0.5H後に画素部1にパルス信号RESETn, READn, ADDRESSnを入力してフォトダイオードPDで光電変換して蓄積した信号電荷を読み出す。この時の読み出しパルスREADの振幅は高レベル電圧 V_n に設定する。

【0060】

フォトダイオードPDに残された信号電荷は、RESETnパルスを印加せずに、READnとADDRESSnを入力して読み出す。RESETレベルは t_4 時の信号を使う。READnをONにして検出部FDで蓄積していたSTS信号と加算して出力する。この読み出した信号に対して、水平走査期間の後半0.5H期間に基準波形として三角波を発生させることにより10ビットのAD変換を実施している。AD変換した信号はラッチ回路4に保持し、AD変換終了後にラインメモリ(MSTLS)5に入力する。次の1水平走査期間に2つのラインメモリ(MSTS, MSTLS)6, 5から同時に出力して、画素単位の信号をWDM回路20で線形変換合成している。図16に示すように、ワイドダイナミックレンジミックス(WDM)回路20で2つの信号が線形変換合成され、最大16bitの信号を生成している。後段のWDC回路30で、白色被写体撮影時のRGBの信号レベルを合わせるホワイトバランス回路31を経て、圧縮回路32で16bit信号のハイライト部分を圧縮して12bit化してセンサから出力している。

【0061】

図18は、図17の動作におけるフォトダイオードPDの信号電荷の蓄積について説明するための図である。時点 t_0 では、パルス信号READとして2.8Vを印加することで、フォトダイオードPDの信号電荷を全て排出する。時点 t_1 では、フォトダイオードPDで光電変換した信号を蓄積している。時点 t_2 では、パルス信号READの V_m 電圧=1.0Vで飽和信号量 V_p の約1/2の信号をフォトダイオードPDより読み出して排出している。信号STS2の過大信号は V_m にスライスされる。信号STLは信号量

10

20

30

40

50

が少ないため排出されない。時点 t_3 では、フォトダイオード PD で再蓄積を実施している。時点 t_4 では、パルス信号 READ の電圧 = 1.0V で V_m よりも大きな信号電荷を信号 STS として読み出している。これによって、 V_m よりも大きな信号 STS 1 や STS 2 などが出力される。この時、信号 STL はレベルが十分に小さいため読み出されない。次の時点 t_5 では、フォトダイオード PD の V_m 以下の信号電荷を STL として読み出し、検出部 FD で時点 t_4 で読み出した信号 STS と加算して、信号 STLS として出力している。時点 t_4 の時、屈曲 (Knee) 点以下の信号 STS 1 または STL は、時点 t_2 でフォトダイオード PD から排出されないため、連続的に蓄積した信号電荷となる。一方、時点 t_2 でフォトダイオード PD から排出される信号 STS 2 は、 V_m レベルでスライスされるため、見かけ上蓄積時間が停止した状態となる。光電変換特性の傾きは屈曲点 (Knee) を境に変化する。すなわち、時点 t_4 で読み出した信号 STS に屈曲点 (Knee) を持った信号が出力される。

10

【0062】

上記のような構成によれば、1 水平走査期間に、露光時間の短い信号 STS と、露光時間の長い信号と短い信号とを加算した信号 STLS とを別々に AD 変換して出力し、読み出した 2 つのデジタル信号を加算するので、画質の低下を招くことなくダイナミックレンジを拡大できる。

【0063】

図 19 (a), (b) は、図 18 に示した動作タイミング図における時点 $t_1 \sim t_5$ の画素部 1 の断面図とポテンシャル図を示しており、(a) は大信号を蓄積する時、(b) は小信号を蓄積する時の断面図とポテンシャル図を示している。

20

【0064】

p 型半導体基板に n 型の不純物拡散領域が設けられてフォトダイオード PD が形成され、この n 型不純物拡散領域の表面は p 型不純物拡散領域でシールドされている。これによって、キズや暗時ムラの小さい埋め込み型フォトダイオード PD を形成している。検出部 FD は n 型不純物拡散領域で形成され、フォトダイオード PD の n 型不純物拡散領域とともに読み出しトランジスタ (リードゲート) Td のソース、ドレイン領域として働く。これら n 型不純物拡散領域間の基板上には、図示しないゲート絶縁膜を介在してポリシリコンからなるゲート電極が設けられている。このゲート電極には、読み出しパルス READ が供給される。検出部 FD としての n 型不純物拡散領域に隣接して、n 型不純物拡散領域が設けられている。この n 型不純物拡散領域はリセットトランジスタ (リセットゲート) Tc のドレイン領域として働き、検出部 FD の n 型不純物拡散領域はソース領域として働く。ドレイン領域には、ドレイン電圧 VD (= 2.8V 、例えば VDD) が印加される。これら n 型不純物拡散領域間の基板上には、図示しないゲート絶縁膜を介在してポリシリコンからなるゲート電極が設けられている。このゲート電極には、リセットパルス RESET が供給される。そして、このリセットトランジスタ Tc により、検出部 FD をドレイン電圧 VD にリセットできるようにしている。

30

【0065】

大信号を蓄積する時は、図 19 (a) に示すように、時点 t_1 にフォトダイオード PD の信号電荷が飽和している。そして、時点 t_2 でリードゲートに低レベルのリード電圧 (= 1.0V) を印加することで、フォトダイオード PD で飽和していた信号電荷の一部を排出している。次の時点 t_3 では、フォトダイオード PD に信号を再蓄積している。時点 t_4 では、フォトダイオード PD で再蓄積した信号を読み出すため、低レベルのリード電圧 (= 1.0V) を印加することで検出部 FD に読み出している。時点 t_5 では、高レベルのリード電圧 (= 2.8V) を印加することで、残りのフォトダイオード PD の信号電荷を検出部 FD に読み出している。検出部 FD の信号は時点 t_4 で読出した信号電荷 QTS と加算して QTLS として出力している。すなわち、フォトダイオード PD が飽和した場合には、蓄積時間の短い信号を時点 t_4 に読み出すことができる。

40

【0066】

これに対し、小信号を蓄積する時は、図 19 (b) に示すように、時点 t_1 ではフォト

50

ダイオードPDの信号電荷は飽和していない。時点 t_2 にはリードゲートを低レベルのリード電圧(=1.0V)で開いているが、フォトダイオードPDで信号電荷が飽和していないため電荷はフォトダイオードPDから排出されない。次の時点 t_3 では継続してフォトダイオードPDで信号電荷を蓄積している。時点 t_4 ではフォトダイオードPDの信号電荷を読み出すため、低レベルのリード電圧(=1.0V)を印加する。しかし、フォトダイオードPDの信号電荷が少ないため、検出部FDには読み出されない。時点 t_5 では、高レベルのリード電圧(=2.8V)を印加することにより、フォトダイオードPDの信号電荷全てを検出部FDに読み出している。

【0067】

図20はWDM回路20の動作を示すデジタル出力信号を示している。横軸が光量、縦軸がデジタル出力レベルである。信号STLSは光量に対して、蓄積時間TLに依存する傾きで増加する。Knee点まで増加すると、傾きは蓄積時間TSに応じて緩やかに増加する。そして、フォトダイオードPDの飽和信号まで増加する。一方STS信号は読出し電圧Vmで制限される蓄積容量よりも大きな光量の時、信号が出力し始める。傾きは、蓄積時間TLに対応している。Knee点より大きな光量になると、傾きが、蓄積時間TSに対応して緩やかに増加する。WDM回路20の出力信号SFは、光量Knee点までは、STLS信号ラインとなる。Knee点より大きな信号は、STS信号をGAで増幅した信号に切り換えている。この増幅回路203のGAINを蓄積時間比TL/TSとすることで、信号SFはほぼ直線に変換できる。実測では、STS信号はフォトダイオードPDからの信号読み出しが完全転送モードにならないため、残像信号分が加算される。このため、STS信号は多少大きくなる。増幅率GA倍に対して、GAINを約0.85倍することでさらに直線性を改善することができる。Knee点はSA信号=SB信号となる。SA信号は、STLS信号から黒レベル(dark)を減算した信号、SC信号は、STS信号から黒レベル(dark)を減算し増幅率GA倍した信号である。黒レベル(dark)は水平ラインのスタート側に配置した遮光画素(OB)の平均値で算出している。

【0068】

図21(a)(b)(c)(d)はWDC回路30の概略構成を示すブロック図と動作を示す図である。図21(a)は回路構成図であり、WDC回路30には線形変換された信号SFが16bitで入力される。この信号は図21(b)に示すように白い被写体を撮像した時にGRBの信号レベルが異なる。WB回路31でGRBの信号レベルを合わせのため、R信号とB信号をそれぞれ増幅する。すると、図21(c)に示すようにSWB信号はGRBの信号レベルが同じになる。この16bit信号を、圧縮回路32でハイライト信号を最大12bitレベルに圧縮している。図21(d)に示すように、圧縮モード1としては、通常の信号処理で使用する補正と同様なカーブで圧縮している。圧縮モード2では、ハイライト信号部分の階調を大きくするため、2点折れ線の圧縮を掛けている。ダイナミックレンジ拡大量は、16bit信号の場合、従来の10bit信号に対して64倍に拡大できる。

【0069】

(第8の実施の形態)

図22は、本発明の第8の実施の形態に係る高照度時のダイナミックレンジ拡大方法を示すためのもので、増幅型CMOSイメージセンサの概略構成を示すブロック図である。図22において図16と同一な部分には同符号を付してある。

【0070】

図22では、図16に対して、画素部1の2ライン(行)の信号を使ってダイナミックレンジを拡大している。この2ラインは別々に蓄積時間が制御できるように制御用レジスタESA,ESB)141、142を設けている。1ライン目の蓄積時間をTLとして、信号をSTLとして読み出す。2ライン目のフォトダイオードPDでは蓄積時間を短くしたSTS信号を出力している。WDM回路20では、STS信号の黒レベル(dark)を減算して、蓄積時間比TL/TSのG倍してSB信号を生成している。STL信号から

10

20

30

40

50

は黒レベル (dark) を減算して S B 信号と加算して S A 信号を生成している。この信号を $1/2$ として、S C 信号を生成している。後段のスイッチ回路 204 で、S T L 信号が 1023 L S B 未満の時に S C 信号を選択し、1023 L S B 以上の時に S B 信号を選択することで、蓄積時間の異なる 2 ラインの信号を 1 つの信号に線形変換して S F 信号を生成している。

【0071】

図 23 に動作タイミング図を示す。本動作では 2 ライン加算して出力するため垂直ライン数は $1/2$ の 263 H としている。n ラインの蓄積時間を $T_L = 263 H$ とし、m ラインの蓄積時間を $T_S = 33 H$ としている。時点 t_4 に n ラインで蓄積していた信号を出力し S T L 信号として A D 変換している。 $1/2 H$ 後の時点 t_5 では、蓄積時間 T_S で蓄積した信号を読み出し S T S 信号として A D 変換している。

10

【0072】

(第9の実施の形態)

図 24 は、本発明の第9の実施の形態に係る低照度から高照度まで広範囲のダイナミックレンジ拡大方法を示すためのもので、増幅型 CMOS イメージセンサの概略構成を示すブロック図である。図 24 において図 16 と同一な部分には同符号を付してある。

【0073】

図 24 では、図 16 に対して、V R E F 発生を 1 水平走査期間に 3 回実施している。センサコア部 A のラインメモリも 1 ライン増加させ、3 ラインとしている。W D M 回路 2 はセンサコア部 A からの 3 つの信号 S G H , S G L , S T S を入力している。W D M 回路 2 は図 16 と図 1 を合成した回路になっている。V R E F 発生回路 50 では、初めの $1/3 H$ 期間に V R E F T S を傾き G L で発生させている。次に V R E F T L では同じく傾き G L で発生させている。最後は V R E F G H として傾き G H とゆるやかにして、見かけ上アナログ G A I N を UP した状態にしている。V R E F T S と V R E F T L で第 6 の実施の形態の高照度時のダイナミックレンジを拡大し、V R E F T L と V R E F G H で第 1 の実施の形態の低照度時のダイナミックレンジを拡大している。W D M 回路 20 では、蓄積時間の短い信号を S T S としてセンサコア部 A から入力している。信号 S G L は蓄積時間の短い信号と長い信号を加算した信号、信号 S G H は信号 S G L を増幅した信号として入力している。

20

【0074】

まず、A D C 3 によるアナログ/デジタル変換動作では、黒レベル (dark) を 64 L S B レベルに設定しているため、減算回路 211 , 201 , 202 で黒レベル 64 をそれぞれのラインメモリ 5 , 6 , 8 の出力信号から減算する。次に、減算回路 202 で減算処理した信号 S B をゲイン回路 (G A) 203 で増幅し、信号 S C 1 を生成する。このゲイン量 G A は、信号 S T L と信号 S T S の露光時間をそれぞれ T_L と T_S とすると、その比 T_L / T_S から算出できる。この信号 S C 1 と、減算回路 201 で S G L 信号から黒レベル (dark) を減算した信号 S A とを比較回路 A 210 で比較して、スイッチ回路 204 で大きい方の信号を選択している。この結果、信号 S A と G A I N 倍した信号 S C 1 とをスムーズに合成し信号 S C 2 を生成している。次に、減算回路 211 で信号 S G H から黒レベル (dark) の 64 L S B レベルを減算して信号 S D 1 を生成する。信号 S C 2 を G C 倍増幅した信号 S C 3 を生成する。この増幅率 G C は V R E F 振幅の傾き G H / G L から算出できる。信号 S D 1 と信号 S C 3 を加算し信号 S D 2 を生成する。信号 S D 2 は加算することで信号レベルが 2 倍となるため、後段で $1/2$ 化して信号 S E を生成している。この処理によりノイズを 3 d B 低減できる。信号 S F として、S G H 信号が 1023 L S B レベルよりも小さい時には信号 S E を選択し、1023 L S B レベル以上の時には信号 S C 3 を選択するように (図示しない判定回路で) スイッチ 212 を切り換えている。この結果、S E 信号と G A I N 倍した S C 3 信号とをスムーズに合成でき、S F 信号として光入力信号に対して低照度から高照度まで直線的に変化する信号が得られる。W D M 回路 20 では、ビット数を増加させて最大 16 ビットで出力している。そして、ホワイトバランス (W B) 処理回路 31 で R , G , B 信号のレベルを同じに処理し、圧縮回路

30

40

50

32で信号を12ビットに圧縮して出力できるようにしている。

【0075】

図25に動作タイミング図を示す。時点 t_4 で高輝度蓄積時間 T_S で蓄積した信号 S_{TS} を出力している。次の時点 t_5 で $RESET_n$ パルス無しとしているため、蓄積時間 T_L と T_S を加算した信号を S_{GL} として出力している。この時の V_{REF} 振幅は傾きが G_L と大きな振幅を設定している。次の時点 t_6 では検出部 FD に蓄積している信号を再度読出している。 V_{REF} の振幅を傾き G_H とすることでアナログ $GAIN$ を UP して、低レベルの信号の分解能を細かくしている。この読み出しは、図3の動作を適用しても良い。

【0076】

(第10の実施の形態)

第9の実施の形態の変形例を第10の実施の形態に示す。

【0077】

図26にWDM回路の変形例を示す。3つの信号の発生頻度 K_{SGH} , K_{SGL} , K_{STS} をそれぞれフレーム内で積分して、どの信号レベルの発生頻度が多いかを抽出している。これらの信号をレベル判定回路213でレベル判定し、その結果を次のフレームに反映させて、圧縮回路214で信号の重み付けを実施している。

【0078】

図27(a)(b)(c)(d)にその制御方法を示す。簡略化のために $dark$ 量を $0LSB$ としている。図27(a)は3つの信号と合成方法を示している。信号 S_{GL} と S_{TS} を線形変換合成した信号 SC_2 を生成している。次に、 SC_2 信号を増幅回路で G_C 倍して信号 SC_3 を生成し、信号 SD_1 と加算して SD_2 を生成している。この信号は、 S_{GL} と S_{GH} を加算しているため2倍の信号レベルになる。この信号を $1/2$ として SF 信号の低レベル側としている。高レベル側は信号 SC_2 を G_C 倍した信号に切り換えている。3つの信号を線形合成することで、最終的に直線の SF 信号を生成している。図27(b)では、WDM回路20の出力信号 DOU_T を示しており、3つの信号を全て均等に再生した状態を示している。低照度の信号は分解能が高いため、低照度の信号を見やすくするために $GAIN$ を大きくしている。図27(c)では、低照度側の信号に重点を置き、低照度側の $GAIN$ を大きくしている。図27(d)では、高輝度側に重点を置き、高輝度の映像が見えやすいように高輝度側の再生レベルの範囲を大きくしている。

【0079】

(第11の実施の形態)

図28に低照度から高照度まで広範囲にダイナミックレンジを拡大した別の第11の実施の形態を示す。図28において図24と同一な部分には同符号を付してある。

【0080】

図28では、図24に対して、 V_{REF} 発生を2回にし、後半の V_{REFGHL} を2つの傾きを持った折れ線で発生させている。初めの立ち上がりの傾きを G_H とし、途中から G_L としている。この信号をラインメモリ($MSGHL$)5から読出し、 $SGHL$ 信号としてWDM回路20へ入力している。 V_{REFGHL} の KP ポイントよりも大きい信号を増幅回路で G_A 倍している。この増幅率は、 V_{REF} の傾きの比 G_H/G_L で算出している。KPレベルよりも大きい信号を SA 信号として切り換えることで、 $SGHL$ 信号を直線化した SB 信号を生成している。 SC 信号は、減算回路202で STS 信号から黒レベル($dark$)を減算し、次に蓄積時間の比 T_L/T_S で G_B 倍増幅し、次に G_H/G_S の比で G_C 倍増幅した信号としている。この SB 信号と SC 信号を比較して、スイッチ回路216で大きい方の信号に切り換えて線形変換合成した SF 信号を生成している。

【0081】

図29に動作タイミング図を示す。時点 t_4 で高輝度蓄積時間 T_S で蓄積した信号 S_{TS} を出力している。次の時点 t_5 で蓄積時間 T_L と T_S を加算した信号を S_{GHL} として出力している。この時の V_{REF} の傾きは、初め G_H で立ち上げ、 KP ポイントから G_L に変化させている。すなわち、小さな信号レベルの分解能力を高めている。

10

20

30

40

50

【 0 0 8 2 】

図 3 0 にその制御方法を示す。信号 S G H L は初め傾き G H に対応した傾きで出力しており、K P レベルからは傾きが G L へと緩やかに変化する。そして、読出し電圧 V m と蓄積時間比で決まる K P m ポイントからさらに蓄積時間 T S で定まる傾き S T S の信号に変化する。まず、S G H L 信号の K P レベル以上の信号を増幅率 $G A = G H / G L$ で増幅する。K P m より大きな信号は、S T S を G B 倍と G C 倍に増幅した信号に切り換えることで最終的な S F 信号を直線化している。

【 0 0 8 3 】

(第 1 2 の実施の形態)

図 3 1 に低照度から高照度まで広範囲にダイナミックレンジを拡大した別の第 1 2 の実施の形態を示す。図 3 1 において図 2 8 と同一な部分には同符号を付してある。

【 0 0 8 4 】

図 3 1 では、図 2 8 に対して、V R E F 発生を 2 回にし、後半の V R E F G C をスムーズに変化するカーブの傾き G C で発生させている。この傾きがカウンタ数に応じて徐々に大きくなる。見かけ上、入力信号が小信号の時 G A I N が大きく、大信号の時 G A I N が小さくなっている。W D M 回路 2 0 では、入力信号 S G C に対し、V R E F 発生回路 5 0 のカーブ G C に対応して増幅回路 G C 1 の G A I N カーブを図 3 4 の G C 1 のように設定している。すなわち、入力信号 S G C が大きくなるほど G A I N が大きくなるようにしている。この出力信号 S E は入力信号に対して直線的に出力するようにしている。従来の 1 0 b i t 出力に対して 4 倍の 1 2 b i t 出力に線形変換している。すなわち、従来に対して、ダイナミックレンジを 4 倍拡大している。この G C の傾きは自由に設定できる。通常、入力信号に対して 2 乗したり、べき乗の逆数などの係数をかけて演算したり、テーブルを作成して変換したりしている。この S E 信号から黒レベル (d a r k) を減算して信号 S B を生成している。一方、S T S 信号から黒レベル (d a r k) を減算し、次に蓄積時間の比 T L / T S で G B 倍増幅し、次に V R E F の G C カーブに対応した最大 G A I N 係数 G C 2 で倍増幅し信号 S C を生成している。この S B 信号と S C 信号を比較して、スイッチ回路 2 1 6 で大きい方の信号に切り換えることで、線形変換合成した S F 信号を生成している。

【 0 0 8 5 】

図 3 2 にその制御方法を示す。信号 S G C は初め傾きが大きく、光量が大きくなるにしたがって傾きが小さくなるが、読出し電圧 V m と蓄積時間比で決まる K P m ポイントまで上昇する。このポイントから S T S 信号が短い蓄積となるため緩やかな傾きで上昇している。線形変換合成は、まず、信号 S G C に対して G A I N カーブ G C 1 で増幅する。そして直線に線形変換した信号 S E を生成する。K P m よりも大きな信号は、S T S を G B 倍と G C 2 倍に増幅した信号に切り換えることで最終的な S F 信号を直線化している。

【 0 0 8 6 】

(第 1 3 の実施の形態)

図 3 3 に本発明の第 1 3 の実施の形態を示す。図 3 3 において図 1 1 と同一な部分には同符号を付してある。

【 0 0 8 7 】

図 3 3 では、図 1 1 に対して、画素部 1 の 2 ライン (行) の信号を使って信号を加算している。蓄積時間は 2 ラインとも同じにしている。W D M 回路 2 0 では、S T A 信号の黒レベル (d a r k) を減算して S A 信号を生成し、S T B 信号の黒レベル (d a r k) を減算して S B 信号を生成している。そして、これらを加算した信号を S F 信号としている。この動作により、垂直 2 ラインの信号を加算した信号が得られる。これは、垂直ライン数を約 1 / 2 にするモニタリングモードに適用できる。実質的に信号が 2 倍になるため高感度化となる。ノイズも 3 d B 低減できる。

【 0 0 8 8 】

図 3 4 に動作タイミング図を示す。本動作では 2 ラインの信号を加算して出力するため、垂直ライン数を 1 / 2 の 2 6 3 H としている。n ラインの蓄積時間を T L = 2 6 3 H と

10

20

30

40

50

し、mラインの蓄積時間も同じ $TS = 263H$ としている。時点 t_4 でnラインで蓄積していた信号を出力しSTA信号としてAD変換している。1/2H後の時点 t_5 では蓄積時間 TS で蓄積した信号を読み出しSTB信号としてAD変換している。カラーセンサでは、通常色フィルタがベイヤー配列となるため、同色となる1ラインを飛ばして加算動作させている。

【0089】

(第14の実施の形態)

図35(a)(b)(c)(d)に動作タイミングの変形例を示す。図38(a)は標準の動作を示している。本動作では、デジタル出力DOUトノイズがCDS動作時に混入しないように、画素からの信号読出し期間にセンサ出力信号DOUトを出力しないようにしている。図38(b)では本発明の実施の形態の動作になるが、1/2後半のCDS読出し期間にもCDS動作を実施している。ノイズ混入を対策するために、図38(c)に示すように水平走査期間を約2倍にして、後半のCDS動作期間にデジタル出力DOUトが動作しないように対策している。本動作ではフレーム周波数が2倍と低速になるため、図38(d)では、デジタル出力DOUトを水平走査期間の前半と後半に2分割して出力している。分割した中間に後半のCDS動作期間を設けている。デジタル出力をLVDS出力やシリアル出力にするとデジタルノイズが低減されるため、図38(b)で動作させてもノイズの混入を低減できる。また、VREFのAD変換bit数を10bitから9bitに低減して水平走査期間を短くし、フレーム動作周波数を増加させてもよい。

【0090】

以上のように本発明の実施の形態によれば、カラムADC型CMOSイメージセンサにおいて、光入力信号に対して異なった傾きの信号を出力するAD変換を実施し、このAD変換による異なった傾きの出力信号を、傾きが同じになるようにGAIN調整を実施する線形変換回路で1つの線形信号にすることで、ダイナミックレンジが拡大しS/Nが改善される高画質CMOSセンサを提供できる。

【0091】

すなわち、光入力信号量に対して傾きを異ならせた信号を出力し、異なった傾きを信号処理回路で同一の傾きに変換して直線化することで、被写体の照度に対応して暗いシーンから明るいシーンまでダイナミックレンジを拡大できる。さらに、信号を直線化することで、高輝度の被写体の色再現性を改善できる。また本方式によれば、電源電圧やセンサの動作温度の影響を受けにくい安定したダイナミックレンジ拡大動作を実施できる。

【0092】

本実施の形態によれば、以下のような固体撮像装置が構成される。

【0093】

(1)半導体基板上に二次元的に配置されたフォトダイオードと、前記フォトダイオードの信号電荷を検出部に読出す読出し手段と、前記信号電荷を電圧に変換する検出手段と、前記検出手段の電圧を出力する出力手段と、前記検出手段をリセットするためのリセット手段とからなる画素部と、

前記フォトダイオードで光電変換する露光時間を制御する露光時間制御手段と、

前記出力手段により出力された信号を蓄積する蓄積手段と、

前記蓄積手段で蓄積した信号をAD変換するAD変換手段と、

前記AD変換手段で変換された信号を記憶する複数のラインメモリと、

前記複数のラインメモリからの複数の出力信号を処理する信号処理手段と、を具備し、

前記フォトダイオードで光電変換し蓄積した信号を前記読出し手段で読み出し、前記検出手段もしくは前記蓄積手段に保持し、保持した前記信号を前記AD変換手段で複数回AD変換し、複数回AD変換した前記信号を前記複数のラインメモリに記憶し、

前記信号処理手段は、前記複数のラインメモリから同時に読み出した複数の出力信号を1つの信号に合成する合成手段を備えたことを特徴とする固体撮像装置。

【0094】

(2)前記AD変換手段は、基準電圧を制御することで入力信号レベルの分解能を異な

10

20

30

40

50

らせて複数回 A D 変換し、

前記信号処理手段は、前記複数の出力信号に対して、前記 A D 変換手段の分解能に対応させて信号増幅手段の増幅率を制御するとともに、光入力信号量に対して同一の傾きとし切換え手段で一つの信号に合成する線形変換合成手段を備えたことを特徴とする上記(1)記載の固体撮像装置。

【0095】

(3) 前記読出し手段は、複数行の前記フォトダイオードを1組として行単位に読出し

、前記 A D 変換手段は、前記行単位に A D 変換し、

前記信号処理手段は、前記複数のラインメモリから同時に出力された複数の信号を一つの信号に合成する合成手段を備えたことを特徴とする上記(1)記載の固体撮像装置。

10

【0096】

(4) 前記露光時間制御手段は、前記フォトダイオードで光電変換する露光時間を行単位で異ならせ、

前記 A D 変換手段は、前記行単位で A D 変換し、

前記複数のラインメモリは、前記行単位で A D 変換した信号を個別に記憶し、

前記信号処理手段は、前記複数のラインメモリから同時に出力された複数の信号に対して、前記行単位の露光時間に対応させて信号増幅手段の増幅率を制御するとともに、光入力信号量に対して同一の傾きとし切換え手段で一つの信号に合成する線形変換合成手段を備えたことを特徴とする上記(1)記載の固体撮像装置。

20

【0097】

(5) 前記露光時間制御手段は、前記フォトダイオードで光電変換する露光時間を前記読出し手段の読み出し電圧を制御することで単一画素で複数回露光させ、

前記読出し手段は、前記フォトダイオードの信号電荷を露光時間に対応して複数回に分割して読み出し、

前記 A D 変換手段は、複数回 A D 変換し、

前記信号処理手段は、前記複数のラインメモリから同時に出力された複数の信号に対して、露光時間に対応させて信号増幅手段の増幅率を制御するとともに、光入力信号量に対して同一の傾きとし切換え手段で一つの信号に合成する線形変換合成手段を備えたことを特徴とする上記(1)記載の固体撮像装置。

30

【0098】

(6) 前記読出し手段は、前記フォトダイオードの信号電荷を露光時間に対応して複数回に分割して読み出し、

前記検出手段は、複数回に分割して読み出した前記信号電荷を加算することを特徴とする上記(5)記載の固体撮像装置。

【0099】

(7) 前記露光時間制御手段は、前記フォトダイオードで光電変換する露光時間を前記読出し手段の読み出し電圧を制御することで単一画素で複数回露光させ、

前記読出し手段は、前記フォトダイオードの信号電荷を露光時間に対応して複数回に分割して読み出し、

40

前記 A D 変換手段は、入力信号レベルの分解能を異ならせて複数回 A D 変換し、

前記信号処理手段は、前記複数の出力信号に対して、前記 A D 変換の分解能に対応させて信号増幅手段の増幅率を制御するとともに、光入力信号量に対して同一の傾きとし切換え手段で一つの信号に合成する線形変換合成手段を備えたことを特徴とする上記(1)記載の固体撮像装置。

【0100】

(8) 前記信号処理手段から出力された線形信号の R G B の信号レベルを単独で G A I N 調整するホワイトバランス手段を備えたことを特徴とする上記(1)記載の固体撮像装置。

【0101】

50

(9) 前記ホワイトバランス手段で調整された信号のハイライト信号成分の G A I N を低くすることでレベルを抑圧するレベル抑圧手段を備えたことを特徴とする上記 (8) 記載の固体撮像装置。

【 0 1 0 2 】

(1 0) 前記信号処理手段は、傾きの異なる複数の前記出力信号毎に信号の発生頻度をフレーム内で積分し、その結果に応じて圧縮回路の G A I N 量を制御する制御回路を備えたことを特徴とする上記 (9) 記載の固体撮像装置。

【 0 1 0 3 】

(1 1) 半導体基板上に二次元的に配置されたフォトダイオードと、前記フォトダイオードの信号電荷を検出部に読出す読出し手段と、前記検出部の電荷を出力する出力手段と、前記検出部をリセットするためのリセット手段とからなる画素部と、前記フォトダイオードで光電変換する露光時間を制御する露光時間制御手段と、前記出力手段により出力された信号を増幅するカラム増幅手段と、前記カラム増幅手段で増幅された信号を蓄積する蓄積手段と、前記蓄積手段で蓄積した信号を A D 変換する A D 変換手段と、前記 A D 変換手段で変換された信号を記憶する複数のラインメモリと、前記複数のラインメモリからの複数の出力信号を処理する信号処理手段と、を具備し、前記フォトダイオードに蓄積した信号を複数回に分割して前記読出し手段で読み出し、前記出力手段により出力した信号を前記カラム増幅手段で増幅率を異ならせて増幅し、前記 A D 変換手段で複数回 A D 変換し、複数回 A D 変換した前記信号を前記複数のラインメモリに記憶し、

前記信号処理手段は、前記複数のラインメモリから同時に読み出した複数の出力信号の傾きを同じにするために信号増幅手段の増幅率を前記カラム増幅手段の増幅率に合わせて制御するとともに、光入力信号量に対して同一の傾きとし切換え手段で一つの信号に合成する線形変換合成手段を備えたことを特徴とする固体撮像装置。

【 0 1 0 4 】

(1 2) 前記 A D 変換手段で複数回 A D 変換する動作時に水平走査期間の長さを長くするモードを備えたことを特徴とする上記 (1) または (1 1) 記載の固体撮像装置。

【 0 1 0 5 】

(1 3) 半導体基板上に二次元的に配置されたフォトダイオードと、前記フォトダイオードの信号電荷を検出部に読出す読出し手段と、前記信号電荷を電圧に変換する検出手段と、前記検出手段の電圧を出力する出力手段と、前記検出手段をリセットするためのリセット手段とからなる画素部と、

前記フォトダイオードで光電変換する露光時間を制御する露光時間制御手段と、前記出力手段により出力された信号を蓄積する蓄積手段と、前記蓄積手段で蓄積した信号を A D 変換する A D 変換手段と、前記 A D 変換手段で変換された信号を記憶する複数のラインメモリと、前記複数のラインメモリからの複数の出力信号を処理する信号処理手段と、を具備し、前記露光時間制御手段は、前記フォトダイオードで光電変換する露光時間を全画素同一とし、

前記 A D 変換手段は、前記画素部から出力された信号を入力信号レベルの分解能を異ならせて A D 変換し、

前記信号処理手段は、前記ラインメモリからの出力信号に対して、前記 A D 変換手段の分解能に合わせて信号増幅手段の増幅率を制御し、光入力信号量に対して線形の傾きとなるように処理を行う線形変換手段を備えたことを特徴とする固体撮像装置。

【 0 1 0 6 】

なお、本発明は上記各実施の形態のみに限定されず、要旨を変更しない範囲で適宜変形して実施できる。

【 図面の簡単な説明 】

【 0 1 0 7 】

10

20

30

40

50

【図1】本発明の第1の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すための図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図2】本発明の第1の実施の形態に係る増幅型CMOSイメージセンサにおける画素部、CDs及びADCの具体的な構成例を示す回路図。

【図3】本発明の第1の実施の形態に係るCMOSイメージセンサの第1の動作タイミングを示す波形図。

【図4】本発明の第1の実施の形態に係るCMOSイメージセンサの第2の動作タイミングを示す波形図。

【図5】本発明の第1の実施の形態に係る画素部のセルの断面図とポテンシャル図。

【図6】本発明の第1の実施の形態に係るWDM回路の別構成を示す図。

10

【図7】本発明の第1の実施の形態に係るWDM回路の動作を示す図。

【図8】本発明の第2の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すための図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図9】本発明の第2の実施の形態に係るCMOSイメージセンサの動作タイミングを示す波形図。

【図10】本発明の第2の実施の形態に係る画素部のセルの断面図とポテンシャル図。

【図11】本発明の第3の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すための図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図12】本発明の第4の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すための図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

20

【図13】本発明の第2の実施の形態に係るCMOSイメージセンサの動作タイミングを示す波形図。

【図14】本発明の第5の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すための図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図15】本発明の第6の実施の形態に係る低照度時のダイナミックレンジ拡大方法を示すための図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図16】本発明の第7の実施の形態に係る高照度時のダイナミックレンジ拡大方法を示すための図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図17】本発明の第7の実施の形態に係るCMOSイメージセンサの動作タイミングを示す波形図。

30

【図18】本発明の第7の実施の形態に係るフォトダイオードPDの信号電荷の蓄積について説明するための図。

【図19】本発明の第7の実施の形態に係る画素部のセルの断面図とポテンシャル図。

【図20】本発明の第7の実施の形態に係るWDM回路の動作を示すデジタル出力信号を示す図。

【図21】本発明の第7の実施の形態に係るWDC回路の概略構成を示すブロック図と動作を示す図。

【図22】本発明の第8の実施の形態に係る高照度時のダイナミックレンジ拡大方法を示すための図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図23】本発明の第8の実施の形態に係るCMOSイメージセンサの動作タイミングを示す波形図。

40

【図24】本発明の第9の実施の形態に係る低照度から高照度まで広範囲のダイナミックレンジ拡大方法を示す図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図25】本発明の第9の実施の形態に係るCMOSイメージセンサの動作タイミングを示す波形図。

【図26】本発明の第10の実施の形態に係るWDM回路の変形例を示す図。

【図27】本発明の第10の実施の形態に係る制御方法を示す図。

【図28】本発明の第11の実施の形態に係る低照度から高照度まで広範囲のダイナミックレンジ拡大方法を示す図であり、増幅型CMOSイメージセンサの概略構成を示すブ

50

ック図。

【図29】本発明の第11の実施の形態に係るCMOSイメージセンサの動作タイミングを示す波形図。

【図30】本発明の第11の実施の形態に係る制御方法を示す図。

【図31】本発明の第12の実施の形態に係る低照度から高照度まで広範囲のダイナミックレンジ拡大方法を示す図であり、増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図32】本発明の第12の実施の形態に係る制御方法を示す図。

【図33】本発明の第13の実施の形態に係る増幅型CMOSイメージセンサの概略構成を示すブロック図。

【図34】本発明の第13の実施の形態に係るCMOSイメージセンサの動作タイミングを示す波形図。

【図35】本発明の第14の実施の形態に係るCMOSイメージセンサの動作タイミングの変形例を示す波形図。

【符号の説明】

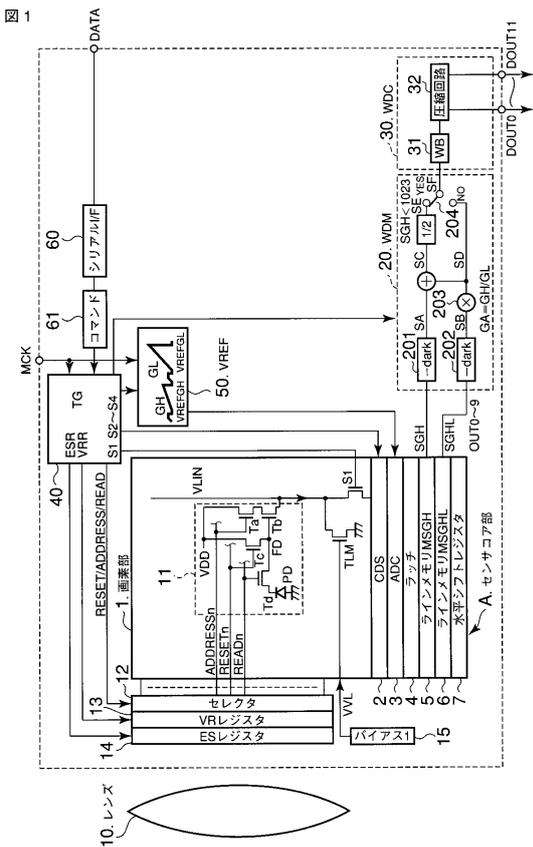
【0108】

A ... センサコア部 1 ... 画素部 2 ... カラム型ノイズキャンセル回路(CDS) 3 ... カラム型アナログデジタルコンバータ(ADC) 4 ... ラッチ回路 5, 6, 51, 8 ... ラインメモリ 7 ... 水平シフトレジスタ 10 ... レンズ 11 ... セル 12 ... パルスセレクタ回路(セレクタ) 13 ... 信号読み出し用の垂直レジスタ(VRレジスタ) 14 ... 蓄積時間制御用の垂直レジスタ(ESレジスタ) 15 ... バイアス発生回路 16 ... カラム増幅AMP 17 ... 蓄積時間制御用の垂直レジスタ(WDレジスタ) 20 ... ワイドダイナミックレンジミックス(WDM)回路 30 ... ワイドダイナミックレンジ圧縮(WDC)回路 40 ... タイミングジェネレータ(TG) 50 ... VREF発生回路 60 ... シリアルインターフェース(シリアルI/F) 61 ... コマンドデコーダ 70 ... パルス振幅制御回路

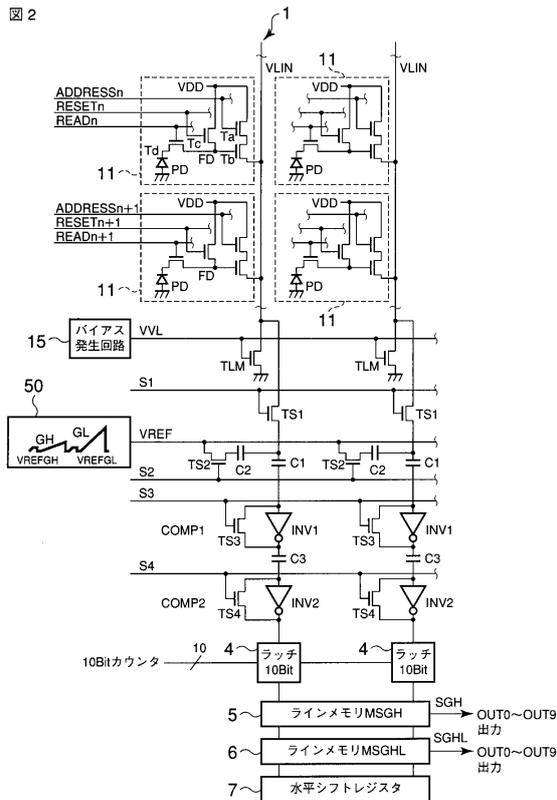
10

20

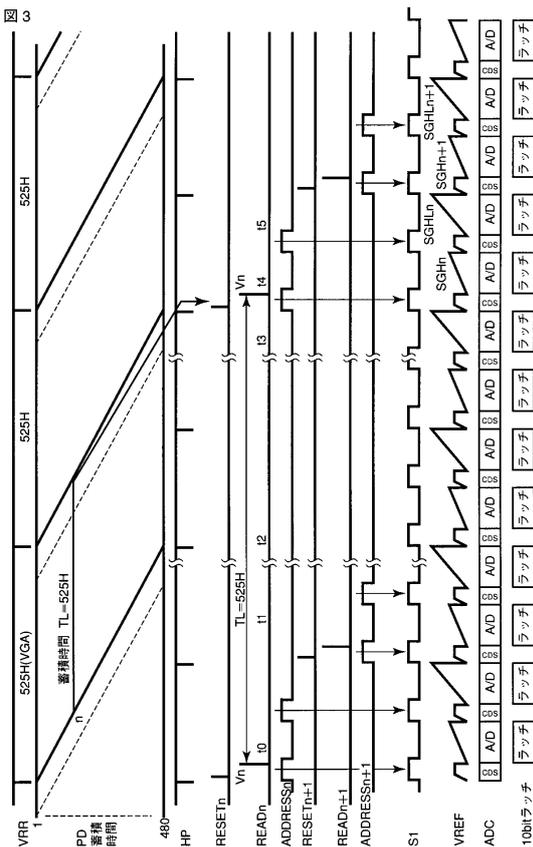
【図 1】



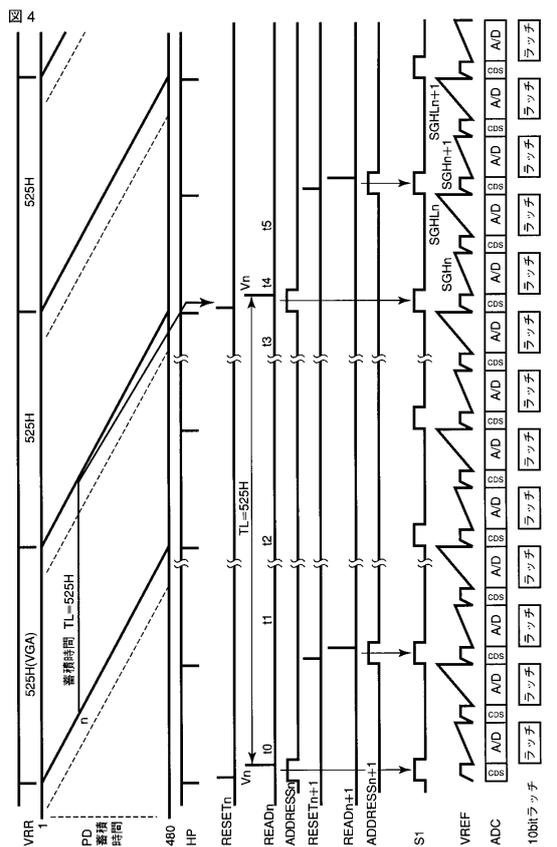
【図 2】



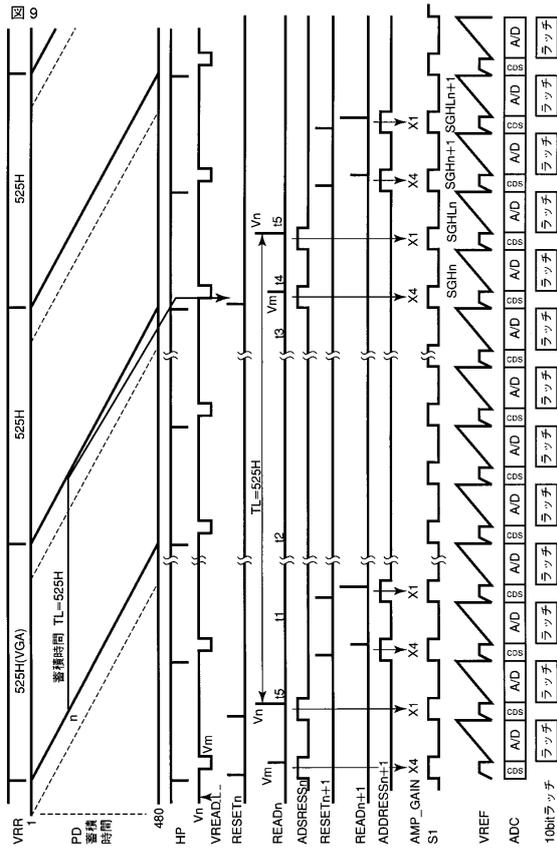
【図 3】



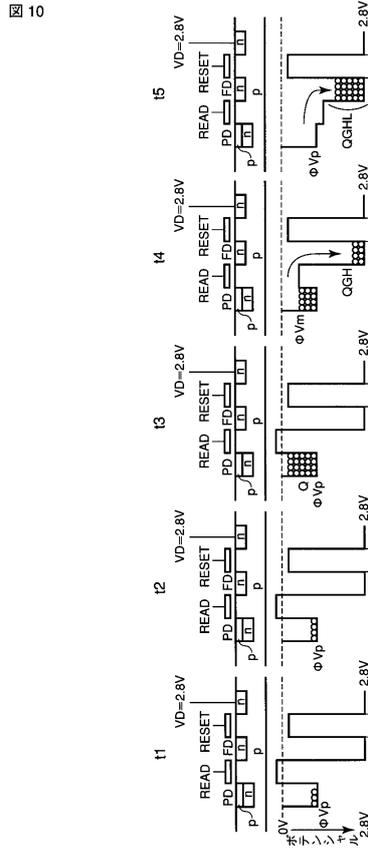
【図 4】



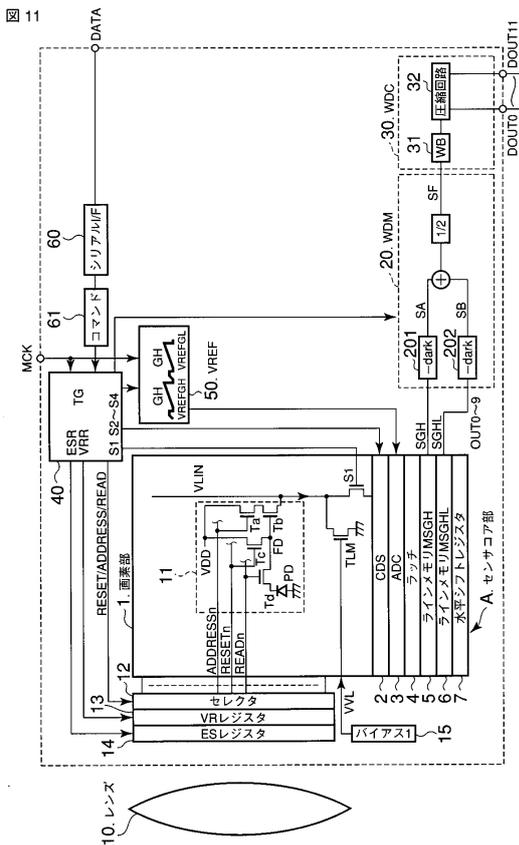
【図 9】



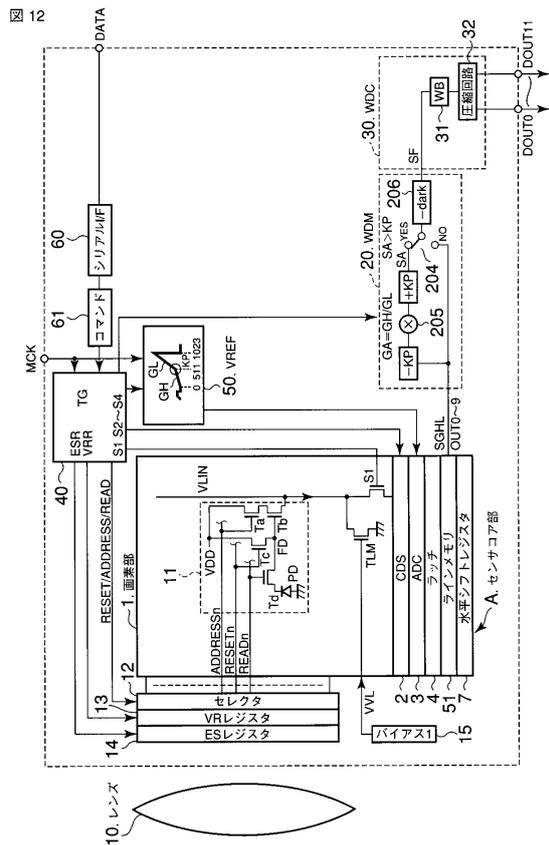
【図 10】



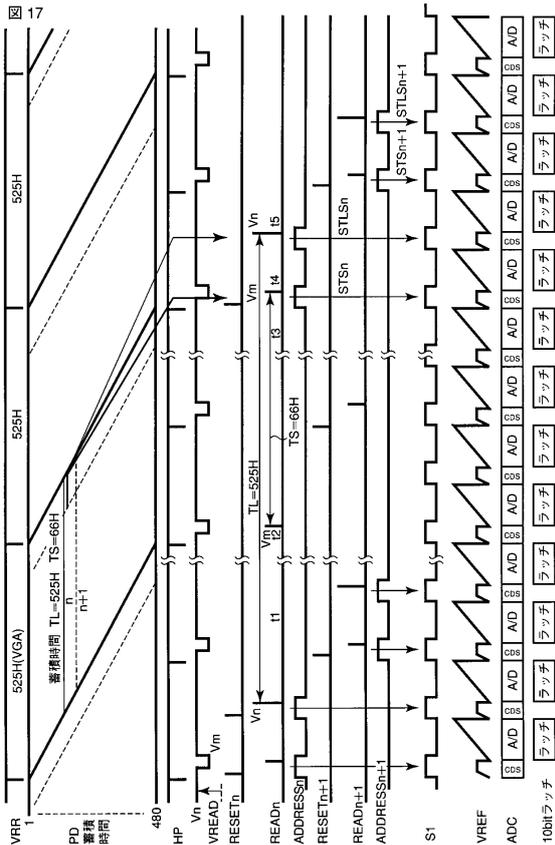
【図 11】



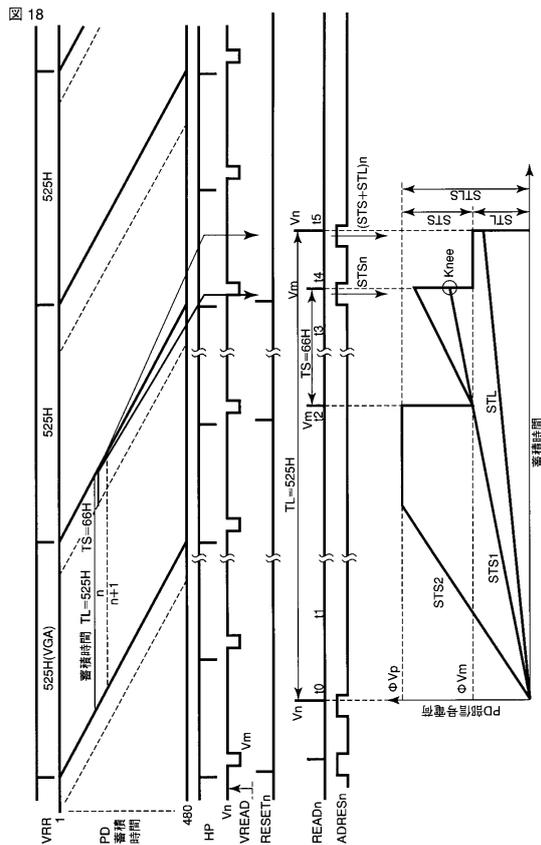
【図 12】



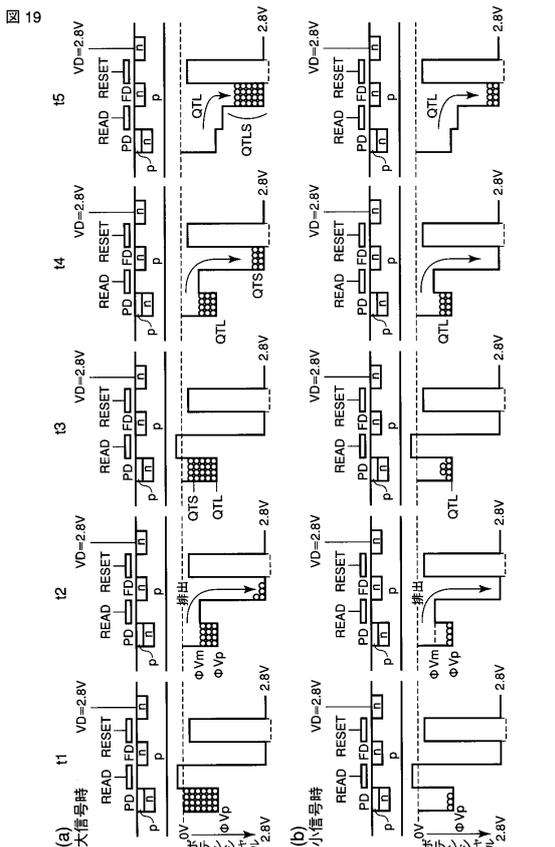
【 17 】



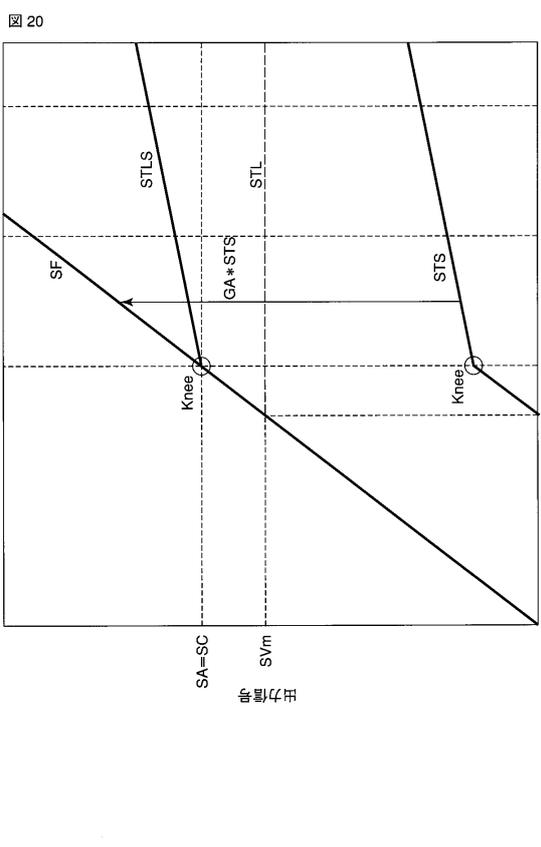
【 18 】



【 19 】

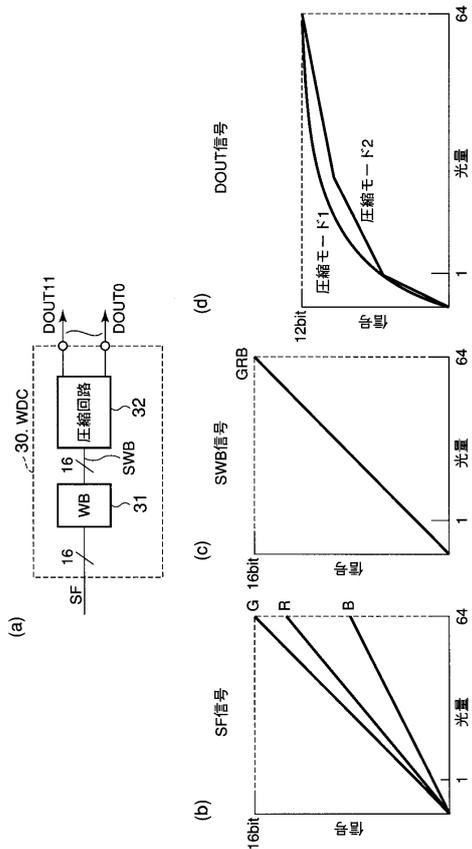


【 20 】



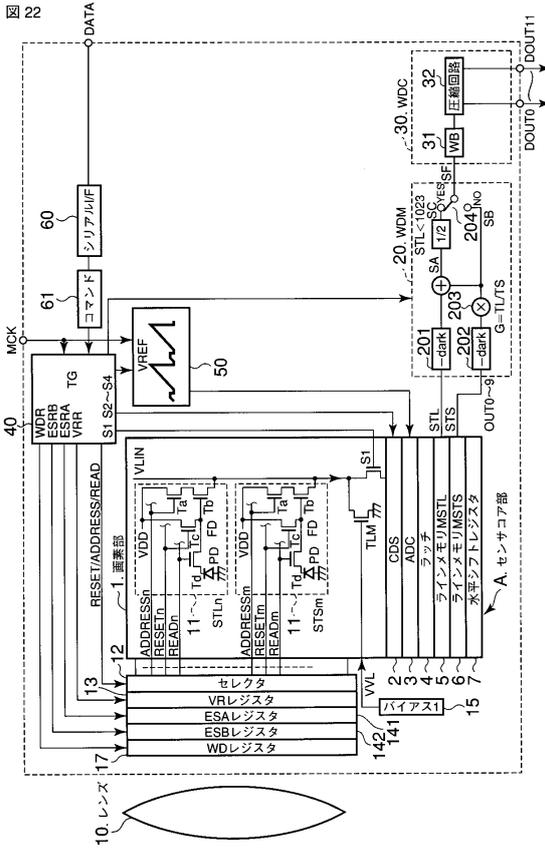
【 図 2 1 】

図 21



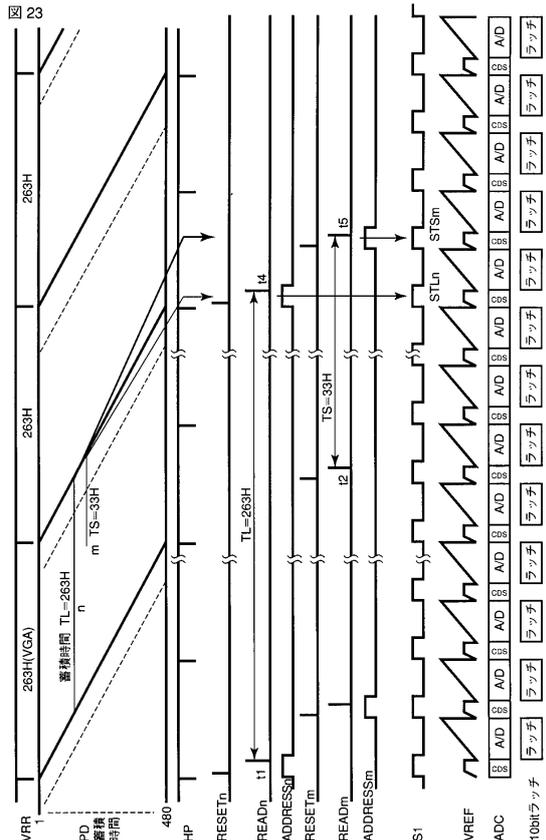
【 図 2 2 】

図 22



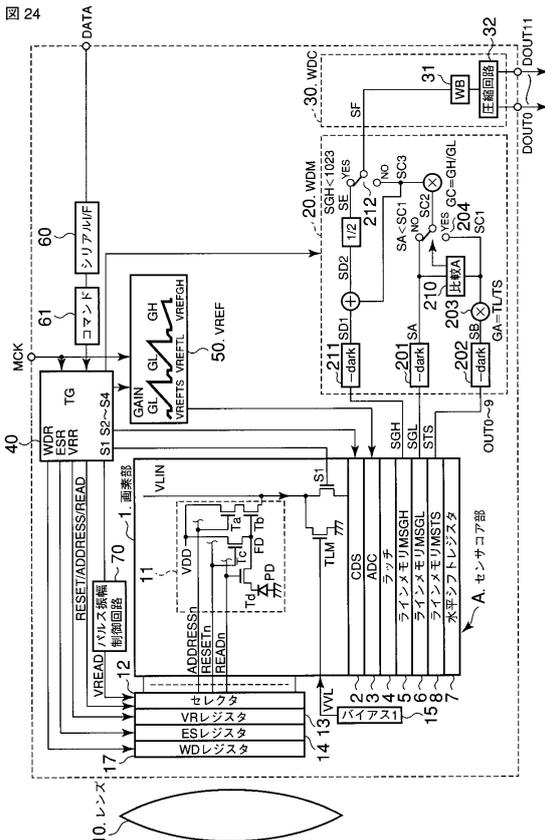
【 図 2 3 】

図 23

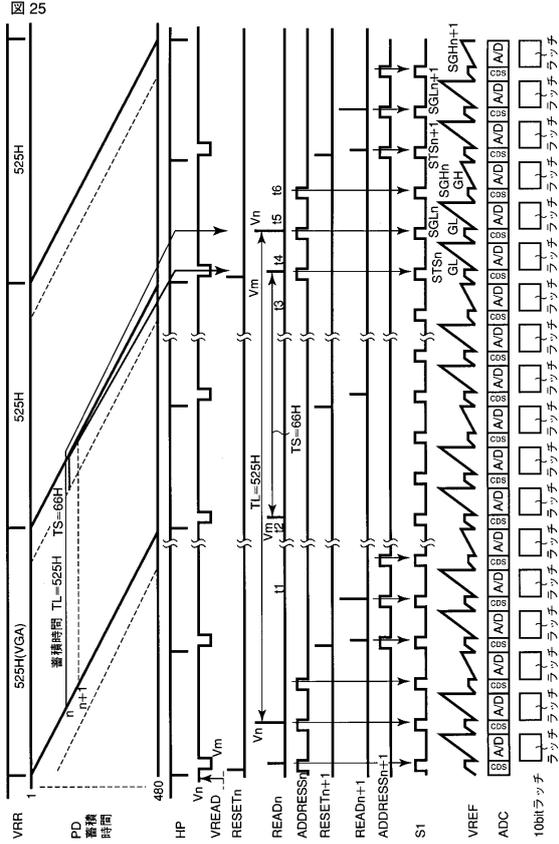


【 図 2 4 】

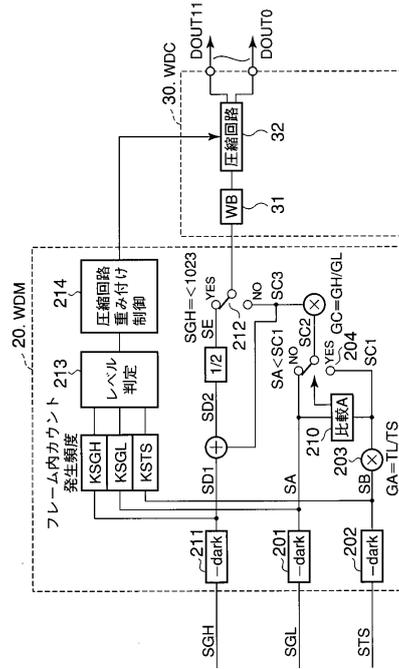
図 24



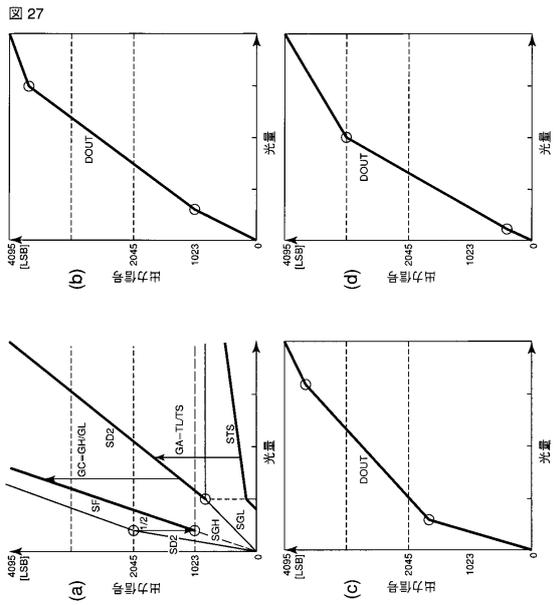
【 25 】



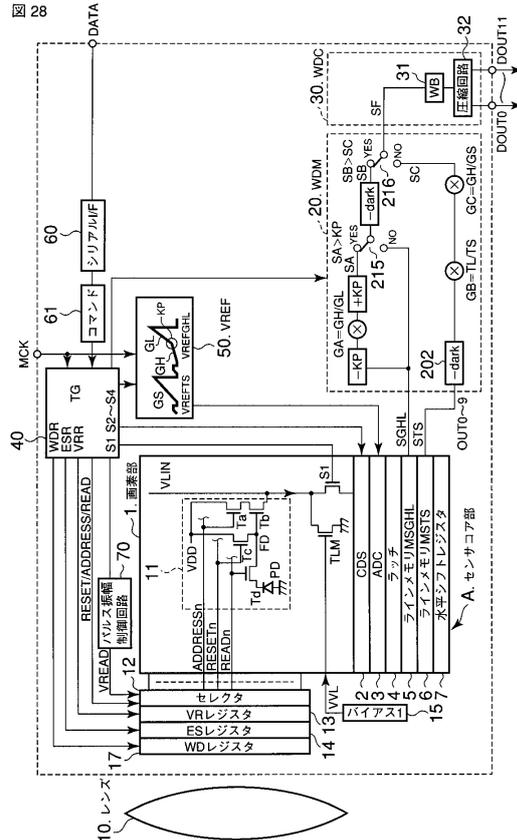
【 26 】



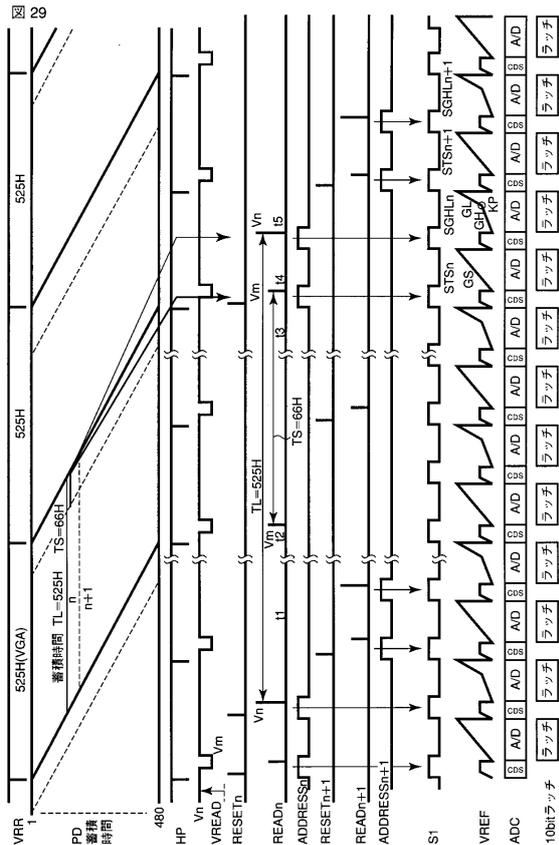
【 27 】



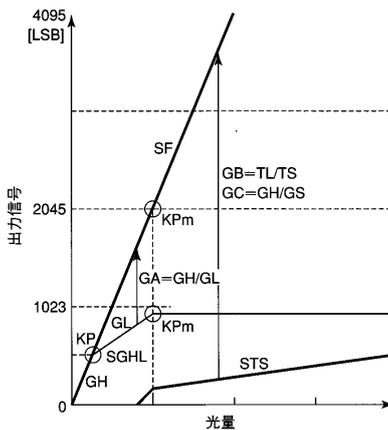
【 28 】



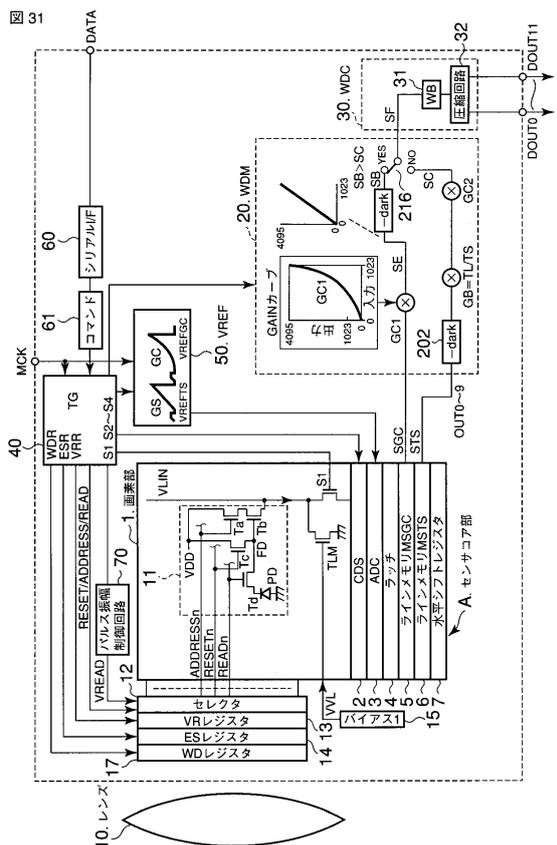
【図 29】



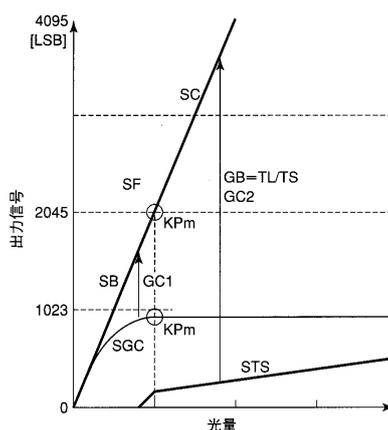
【図 30】



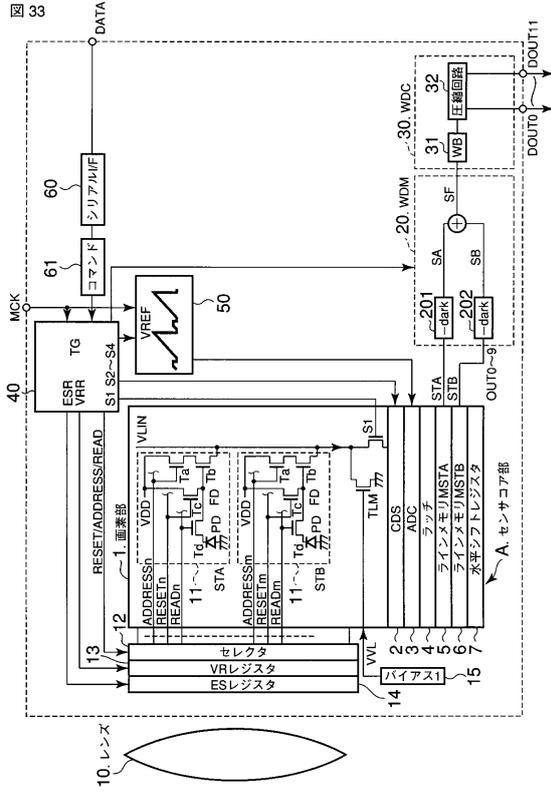
【図 31】



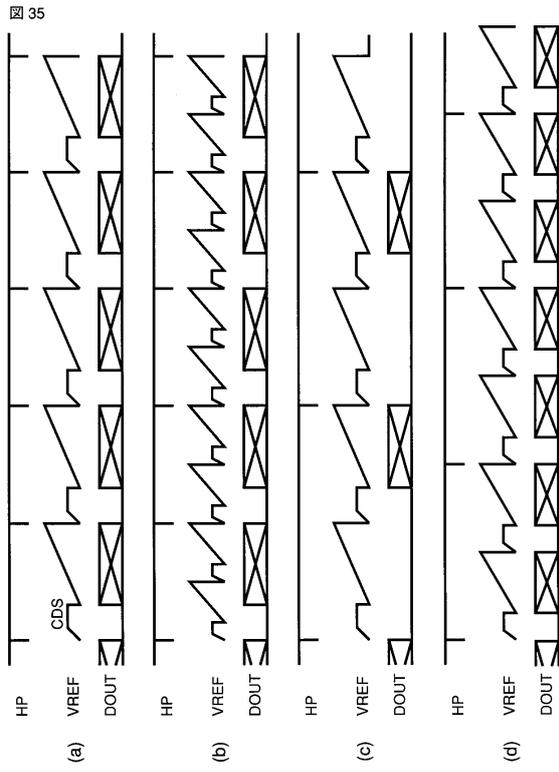
【図 32】



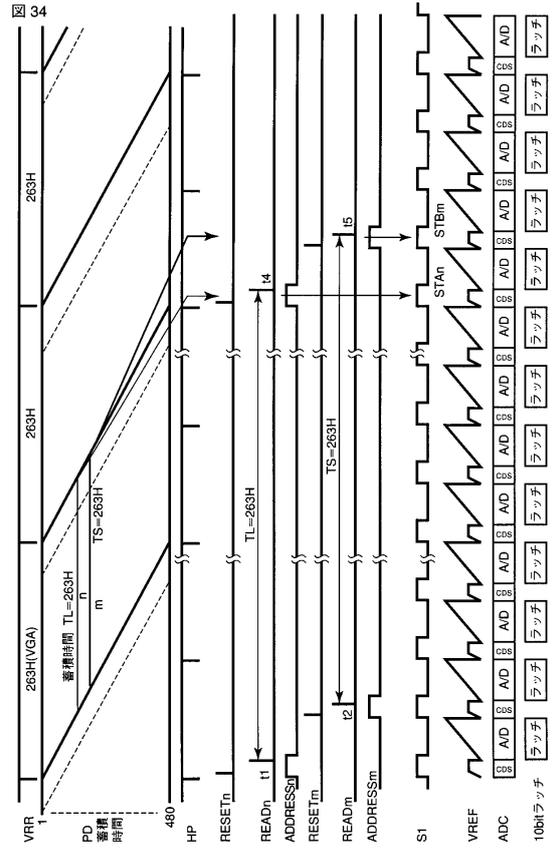
【 3 3 】



【 3 5 】



【 3 4 】



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 江川 佳孝

東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 若林 治男

(56)参考文献 特開2004-159274(JP,A)

特開2001-245213(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/378

H01L 27/146