



(12)发明专利申请

(10)申请公布号 CN 109860358 A

(43)申请公布日 2019.06.07

(21)申请号 201811419010.3

(22)申请日 2018.11.26

(71)申请人 华灿光电(浙江)有限公司

地址 322000 浙江省金华市义乌市苏溪镇
苏福路233号

(72)发明人 郭炳磊 王群 葛永晖 吕蒙普
胡加辉 李鹏

(74)专利代理机构 北京三高永信知识产权代理
有限责任公司 11138

代理人 徐立

(51)Int.Cl.

H01L 33/14(2010.01)

H01L 33/00(2010.01)

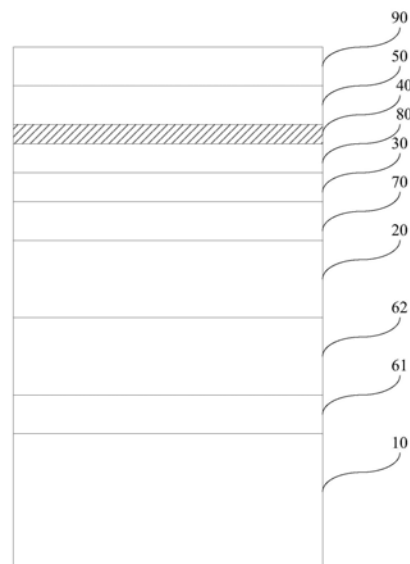
权利要求书1页 说明书7页 附图2页

(54)发明名称

一种氮化镓基发光二极管外延片及其制备方法

(57)摘要

本发明公开了一种氮化镓基发光二极管外延片及其制备方法,属于半导体技术领域。所述氮化镓基发光二极管外延片包括衬底、N型半导体层、有源层、电子阻挡层和P型半导体层,所述N型半导体层、所述有源层、所述电子阻挡层和所述P型半导体层依次层叠在所述衬底上;所述电子阻挡层包括至少一个复合层,所述复合层包括依次层叠的第一子层、第二子层和第三子层;所述第一子层为N型掺杂的GaN层,所述第二子层为未掺杂的AlGaN层,所述第三子层为P型掺杂的GaN层。本发明可以大大提高空穴的迁移率,有利于有源层中电子和空穴复合发光,最终提高LED的发光效率。



1. 一种氮化镓基发光二极管外延片,所述氮化镓基发光二极管外延片包括衬底、N型半导体层、有源层、电子阻挡层和P型半导体层,所述N型半导体层、所述有源层、所述电子阻挡层和所述P型半导体层依次层叠在所述衬底上;其特征在于,所述电子阻挡层包括至少一个复合层,所述复合层包括依次层叠的第一子层、第二子层和第三子层;所述第一子层为N型掺杂的GaN层,所述第二子层为未掺杂的AlGaIn层,所述第三子层为P型掺杂的GaIn层。

2. 根据权利要求1所述的氮化镓基发光二极管外延片,其特征在于,所述复合层的数量为5个~15个,多个所述复合层依次层叠。

3. 根据权利要求1或2所述的氮化镓基发光二极管外延片,其特征在于,所述第一子层中N型掺杂剂的掺杂浓度小于所述第三子层中P型掺杂剂的掺杂浓度。

4. 根据权利要求3所述的氮化镓基发光二极管外延片,其特征在于,所述第三子层中P型掺杂剂的掺杂浓度小于所述P型半导体层中P型掺杂剂的掺杂浓度。

5. 根据权利要求4所述的氮化镓基发光二极管外延片,其特征在于,所述第三子层中P型掺杂剂的掺杂浓度与所述P型半导体层中P型掺杂剂的掺杂浓度相差至少一个数量级。

6. 根据权利要求1或2所述的氮化镓基发光二极管外延片,其特征在于,所述第二子层中Al组分的含量小于所述第二子层中Ga组分的含量。

7. 根据权利要求1或2所述的氮化镓基发光二极管外延片,其特征在于,所述第一子层的厚度大于所述第二子层的厚度,所述第二子层的厚度小于所述第三子层的厚度。

8. 根据权利要求7所述的氮化镓基发光二极管外延片,其特征在于,所述第一子层的厚度为所述第二子层的厚度的2倍~3倍,所述第三子层的厚度与所述第一子层的厚度相等。

9. 一种氮化镓基发光二极管外延片的制备方法,其特征在于,所述制备方法包括:
提供一衬底;

在所述衬底上依次生长N型半导体层、有源层、电子阻挡层和P型半导体层;

其中,所述电子阻挡层包括至少一个复合层,所述复合层包括依次层叠的第一子层、第二子层和第三子层;所述第一子层为N型掺杂的GaIn层,所述第二子层为未掺杂的AlGaIn层,所述第三子层为P型掺杂的GaIn层。

10. 根据权利要求9所述的制备方法,其特征在于,所述第一子层的生长条件、所述第二子层的生长条件和所述第三子层的生长条件相同,所述生长条件包括生长温度和生长压力。

一种氮化镓基发光二极管外延片及其制备方法

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种氮化镓基发光二极管外延片及其制备方法。

背景技术

[0002] 发光二极管(英文:Light Emitting Diode,简称:LED)是一种能发光的半导体电子元件。氮化镓(GaN)具有良好的热导性能,同时具有耐高温、耐酸碱、高硬度等优良特性,使氮化镓(GaN)基LED受到越来越多的关注和研究。

[0003] 外延片是LED制备过程中的初级成品。现有的LED外延片包括衬底、N型半导体层、有源层和P型半导体层,N型半导体层、有源层和P型半导体层依次层叠在衬底上。衬底用于为外延材料提供生长表面,N型半导体层用于提供进行复合发光的电子,P型半导体层用于提供进行复合发光的空穴,有源层用于进行电子和空穴的辐射复合发光。

[0004] N型半导体提供的电子数量远大于P型半导体层的空穴数量,加上电子的体积远小于空穴的体积,导致注入有源层中的电子数量远大于空穴数量。为了避免N型半导体层提供的电子迁移到P型半导体层中与空穴进行非辐射复合,通常会在有源层和P型半导体层之间设置电子阻挡层,可以阻挡电子从有源层跃迁到P型半导体层。

[0005] 在实现本发明的过程中,发明人发现现有技术至少存在以下问题:

[0006] 电子阻挡层在阻挡电子从有源层跃迁到P型半导体层的同时,也会对P型半导体层提供的空穴注入有源层造成影响。而且空穴的体积比电子的体积大,空穴的移动比电子困难,因此空穴注入有源层比较困难,影响有源层中电子和空穴的复合发光,最终降低LED的发光效率。

发明内容

[0007] 本发明实施例提供了一种氮化镓基发光二极管外延片及其制备方法,能够解决现有技术空穴注入有源层比较困难,降低LED的发光效率的问题。所述技术方案如下:

[0008] 一方面,本发明实施例提供了一种氮化镓基发光二极管外延片,所述氮化镓基发光二极管外延片包括衬底、N型半导体层、有源层、电子阻挡层和P型半导体层,所述N型半导体层、所述有源层、所述电子阻挡层和所述P型半导体层依次层叠在所述衬底上;所述电子阻挡层包括至少一个复合层,所述复合层包括依次层叠的第一子层、第二子层和第三子层;所述第一子层为N型掺杂的GaN层,所述第二子层为未掺杂的AlGaN层,所述第三子层为P型掺杂的GaN层。

[0009] 可选地,所述复合层的数量为5个~15个,多个所述复合层依次层叠。

[0010] 可选地,所述第一子层中N型掺杂剂的掺杂浓度小于所述第三子层中P型掺杂剂的掺杂浓度。

[0011] 优选地,所述第三子层中P型掺杂剂的掺杂浓度小于所述P型半导体层中P型掺杂剂的掺杂浓度。

[0012] 更优选地,所述第三子层中P型掺杂剂的掺杂浓度与所述P型半导体层中P型掺杂剂的掺杂浓度相差至少一个数量级。

[0013] 可选地,所述第二子层中Al组分的含量小于所述第二子层中Ga组分的含量。

[0014] 可选地,所述第一子层的厚度大于所述第二子层的厚度,所述第二子层的厚度小于所述第三子层的厚度。

[0015] 优选地,所述第一子层的厚度为所述第二子层的厚度的2倍~3倍,所述第三子层的厚度与所述第一子层的厚度相等。

[0016] 另一方面,本发明实施例提供了一种氮化镓基发光二极管外延片的制备方法,所述制备方法包括:

[0017] 提供一衬底;

[0018] 在所述衬底上依次生长N型半导体层、有源层、电子阻挡层和P型半导体层;

[0019] 其中,所述电子阻挡层包括至少一个复合层,所述复合层包括依次层叠的第一子层、第二子层和第三子层;所述第一子层为N型掺杂的Ga_{0.9}N_{0.1}层,所述第二子层为未掺杂的AlGa_{0.3}N_{0.7}层,所述第三子层为P型掺杂的Ga_{0.9}N_{0.1}层。

[0020] 可选地,所述第一子层的生长条件、所述第二子层的生长条件和所述第三子层的生长条件相同,所述生长条件包括生长温度和生长压力。

[0021] 本发明实施例提供的技术方案带来的有益效果是:

[0022] 通过在AlGa_{0.3}N_{0.7}层的两侧分别设置N型掺杂的Ga_{0.9}N_{0.1}层和P型掺杂的Ga_{0.9}N_{0.1}层,Ga_{0.9}N_{0.1}层和AlGa_{0.3}N_{0.7}层的交界面存在二维电子气和二维空穴气,可以促进电子和空穴的横向扩展,使得电子和空穴在电子阻挡层中均匀分布。同时AlGa_{0.3}N_{0.7}层的势垒较高,可以有效阻挡电子从有源层跃迁到空穴提供层,不会对空穴形成阻挡作用,P型半导体层提供的空穴在二维空穴气的促进下更容易注入有源层,从而大大提高空穴的迁移率,有利于有源层中电子和空穴复合发光,最终提高LED的发光效率。

附图说明

[0023] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1是本发明实施例提供的一种氮化镓基发光二极管外延片的结构示意图;

[0025] 图2是本发明实施例提供的复合层的结构示意图;

[0026] 图3是本发明实施例提供的一种氮化镓基发光二极管外延片的制备方法的流程图。

具体实施方式

[0027] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明实施方式作进一步地详细描述。

[0028] 本发明实施例提供了一种氮化镓基发光二极管外延片。图1为本发明实施例提供的一种氮化镓基发光二极管外延片的结构示意图。参见图1,该氮化镓基发光二极管外延片

包括衬底10、N型半导体层20、有源层30、电子阻挡层40和P型半导体层50，N型半导体层20、有源层30、电子阻挡层40和P型半导体层50依次层叠在衬底10上。

[0029] 在本实施例中，电子阻挡层40包括至少一个复合层。图2为本发明实施例提供的复合层的结构示意图。参见图2，复合层包括依次层叠的第一子层41、第二子层42和第三子层43；第一子层41为N型掺杂的GaN层，第二子层42为未掺杂的AlGaN层，第三子层43为P型掺杂的GaN层。

[0030] 本发明实施例通过在AlGaN层的两侧分别设置N型掺杂的GaN层和P型掺杂的GaN层，GaN层和AlGaN层的交界面存在二维电子气和二维空穴气，可以促进电子和空穴的横向扩展，使得电子和空穴在电子阻挡层中均匀分布。同时AlGaN层的势垒较高，可以有效阻挡电子从有源层跃迁到空穴提供层，但不会对空穴形成阻挡作用，P型半导体层提供的空穴在二维空穴气的促进下更容易注入有源层，从而大大提高空穴的迁移率，有利于有源层中电子和空穴复合发光，最终提高LED的发光效率。

[0031] 而且AlGaN层可以阻挡位错和缺陷的延伸，电子阻挡层的晶体质量较好，改善由于缺陷积累而造成的翘曲，避免电子阻挡层中较多的缺陷会影响到空穴的扩展。

[0032] 另外，N型掺杂的GaN层和P型掺杂的GaN层都存在载流子，可以降低电子阻挡层的串联电阻，降低LED的工作电压。

[0033] 具体地，第一子层41可以为掺杂Si的GaN层或者掺杂Ge的GaN层，第三子层43可以为掺杂Mg的GaN层。当第一子层为掺杂Ge的GaN层时，晶格匹配度较好，可以改善整体的晶体质量。

[0034] 可选地，复合层的数量可以为5个~15个，如10个，多个复合层依次层叠。多个复合层依次层叠，可以增强电子阻挡和空穴扩展效果，同时超晶格结构可以减小位错和缺陷，提高整体的晶体质量。需要说明的是，多个复合层依次层叠时，虽然N型掺杂的GaN层会与P型掺杂的GaN层直接接触，N型掺杂的GaN层提供有电子，P型掺杂的GaN层提供有空穴，但是N型掺杂的GaN层与AlGaN层的交界面均存在二维电子气，P型掺杂的GaN层与AlGaN层的交界面均存在二维空穴气，二维电子气和二维空穴气可以避免N型掺杂的GaN层提供的电子和P型掺杂的GaN层提供的空穴直接进行非辐射复合。

[0035] 可选地，第一子层41的厚度可以大于第二子层42的厚度，第二子层42的厚度可以小于第三子层43的厚度。第一子层和第三子层的厚度较大，有利于保持整体的GaN晶体结构，整体的晶体质量较好。

[0036] 优选地，第一子层41的厚度可以为第二子层42的厚度的2倍~3倍，第三子层43的厚度可以与第一子层41的厚度相等。在保持整体的GaN晶体结构的情况下，一方面有效阻挡电子跃迁到P型半导体层中，另一方面有效促进空穴扩展和注入有源层中。

[0037] 具体地，电子阻挡层40的厚度可以为20nm~100nm，如85nm。第一子层41的厚度可以为2nm~8nm，如5nm。第二子层42的厚度可以为1nm~4nm，如3nm。第三子层43的厚度可以为2nm~8nm，如5nm。

[0038] 可选地，第一子层41中N型掺杂剂的掺杂浓度可以小于第三子层43中P型掺杂剂的掺杂浓度。复合层整体可以呈现提供空穴的状态，避免对P型半导体层向有源层提供空穴造成负影响。

[0039] 优选地，第三子层43中P型掺杂剂的掺杂浓度可以小于P型半导体层50中P型掺杂

剂的掺杂浓度。复合层整体的掺杂浓度低于P型半导体层的掺杂浓度,避免杂质太多对P型半导体层的晶体质量造成负影响。

[0040] 更优选地,第三子层43中P型掺杂剂的掺杂浓度可以与P型半导体层50中P型掺杂剂的掺杂浓度相差至少一个数量级,实现效果好。例如,第三子层43中P型掺杂剂的掺杂浓度为 $10^{17}/\text{cm}^3$,P型半导体层50中P型掺杂剂的掺杂浓度为 $10^{19}/\text{cm}^3$,则第三子层43中P型掺杂剂的掺杂浓度与P型半导体层50中P型掺杂剂的掺杂浓度相差两个数量级。

[0041] 具体地,第一子层41中N型掺杂剂的掺杂浓度可以为 $5 \times 10^{15}/\text{cm}^3 \sim 6 \times 10^{17}/\text{cm}^3$,如 $5 \times 10^{16}/\text{cm}^3$ 。第三子层43中P型掺杂剂的掺杂浓度可以为 $5 \times 10^{16}/\text{cm}^3 \sim 6 \times 10^{17}/\text{cm}^3$,如 $10^{17}/\text{cm}^3$ 。P型半导体层50中P型掺杂剂的掺杂浓度可以为 $10^{18}/\text{cm}^3 \sim 10^{20}/\text{cm}^3$,如 $10^{19}/\text{cm}^3$ 。

[0042] 可选地,第二子层42中Al组分的含量可以小于第二子层42中Ga组分的含量。第二子层整体维持GaN的晶体结构,与第一子层和第三子层的晶体匹配度较高。

[0043] 具体地,第二子层42可以为 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 层, $0.04 < x < 0.45$ 。

[0044] 具体地,衬底10的材料可以采用蓝宝石(主要材料为三氧化二铝),如晶向为[0001]的蓝宝石。N型半导体层20的材料可以采用N型掺杂(如硅或者锗)的氮化镓。有源层30可以包括多个量子阱和多个量子垒,多个量子阱和多个量子垒交替层叠设置;量子阱的材料可以采用氮化铟镓(InGaN),如 $\text{In}_y\text{Ga}_{1-y}\text{N}$, $0 < y < 1$,量子垒的材料可以采用氮化镓。P型半导体层50的材料可以采用P型掺杂(如镁)的氮化镓。

[0045] 进一步地,N型半导体层20的厚度可以为 $1\mu\text{m} \sim 5\mu\text{m}$,优选为 $3\mu\text{m}$;N型半导体层20中N型掺杂剂的掺杂浓度可以为 $10^{18}/\text{cm}^3 \sim 10^{20}/\text{cm}^3$,优选为 $10^{19}/\text{cm}^3$ 。量子阱的厚度可以为 $3\text{nm} \sim 4\text{nm}$,优选为 3.5nm ;量子垒的厚度可以为 $9\text{nm} \sim 20\text{nm}$,优选为 15nm ;量子阱的数量与量子垒的数量相同,量子垒的数量可以为5个 \sim 11个,优选为8个。P型半导体层50的厚度可以为 $100\text{nm} \sim 800\text{nm}$,优选为 450nm ;P型半导体层50中P型掺杂剂的掺杂浓度可以为 $10^{18}/\text{cm}^3 \sim 10^{20}/\text{cm}^3$,优选为 $10^{19}/\text{cm}^3$ 。

[0046] 可选地,如图1所示,该氮化镓基发光二极管外延片还可以包括缓冲层61,缓冲层61设置在衬底10和N型半导体层20之间,以缓解衬底材料与氮化镓之间晶格失配产生的应力和缺陷,并为氮化镓材料外延生长提供成核中心。

[0047] 具体地,缓冲层61的材料可以采用氮化镓。

[0048] 进一步地,缓冲层61的厚度可以为 $15\text{nm} \sim 35\text{nm}$,优选为 25nm 。

[0049] 优选地,如图1所示,该氮化镓基发光二极管外延片还可以包括未掺杂氮化镓层62,未掺杂氮化镓层62设置在缓冲层61和N型半导体层20之间,以进一步缓解衬底材料与氮化镓之间晶格失配产生的应力和缺陷,为外延片主体结构提供晶体质量较好的生长表面。

[0050] 在具体实现时,缓冲层为首先在图形化衬底上低温生长的一层较薄的氮化镓,因此也称为低温缓冲层。再在低温缓冲层进行氮化镓的纵向生长,会形成多个相互独立的三维岛状结构,称为三维成核层;然后在所有三维岛状结构上和各个三维岛状结构之间进行氮化镓的横向生长,形成二维平面结构,称为二维恢复层;最后在二维生长层上高温生长一层较厚的氮化镓,称为本征氮化镓层。本实施例中将三维成核层、二维恢复层和本征氮化镓层统称为未掺杂氮化镓层。

[0051] 进一步地,未掺杂氮化镓层62的厚度可以为 $1\mu\text{m} \sim 5\mu\text{m}$,优选为 $3\mu\text{m}$ 。

[0052] 可选地,如图1所示,该氮化镓基发光二极管外延片还可以包括应力释放层70,应

力释放层70设置在N型半导体层20和有源层30之间,以对蓝宝石和氮化镓之间晶格失配产生的应力进行释放,提高有源层的晶体质量,有利于电子和空穴在有源层进行辐射复合发光,提高LED的内量子效率,进而提高LED的发光效率。

[0053] 具体地,应力释放层70的材料可以采用镓铟铝氮(AlInGaN),可以有效释放蓝宝石和氮化镓晶格失配产生的应力,改善外延片的晶体质量,提高LED的发光效率。

[0054] 优选地,应力释放层70中铝组分的摩尔含量可以小于或等于0.2,应力释放层70中铟组分的摩尔含量可以小于或等于0.05,以避免造成不良影响。

[0055] 进一步地,应力释放层70的厚度可以为50nm~500nm,优选为300nm。

[0056] 可选地,如图1所示,该氮化镓基发光二极管外延片还可以包括低温P型层80,低温P型层80设置在有源层30和电子阻挡层40之间,以避免电子阻挡层较高的生长温度造成有源层中的铟原子析出,影响发光二极管的发光效率。

[0057] 具体地,低温P型层80的材料可以为与P型半导体层50的材料相同。在本实施例中,低温P型层80的材料可以为P型掺杂的氮化镓。

[0058] 进一步地,低温P型层80的厚度可以为10nm~50nm,优选为30nm;低温P型层80中P型掺杂剂的掺杂浓度可以为 $10^{18}/\text{cm}^3 \sim 10^{20}/\text{cm}^3$,优选为 $10^{19}/\text{cm}^3$ 。

[0059] 可选地,如图1所示,该氮化镓基发光二极管外延片还可以包括接触层90,接触层90设置在P型半导体层50上,以与芯片制作工艺中形成的电极或者透明导电薄膜之间形成欧姆接触。

[0060] 具体地,接触层90的材料可以采用P型掺杂的氮化铟镓或者氮化镓。

[0061] 进一步地,接触层90的厚度可以为5nm~300nm,优选为100nm;接触层90中P型掺杂剂的掺杂浓度可以为 $10^{21}/\text{cm}^3 \sim 10^{22}/\text{cm}^3$,优选为 $5 \times 10^{21}/\text{cm}^3$ 。

[0062] 本发明实施例提供了一种氮化镓基发光二极管外延片的制备方法,适用于制备图1所示的氮化镓基发光二极管外延片。图3为本发明实施例提供的一种氮化镓基发光二极管外延片的制备方法的流程图。参见图3,该制备方法包括:

[0063] 步骤201:提供一衬底。

[0064] 可选地,该步骤201可以包括:

[0065] 控制温度为 $1000^\circ\text{C} \sim 1200^\circ\text{C}$ (优选为 1100°C),在氢气气氛中对衬底进行6分钟~10分钟(优选为8分钟)退火处理;

[0066] 对衬底进行氮化处理。

[0067] 通过上述步骤清洁衬底的表面,避免杂质掺入外延片中,有利于提高外延片的生长质量。

[0068] 步骤202:在衬底上依次生长N型半导体层、有源层、电子阻挡层和P型半导体层。

[0069] 其中,电子阻挡层包括至少一个复合层,复合层包括依次层叠的第一子层、第二子层和第三子层;第一子层为N型掺杂的GaN层,第二子层为未掺杂的AlGaN层,第三子层为P型掺杂的GaN层。

[0070] 可选地,第一子层的生长条件、第二子层的生长条件和第三子层的生长条件可以相同,生长条件包括生长温度和生长压力。采用相同的生长条件,实现更为简单方便。

[0071] 优选地,电子阻挡层的生长温度可以为 $850^\circ\text{C} \sim 1080^\circ\text{C}$,如 960°C ;电子阻挡层的生长压力可以为200torr~500torr,如350torr。

- [0072] 具体地,该步骤202可以包括:
- [0073] 第一步,控制温度为1000℃~1200℃(优选为1100℃),压力为100torr~500torr(优选为300torr),在衬底上生长N型半导体层;
- [0074] 第二步,在N型半导体层上生长有源层;量子阱的生长温度为720℃~829℃(优选为760℃),量子阱的生长压力为100torr~500torr(优选为300torr);量子垒的生长温度为850℃~959℃(优选为900℃),量子垒的生长压力为100torr~500torr(优选为300torr);
- [0075] 第三步,在有源层上生长电子阻挡层;
- [0076] 第四步,控制温度为850℃~1080℃(优选为960℃),压力为100torr~300torr(优选为200torr),在电子阻挡层上生长P型半导体层。
- [0077] 可选地,在第一步之前,该制备方法还可以包括:
- [0078] 在衬底上生长缓冲层。
- [0079] 相应地,N型半导体层生长在缓冲层上。
- [0080] 具体地,在衬底上生长缓冲层,可以包括:
- [0081] 控制温度为400℃~600℃(优选为500℃),压力为400torr~600torr(优选为500torr),在衬底上生长缓冲层;
- [0082] 控制温度为1000℃~1200℃(优选为1100℃),压力为400torr~600torr(优选为500torr),对缓冲层进行5分钟~10分钟(优选为8分钟)的原位退火处理。
- [0083] 优选地,在衬底上生长缓冲层之后,该制备方法还可以包括:
- [0084] 在缓冲层上生长未掺杂氮化镓层。
- [0085] 相应地,N型半导体层生长在未掺杂氮化镓层上。
- [0086] 具体地,在缓冲层上生长未掺杂氮化镓层,可以包括:
- [0087] 控制温度为1000℃~1100℃(优选为1050℃),压力为100torr~500torr(优选为300torr),在缓冲层上生长未掺杂氮化镓层。
- [0088] 可选地,在第二步之前,该制备方法还可以包括:
- [0089] 在N型半导体层上生长应力释放层。
- [0090] 相应地,有源层生长在应力释放层上。
- [0091] 具体地,在N型半导体层上生长应力释放层,可以包括:
- [0092] 控制温度为800℃~1100℃(优选为950℃),压力为100torr~500torr(优选为300torr),在N型半导体层上生长应力释放层。
- [0093] 可选地,在第三步之前,该制备方法还可以包括:
- [0094] 在有源层上生长低温P型层。
- [0095] 相应地,电子阻挡层生长在低温P型层上。
- [0096] 具体地,在有源层上生长低温P型层,可以包括:
- [0097] 控制温度为600℃~850℃(优选为750℃),压力为100torr~600torr(优选为300torr),在有源层上生长低温P型层。
- [0098] 可选地,在第四步之后,该制备方法还可以包括:
- [0099] 在P型半导体层上生长接触层。
- [0100] 具体地,在P型半导体层上生长接触层,可以包括:
- [0101] 控制温度为850℃~1050℃(优选为950℃),压力为100torr~300torr(优选为

200torr),在P型半导体层上生长接触层。

[0102] 需要说明的是,在上述外延生长结束之后,会先将温度降低至650℃~850℃(优选为750℃),在氮气气氛中对外延片进行5分钟~15分钟(优选为10分钟)的退火处理,然后再将外延片的温度降低至室温。

[0103] 控制温度、压力均是指控制生长外延片的反应腔中的温度、压力,具体为金属有机化合物化学气相沉淀(英文: Metal-organic Chemical Vapor Deposition,简称: MOCVD) 设备的反应腔。实现时以三甲基镓或三乙基镓作为镓源,高纯氨气作为氮源,三甲基镱作为镱源,三甲基铝作为铝源,硅烷作为硅源,四甲基锗作为锗源,二茂镁作为镁源。

[0104] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

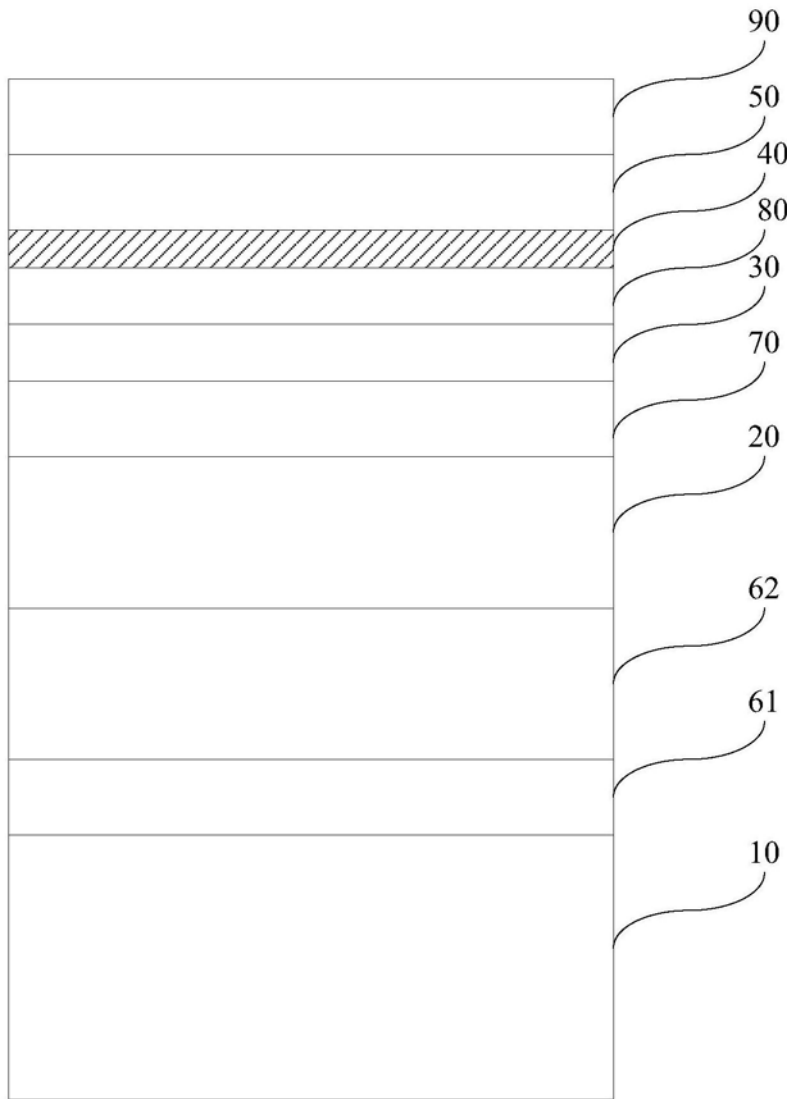


图1

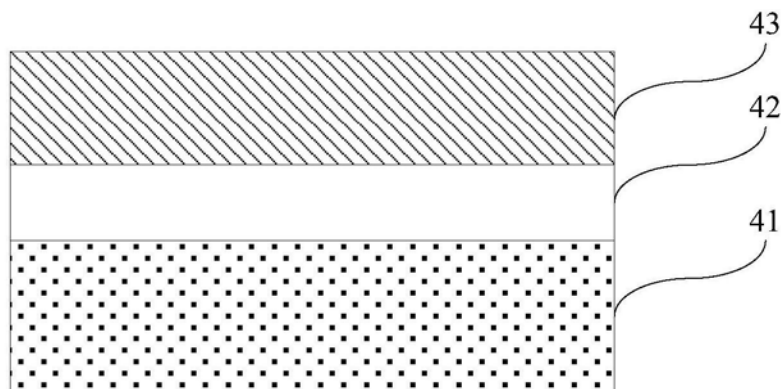


图2

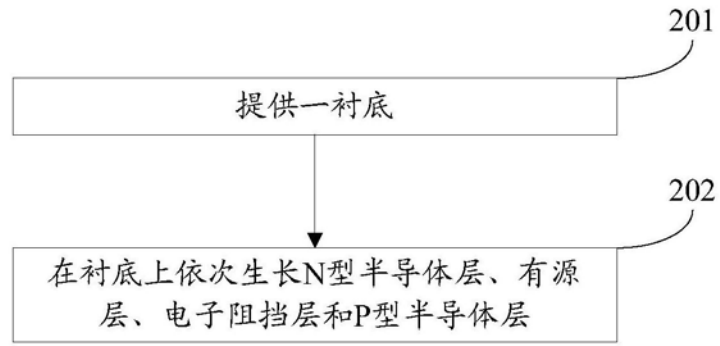


图3