

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7174932号  
(P7174932)

(45)発行日 令和4年11月18日(2022.11.18)

(24)登録日 令和4年11月10日(2022.11.10)

(51)国際特許分類	F I
H 0 1 L 27/146(2006.01)	H 0 1 L 27/146 A
H 0 4 N 5/355(2011.01)	H 0 4 N 5/355 6 3 0
H 0 4 N 5/374(2011.01)	H 0 4 N 5/374
H 0 1 L 31/10 (2006.01)	H 0 1 L 31/10 A

請求項の数 14 (全19頁)

(21)出願番号	特願2018-57288(P2018-57288)	(73)特許権者	314012076 パナソニックIPマネジメント株式会社 大阪府大阪市中央区域見2丁目1番61号
(22)出願日	平成30年3月23日(2018.3.23)	(74)代理人	100109210 弁理士 新居 広守
(65)公開番号	特開2019-169643(P2019-169643 A)	(74)代理人	100137235 弁理士 寺谷 英作
(43)公開日	令和1年10月3日(2019.10.3)	(74)代理人	100131417 弁理士 道坂 伸一
審査請求日	令和2年10月23日(2020.10.23)	(72)発明者	坂田 祐輔 大阪府門真市大字門真1006番地 パナソニック株式会社内
		(72)発明者	森 三佳 大阪府門真市大字門真1006番地 パナソニック株式会社内

最終頁に続く

(54)【発明の名称】 固体撮像素子

(57)【特許請求の範囲】

【請求項1】

上面に光が入射する半導体基板と、  
 第一導電型の第一半導体層、及び、前記第一半導体層の下に位置する前記第一導電型と異なる第二導電型の第二半導体層を含む、前記半導体基板内に形成された第一光電変換部と、  
 前記第一導電型の第三半導体層を含む、前記半導体基板内に形成された第二光電変換部と、  
 前記第一光電変換部、及び、前記第二光電変換部の間に位置する、前記第一導電型の部分を含む第一ウェルと、  
 前記第一光電変換部に対して前記第二光電変換部の反対側に位置する、前記第一導電型の部分を含む第二ウェルと、  
 前記第一光電変換部、前記第二光電変換部、前記第一ウェル、及び、前記第二ウェルのそれぞれに隣接し、それぞれを電氣的に分離するために設けられた、前記第二導電型の分離領域と、  
 前記第一ウェル上に配置された第一のトランジスタと、  
 前記第二ウェル上に配置された第二のトランジスタとを備え、  
 前記第一光電変換部と、前記第一のトランジスタのソースとは、配線を介して電氣的に接続され、  
 前記第二光電変換部と、前記第二のトランジスタのソースとは、配線を介して電氣的に

接続され、

前記半導体基板に逆バイアス電圧を印加した状態において、

前記第一光電変換部に形成される電界は前記第二光電変換部に形成される電界よりも大きく、

前記第一半導体層、及び、前記第二半導体層の境界部には、アバランシェ増倍によって電荷が増倍される電荷増倍領域が含まれ、

前記分離領域は空乏化している

固体撮像素子。

【請求項 2】

前記境界部は、前記半導体基板の厚み方向において前記第一ウェルよりも下方に位置する請求項 1 に記載の固体撮像素子。 10

【請求項 3】

前記第二半導体層の一部は、前記第一ウェルの下方に位置する請求項 1 または 2 に記載の固体撮像素子。

【請求項 4】

前記第二半導体層の一部は、前記第三半導体層の下方に位置する請求項 3 に記載の固体撮像素子。

【請求項 5】

前記第一のトランジスタのチャネルは、前記第一導電型である請求項 1 ~ 4 のいずれか 1 項に記載の固体撮像素子。 20

【請求項 6】

前記固体撮像素子は、さらに、前記第一光電変換部に印加される電圧を制限するための保護素子を備える

請求項 1 ~ 4 のいずれか 1 項に記載の固体撮像素子。

【請求項 7】

前記保護素子は、第三のトランジスタであり、

前記第三のトランジスタのチャネルは、前記半導体基板と同じ導電型であり、

前記第三のトランジスタのゲートは、平面視において前記半導体基板の上面のうち前記第一半導体層及び前記第一ウェルの間の部分に位置し、

前記保護素子のソース及びドレインのいずれかは、前記第一ウェルと同電位である 30

請求項 6 に記載の固体撮像素子。

【請求項 8】

前記第一ウェル上には、前記第一のトランジスタを含む前記第一光電変換部から出力される信号を読み出す第一画素回路が配置され、

前記第二ウェル上には、前記第二のトランジスタを含む前記第二光電変換部から出力される信号を読み出す第二画素回路が配置され、

前記第一ウェル及び前記第二ウェルは、電気的に分離されており、

前記第一ウェルと前記第二ウェルとは異なる電位であり、

前記第一光電変換部のリセット電圧は、前記第二光電変換部のリセット電圧よりも前記半導体基板に印加される電圧との差分が大きい 40

請求項 1 ~ 7 のいずれか 1 項に記載の固体撮像素子。

【請求項 9】

平面視において、前記第一光電変換部及び前記第二光電変換部は、第一方向において隣り合い、

前記固体撮像素子は、さらに、平面視において、前記第一方向と交差する第二方向における前記第一光電変換部の隣に位置する別の第一光電変換部を備え、

前記第一ウェルは、平面視において前記第二方向に延伸し、

前記第一ウェル上には、前記第一光電変換部から出力される信号を読み出す画素回路、及び、前記別の第一光電変換部から出力される信号を読み出す画素回路が配置される

請求項 1 ~ 8 のいずれか 1 項に記載の固体撮像素子。 50

## 【請求項 10】

前記固体撮像素子は、平面視においてマトリクス状に配置された、複数の前記第一光電変換部、及び、複数の前記第二光電変換部を備え、

前記マトリクス状の配置の行方向及び列方向のそれぞれにおいて、前記第一光電変換部、及び、前記第二光電変換部は交互に配置される

請求項 1 ~ 8 のいずれか 1 項に記載の固体撮像素子。

## 【請求項 11】

前記第一光電変換部、及び、前記第二光電変換部は、前記行方向において並び、

前記第一ウェルの第一部分は、前記第一光電変換部、及び、前記第二光電変換部の間に位置し、

前記第一ウェルの前記第一部分と異なる第二部分は、前記第一光電変換部、及び、前記列方向において前記第一光電変換部と隣り合う別の第二光電変換部の間に位置し、

平面視において、前記第一ウェルは、L 字状である

請求項 10 に記載の固体撮像素子。

## 【請求項 12】

前記第一ウェルは、さらに、前記第二導電型の部分を含み、

前記第一ウェルの前記第二導電型の部分の側面及び下面は、前記第一ウェルの前記第一導電型の部分によって覆われる

請求項 1 ~ 11 のいずれか 1 項に記載の固体撮像素子。

## 【請求項 13】

前記第三半導体層は、第一領域と、前記第一領域の下に位置し前記第一領域よりも不純物濃度が低い第二領域とを含む

請求項 1 ~ 12 のいずれか 1 項に記載の固体撮像素子。

## 【請求項 14】

上面に光が入射する半導体基板と、

第一導電型の第一半導体層、及び、前記第一半導体層の下に位置する前記第一導電型と異なる第二導電型の第二半導体層を含む、前記半導体基板内に形成された第一光電変換部と、

前記第一導電型の第三半導体層を含む、前記半導体基板内に形成された第二光電変換部と、

前記第一光電変換部、及び、前記第二光電変換部の間に位置する、前記第一導電型の部分を含む第一ウェルと、

前記第一ウェル上に配置されたトランジスタと、

前記第一光電変換部に印加される電圧を制限するための保護素子とを備え、

前記第一半導体層、及び、前記第二半導体層の境界部には、アバランシェ増倍によって電荷が増倍される電荷増倍領域が含まれ、

前記第一光電変換部及び第二光電変換部のいずれかと、前記トランジスタのソースは、配線を介して電氣的に接続されており、

前記保護素子は、トランジスタであり、

前記保護素子のゲートは、前記半導体基板の上面のうち前記第一半導体層及び前記第一ウェルの間の部分に位置し、

前記保護素子のソース及びドレインのいずれかは、前記第一ウェルと同電位である

固体撮像素子。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本開示は、固体撮像素子に関し、特に微弱な光を検出することが可能な固体撮像素子に関する。

## 【背景技術】

## 【0002】

10

20

30

40

50

近年、医療、通信、バイオ、化学、監視、車載、及び、放射線検出など多岐に渡る分野において、高感度な光検出器が利用されている。高感度な光検出器の一つとして、アバランシェフォトダイオード（APD：Avalanche Photodiode）が知られている。APDは、光電変換によって発生した信号電荷を、アバランシェ降伏（ブレークダウン）を用いて増倍することで光の検出感度が高められたフォトダイオードである。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2004-319576号公報  
国際公開第2017/043068号

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

本開示は、ダイナミックレンジが拡大された固体撮像素子を提供する。

【課題を解決するための手段】

【0005】

本開示の一態様に係る固体撮像素子は、上面に光が入射する半導体基板と、第一導電型の第一半導体層、及び、前記第一半導体層の下に位置する前記第一導電型と異なる第二導電型の第二半導体層を含む、前記半導体基板内に形成された第一光電変換部と、前記第一導電型の第三半導体層を含む、前記半導体基板内に形成された第二光電変換部と、前記第一光電変換部、及び、前記第二光電変換部の間に位置する、前記第一導電型の部分を含む第一ウェルと、前記第一ウェル上に配置されたトランジスタとを備え、前記第一半導体層、及び、前記第二半導体層の境界部には、アバランシェ増倍によって電荷が増倍される電荷増倍領域が含まれ、前記第一光電変換部及び第二光電変換部のいずれかと、前記トランジスタのソースは、配線を介して電氣的に接続されている。

20

【発明の効果】

【0006】

本開示によれば、ダイナミックレンジが拡大された固体撮像素子の実現される。

【図面の簡単な説明】

【0007】

【図1】図1は、実施の形態1に係る固体撮像素子の平面図である。

【図2】図2は、実施の形態1に係る固体撮像素子の断面図である。

【図3】図3は、画素回路の構成の一例を示す図である。

【図4】図4は、実施の形態2に係る固体撮像素子の平面図である。

【図5】図5は、実施の形態2に係る固体撮像素子の断面図である。

【図6】図6は、実施の形態3に係る固体撮像素子の断面図である。

【発明を実施するための形態】

【0008】

（本開示の基礎となった知見）

APDが画素アレイ状に並べられた構造により極めて高い感度を有する固体撮像素子が提案されている。APDを動作させるには高い電圧を印加する必要がある。このため、APDが画素アレイ状に並べられた構造を有する固体撮像素子は、回路部との分離領域を形成するための面積が一般的な固体撮像素子よりも広くなる。そのため、APDが画素アレイ状に並べられた構造を有する固体撮像素子は、微細化した場合に、光電変換に寄与する面積が小さくなってしまふ。つまり、APDが画素アレイ状に並べられた構造を有する固体撮像素子は、開口率が確保しにくいという課題がある。

40

【0009】

これに対し、特許文献1には、基板内にAPDとAPDから信号を読み出すための画素回路を配列するための構造が開示されている。しかしながら、このような構造では、アバランシェ増倍を起こすために高電圧を印加するためのコンタクト部、及び、フォトダイオ

50

ードで発生した信号電荷を画素回路に転送するためのコンタクト部の2つコンタクト部をフォトダイオード上に配置せざるを得ない。特許文献1の技術を用いた固体撮像素子を微細化する場合には、配線層を光電変換部の直上にまで配置せざるを得ない。このような配線層は、固体撮像素子の開口率を低下させる要因となる。さらに、高電圧が印加される配線層は、信頼性を確保する必要があることから低背化が難しいことが課題である。

【0010】

特許文献2には、アバランシェ増倍を起こすための高電圧を基板側（光が入射する面と反対側）に印加する構造を有する固体撮像素子が開示されている。このような固体撮像素子は、開口率が高められている。しかしながら、この構造は、画素間のポテンシャルプロファイルが大きく異なる場合には画素間分離の設計に支障をきたす。このため、全画素のそれぞれにおいてアバランシェ増倍領域を均一に形成せざるを得ない。そこで、特許文献2に記載の固体撮像素子では、基板電圧 $V_{pd}$ を切り替えることでダイナミックレンジの拡大を図っている。基板電圧 $V_{pd}$ は、具体的には、ブレイクダウン電圧を超える電圧、及び、ブレイクダウン電圧を超えない電圧に切り替えられる。しかしながら、この手法では電圧を切り替えた2フレームの画像を取得しないと1枚の高いダイナミックレンジの画像が完成しない。また、2つのフレームの間には電圧を切り替えるための待ち時間が発生する。つまり、露光時間のロスが発生する。以上のように、特許文献2に記載の固体撮像素子には、フレームレートが低下してしまう課題がある。

10

【0011】

以下の実施の形態では、上記のような開口率の低下、及び、フレームレートの低下が抑制され、かつ、ダイナミックレンジが拡大された固体撮像素子について説明する。

20

【0012】

以下、実施の形態について、図面を参照しながら説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0013】

なお、各図は模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化される場合がある。

30

【0014】

また、以下の実施の形態で説明に用いられる図面においては座標軸が示される場合がある。座標軸におけるZ軸方向は、例えば、鉛直方向であり、Z軸+側は、上側（上方）と表現され、Z軸-側は、下側（下方）と表現される。Z軸方向は、言い換えれば、半導体基板の上面または下面に垂直な方向であり、半導体基板の厚み方向である。また、X軸方向及びY軸方向は、Z軸方向に垂直な平面（水平面）上において、互いに直交する方向である。X軸方向は、横方向、行方向、または、水平方向と表現され、Y軸方向は、縦方向、列方向、または垂直方向と表現される。以下の実施の形態において、「平面視」とは、Z軸方向から見ることを意味する。また、本開示は、以下の実施の形態において、P型とN型とを逆転させた構造を排除するものではない。

40

【0015】

（実施の形態1）

[構造]

以下、実施の形態1に係る固体撮像素子の構造について説明する。図1は、実施の形態1に係る固体撮像素子の平面図である。図2は、実施の形態1に係る固体撮像素子の断面図である。図2は、固体撮像素子100を図1のI-I線において切断した場合の断面図である。

【0016】

50

図 1 及び図 2 に示されるように、実施の形態 1 に係る固体撮像素子 100 は、半導体基板 10 と、第一半導体層 11 と、第二半導体層 12 と、第三半導体層 13 と、第一ウェル 17 と、第二ウェル 18 と、分離領域 19 とを備える。

#### 【0017】

固体撮像素子 100 は、P 型の半導体基板 10 内に形成された、複数の APD 及び複数の PD を備える。平面視において、Y 軸方向に沿ってライン状に配置された複数の APD である APD 群、及び、Y 軸方向に沿ってライン状に配置された複数の PD である PD 群は、X 軸方向において交互に配置されている。以下では、複数の APD のうち APD1、及び、複数の PD のうち PD1 について詳細に説明されるが、他の APD も APD1 と同様の構成であり、他の PD も PD1 と同様の構成である。

10

#### 【0018】

半導体基板 10 は、上面に光が入射する基板であり、P 型の半導体によって形成される。半導体基板 10 は、具体的には、半導体基板 10 の下面を構成するベース部 10a と、ベース部 10a 上に形成された本体部 10b とを含む。ベース部 10a の不純物濃度は、例えば、 $1 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$  であり、本体部 10b の不純物濃度は、例えば、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$  である。

#### 【0019】

APD1 は、第一光電変換部の一例であり、N 型の第一半導体層 11、及び、第一半導体層 11 の下に位置する P 型の第二半導体層 12 を少なくとも含む。第一半導体層 11 の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$  であり、第二半導体層 12 の不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$  である。

20

#### 【0020】

半導体基板 10 に逆バイアスの電圧  $V_{REV}$  が印加されると、第一半導体層 11 及び第二半導体層 12 の境界部 15 (言い換えれば、接合部) には、電荷増倍領域 16 が形成される。電荷増倍領域 16 は、アバランシェ増倍によって電荷が増倍される領域である。電荷増倍領域 16 によれば、第一半導体層 11 に到達する前に多数の信号電子を発生させることができる。APD1 は、フォトン 1 個程度の微弱な光を検出可能な SPAD (Single Photon Avalanche Diode) として利用することもできる。APD1 は、固体撮像素子 100 から得られる輝度画像の暗い領域におけるダイナミックレンジを拡大することができる。半導体基板 10 に印可される電圧  $V_{REV}$  は、例えば、第一半導体層 11 と第二半導体層 12 に対して逆バイアスとなる極性を有し、大きさは、10 V ~ 100 V 程度である。

30

#### 【0021】

PD1 は、第二光電変換部の一例であり、N 型の第三半導体層 13 を含む。第三半導体層 13 は、第一領域 13a、及び、第一領域 13a の下に位置する第二領域 13b を含む。第一領域 13a の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$  であり、第二領域 13b の不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$  である。第二領域 13b の不純物濃度は、第一領域 13a の不純物濃度よりも低い。

#### 【0022】

PD1 においては、第二領域 13b 及び半導体基板 10 の本体部 10b の PN 接合部における不純物の濃度勾配が、APD1 の第一半導体層 11 及び第二半導体層 12 の境界部 15 (つまり、APD1 の PN 接合部) に対して緩い。これにより、PD1 においては、半導体基板 10 に逆バイアスの電圧  $V_{REV}$  が印可されている状態において、APD1 よりも低い電界が形成される。PD1 においては、電荷増倍領域が形成されにくい、または、電荷増倍領域が形成されない。

40

#### 【0023】

固体撮像素子 100 によって明るい被写体の撮像を行っても PD1 においては信号が増倍されにくいため、PD1 においては APD1 に対して信号が飽和しにくい。PD1 の出力特性は、固体撮像素子 100 にフォトンが多数入射していたとしても、フォトン数にほぼ比例する。このため、PD1 は、固体撮像素子 100 から得られる輝度画像の明るい領

50

域におけるダイナミックレンジを拡大することができる。

【0024】

第一ウェル17は、APD1、及び、PD1の間に位置する。第一ウェル17は、N型の半導体によって形成される。第一ウェル17における不純物濃度は、例えば、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ である。第一ウェル17は、APD1と配線M（図2において模式的に図示）を介して電氣的に接続されている。なお、第一ウェル17は、PD1と配線Mを介して電氣的に接続されてもよい。配線Mは、具体的には、APD1に含まれる第一半導体層11のコンタクト部CP1と、第一ウェル17のコンタクト部CP2（より具体的には、第一ウェル17上に配置された転送トランジスタTRNのソース）とを電氣的に接続する。コンタクト部CP1の不純物濃度は、例えば、 $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ であり、コンタクト部CP2の不純物濃度は、例えば、 $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。

10

【0025】

第二ウェル18は、APD3、及び、APD1の間に位置する。第二ウェル18は、N型の半導体によって形成される。第一ウェル17及び第二ウェル18は、電氣的に分離されている。なお、第二ウェル18は、第二ウェル18の位置を除いて第一ウェル17と同様の構成である。第二ウェル18は、PD1と配線を介して電氣的に接続されている。以下の明細書中において、第一ウェル17によって得られる効果は、基本的には第二ウェル18によっても得られるため、第二ウェル18に関しての説明は適宜省略される。以下の明細書において、第一ウェル17は、適宜、第二ウェル18に読み替えられてよい。

20

【0026】

ポテンシャルプロファイルが大きく異なる2つの光電変換素子が隣接して配置されてしまうと、例えば、APD1直下で光電変換することにより得られたキャリアがPD1に奪われる等、2つの光電変換素子の一方にキャリアが奪われてしまう懸念がある。第一ウェル17によれば、第一ウェル17を跨いでキャリアの移動を防止することにより、上記混色の発生を防止できる。

【0027】

また、第一ウェル17上には、第一画素回路PC1が配置される。このような第一ウェル17によれば、APD1及びPD1の間の距離を確保しつつ、半導体基板10の上面の面積を有効に利用することができる。同様に、第二ウェル18上には、PD1から出力される信号を読み出す第二画素回路PC2が配置される。このような第二ウェル18によれば、PD1及びAPD3の間の距離を確保しつつ、半導体基板10の上面の面積を有効に利用することができる。

30

【0028】

また、第一ウェル17上には、平面視においてY軸方向に延伸し、APD2から出力される信号を読み出す画素回路も配置される。APD2は、平面視において、Y軸方向におけるAPD1の隣に位置する別のAPDである。このように、第一ウェル17上には、APD1から出力される信号を読み出す第一画素回路PC1、及び、APD2から出力される信号を読み出す画素回路の両方が配置される。つまり、第一ウェル17は、2つ以上の画素回路によって共用される。

40

【0029】

さらに、第一ウェル17は、APD1に含まれる第一半導体層11、並びに、PD1に含まれる第三半導体層13と同じ導電型（具体的には、N型）である。これにより、第一ウェル17は、APD1及びPD1間の領域における光電変換によって得られた混色成分の信号電荷を吸収することができる。APD1とPD1とで異なる波長の光を検出する場合、第一ウェル17によれば、混色を抑制することができる。

【0030】

また、第一半導体層11及び第二半導体層12の境界部15は、半導体基板10の厚み方向において、第一ウェル17よりも下方（言い換えれば、深部）に位置する。このような構成により、第一半導体層11及び第二半導体層12の下方の領域R1において光電変

50

換によって発生したキャリアが第一ウェル 17 に流れることが抑制される。つまり、光電変換によって発生したキャリアが A P D 1 側に流れるようにポテンシャルプロファイルを設計することが可能となる。

【 0 0 3 1 】

さらに、第二半導体層 12 は、第一ウェル 17 の下方まで延伸している。したがって、第二半導体層 12 及び第一ウェル 17 は、立体的に交差し、平面視において、第二半導体層 12 は、第一ウェル 17 と重なる。このような構成により、第一ウェル 17 の下方の領域 R 2 において光電変換により発生したキャリアを A P D 1 側、または、P D 1 側に流れるようにポテンシャルプロファイルを設計することが可能となり、固体撮像素子 100 の赤外光に対する感度を高めることが可能となる。

10

【 0 0 3 2 】

第一半導体層 11 と第一ウェル 17 との間、及び、第三半導体層 13 と第一ウェル 17 との間のそれぞれには、電気的な分離に用いられる分離領域 19 が位置する。分離領域 19 は、P 型の半導体によって形成される。分離領域 19 の不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$  である。

【 0 0 3 3 】

P 型の分離領域 19 と N 型の第一半導体層 11 との間、P 型の分離領域 19 と N 型の第一ウェル 17 との間、P 型の分離領域 19 と第三半導体層 13 との間の 3 つの領域それぞれにおいては、半導体基板 10 に逆バイアスの電圧  $V_{REV}$  が印可されている状態においてアバランシェ増倍の発生が抑制される必要がある。このためには、上記 3 つの領域における電界が、第一半導体層 11 及び第二半導体層 12 の境界部 15 よりも低い電界となればよい。

20

【 0 0 3 4 】

そこで、分離領域 19 は、半導体基板 10 に印加される逆バイアスの電圧と同電位にならないよう空乏化した状態とされる。これにより、分離領域 19 と第一ウェル 17 との間の電位差が小さくなり、分離幅を短くしながらも電界を低減することが可能となる。つまり、第一ウェル 17 と第一半導体層 11 の分離幅、及び、第一ウェル 17 と第三半導体層 13 の分離幅のそれぞれを縮小できる。分離幅が縮小されれば、固体撮像素子 100 の開口率（つまり、実効的な受光面積）が拡大される。

【 0 0 3 5 】

さらに、図 1 に示されるように、複数の A P D が Y 軸方向に並ぶ構成においては、Y 軸方向に並ぶ複数の A P D 間に N 型のウェルを配置しなくてよい。同様に、複数の P D が Y 軸方向に並ぶ構成においては、Y 軸方向に並ぶ複数の P D 間に N 型のウェルを配置しなくてよい。これにより、画素回路の実装面積を縮小することができ、固体撮像素子 100 の開口率が拡大される。また、固体撮像素子 100 において、複数の A P D が X 軸方向に並び、かつ、複数の P D が X 軸方向に並んでもよい。この場合も、X 軸方向に並ぶ複数の A P D 間、及び、X 軸方向に並ぶ複数の P D 間に N 型のウェルを配置しなくてよいため、開口率が拡大可能である。

30

【 0 0 3 6 】

[ 画素回路 ]

図 1 に示されるように、第一ウェル 17 上には、第一画素回路 P C 1 を構成する複数のトランジスタが配置され、第二ウェル 18 上には、第二画素回路 P C 2 を構成する複数のトランジスタが配置される。以下、第一画素回路 P C 1 について説明する。図 3 は、第一画素回路 P C 1 の構成の一例を示す図である。なお、図示されないが第二画素回路 P C 2 も同様の構成である。

40

【 0 0 3 7 】

固体撮像素子 100 は、複数の画素 101 を含む画素アレイ 102、垂直走査回路 103、水平走査回路 104、読み出し回路 105、及び、バッファアンプ（増幅回路）111 を備える。

【 0 0 3 8 】

50



画素101は、APD1、転送トランジスタTRN、リセットトランジスタRST、浮遊拡散領域FD、増幅トランジスタSF、選択トランジスタSEL、及び、オーバーフロートトランジスタOVFを含む第一画素回路PC1を有する。

【0039】

なお、実施の形態1～3において、単に「トランジスタ」と記載した場合は、MOS型トランジスタ(MOSFET)を意味する。ただし、固体撮像素子の画素回路を構成するトランジスタは、MOS型トランジスタに限られず、ジャンクション型トランジスタ(JFET)、バイポーラトランジスタ、または、これらの混在であってもよい。

【0040】

APD1によって検出された信号電荷は転送トランジスタTRNを通じて浮遊拡散領域FDに転送され、垂直走査回路103および水平走査回路104で順次選択された画素で検出された信号電荷の量に対応する信号が増幅トランジスタSFを介して読み出し回路105に伝送される。画素101で得られた信号は読み出し回路105からバッファアンプ111を経て信号処理回路(図示せず)に出力され、信号処理回路(図示せず)でホワイトバランス等の信号処理が施された後にディスプレイ(図示せず)またはメモリ(図示せず)に転送され、画像化することが可能となる。

10

【0041】

また、オーバーフロートトランジスタOVFは、APD1の電位が一定値となったときに電流が流れ始める保護素子である。つまり、オーバーフロートトランジスタOVFは、APD1に印加される電圧を制限する。オーバーフロートトランジスタOVFによれば、APD1が高い増倍率で光を検出した場合に、APD1の電圧が転送トランジスタTRNの破壊耐圧を超える前にオーバーフロートトランジスタOVFに電流が流れ始める。また、APD1が強い光を検出することによりリセット時の電圧から負の電圧に振れたときにもAPD1の電圧が転送トランジスタTRNの破壊耐圧を超える前にオーバーフロートトランジスタOVFに電流が流れ始める。つまり、オーバーフロートトランジスタOVFによれば、固体撮像素子100は、APD1の電圧がトランジスタの破壊耐圧に到達しないように設計できる。APD1に印加される電圧の上限は、オーバーフロートトランジスタOVFの閾値電圧、オーバーフロートトランジスタOVFのゲートに印加される電圧、またはオーバーフロートトランジスタOVFのドレイン電圧(VOVF)で調整が可能である。

20

【0042】

第一画素回路PC1を構成する5つのトランジスタは全てPチャンネル型のMOSトランジスタである。つまり、第一画素回路PC1には、Pチャンネル型のMOSトランジスタのみが含まれる。これにより、P型のウェルが必要となるNチャンネル型のMOSトランジスタが第一画素回路PC1内に存在しないため、ウェルの構成が単純化され、第一画素回路PC1に必要な面積が縮小される。第一画素回路PC1に必要な面積が縮小されれば、複数のAPD及び複数のPDに割り当てられる面積を広くすることができるため、開口率が拡大される。

30

【0043】

なお、垂直走査回路103及び水平走査回路104など、画素アレイ102外の素子については、半導体基板10に逆バイアスの電圧VREVが印加された状態においても駆動可能なように高耐圧のウェル上に配置される。あるいは、垂直走査回路103及び水平走査回路104などは、ドライエッチなどにより逆バイアスの電圧VREVが印加される画素領域から分断された領域に配置される。

40

【0044】

また、図3に示される第一画素回路PC1では、画素アレイ102に、周辺回路(垂直走査回路103、水平走査回路104、読み出し回路105、バッファアンプ111)が付加されていたが、固体撮像素子100には、必ずしも周辺回路が含まれなくてもよい。また、第一画素回路PC1は、5個のトランジスタ(転送トランジスタTRN、リセットトランジスタRST、増幅トランジスタSF、選択トランジスタSEL、及び、オーバーフロートトランジスタOVF)と浮遊拡散領域FDとで構成されたが、第一画素回路PC1

50

は、このような構成に限られず、固体撮像素子100が動作可能な範囲でもっと多い個数または少ない個数のトランジスタで構成されてもよい。

【0045】

また、第一画素回路PC1の回路構成は一例である。第一画素回路PC1は、APD1に蓄積している信号電荷の読み出しが可能なその他の回路構成を有してもよい。第二画素回路PC2についても同様である。また、第一画素回路PC1の回路構成と、第二画素回路PC2の回路構成とが異なってもよい。

【0046】

[効果等]

以上説明したように、固体撮像素子100は、上面に光が入射する半導体基板10と、第一導電型の第一半導体層11、及び、第一半導体層11の下に位置する第一導電型と異なる第二導電型の第二半導体層12を含む、半導体基板10内に形成されたAPD1と、第一導電型の第三半導体層13を含む、半導体基板10内に形成されたPD1と、APD1、及び、PD1の間に位置する、第一導電型の部分を含む第一ウェル17と、第一ウェル17上に配置された転送トランジスタTRNとを備える。第一導電型は、例えば、N型であり、第二導電型は、例えば、P型である。APD1は、第一光電変換部の一例であり、PD1は、第二光電変換部の一例である。第一半導体層11、及び、第二半導体層12の境界部15には、アバランシェ増倍によって電荷が増倍される電荷増倍領域16が含まれる。APD1及びPD1のいずれかと、転送トランジスタTRNのソースは、配線Mを介して電氣的に接続されている。

【0047】

このような固体撮像素子100においては、第一ウェル17によって、フォトン1個程度の暗い被写体を検出できる高感度なAPD1と、明るい被写体の明るさに応じた信号を読み出すことができるPD1を密集して配置することができる。つまり、ダイナミックレンジが広い固体撮像素子100が実現される。

【0048】

また、固体撮像素子100において、境界部15は、半導体基板10の厚み方向において第一ウェル17よりも下方に位置する。

【0049】

これにより、第一半導体層11及び第二半導体層12の下方の領域R1において光電変換によって発生したキャリアが第一ウェル17に流れることが抑制される。つまり、光電変換によって発生したキャリアがAPD1側に流れるようにポテンシャルプロファイルを設計することが可能となる。

【0050】

また、固体撮像素子100において、第二半導体層12の一部は、第一ウェル17の下方に位置する。

【0051】

これにより、第一ウェル17の下方の領域R2において光電変換により発生したキャリアをAPD1側、または、PD1側に流れるようにポテンシャルプロファイルを設計することが可能となり、固体撮像素子100の赤外光に対する感度を高めることが可能となる。

【0052】

また、固体撮像素子100において、転送トランジスタTRNのチャネルは、第一導電型である。

【0053】

これにより、第一ウェル17を利用して転送トランジスタTRNのチャネルを形成することができ、固体撮像素子100におけるウェル構造を簡素化し、固体撮像素子100の開口率を拡大することができる。

【0054】

また、平面視において、APD1及びPD1は、第一方向において隣り合い、固体撮像

10

20

30

40

50

素子 100 は、平面視において、第一方向と交差する第二方向における APD1 の隣に位置する APD2 を備える。第一方向は、例えば、図中の Y 軸方向に相当する。第二方向は、例えば、図中の X 軸方向に相当する。APD2 は、別の第一光電変換部の一例である。第一ウェル 17 は、平面視において第二方向に延伸し、第一ウェル 17 上には、APD1 から出力される信号を読み出す第一画素回路 PC1、及び、APD3 から出力される信号を読み出す画素回路が配置される。

【0055】

このように第一ウェル 17 が 2 つの画素回路によって共用されることで、固体撮像素子 100 におけるウェル構造を簡素化し、固体撮像素子 100 の開口率を拡大することができる。

【0056】

また、第三半導体層 13 は、第一領域 13a と、第一領域 13a の下に位置し第一領域 13a よりも不純物濃度が低い第二領域 13b とを含む。

【0057】

これにより、第三半導体層 13 の積層構造によって、PD1 の増倍率を APD1 の増倍率よりも低くすることができる。

【0058】

[実施の形態 1 の変形例]

固体撮像素子 100 は、信号増倍を行うフォトダイオードの有効感度領域が半導体基板 10 内の深部に形成されており、半導体基板 10 の厚み確保しやすいことから赤外光の検出に適している。例えば、ToF方式で距離を計測するための距離画像の取得には赤外光の光源から発せられた光を高感度で検出することが求められているが、固体撮像素子 100 は、距離画像の取得に適している。なお、固体撮像素子 100 は、可視光を高感度で検出するために、裏面照射型のイメージセンサとして実現されてもよい。

【0059】

また、固体撮像素子 100 において、トランジスタ、及び、ウェル等の各素子間に STI (Shallow Trench Isolation) 等の絶縁体が配置され、各素子が電氣的に分離されてもよい。

【0060】

また、固体撮像素子 100 において、P型の半導体によって形成された領域とN型の半導体によって形成された領域とは入れ替えられてもよい。しかしながら、固体撮像素子 100 のように、光電変換後に読み出されるキャリアが電子である場合のほうがイオン化率が高くなり、アバランシェ増倍に適している。具体的には、比較的高い増倍率が得られる効果、及び、ガイガーモードにおける増倍が発生しやすい効果などが得られる。

【0061】

また、第一半導体層 11 及び第二半導体層 12 の境界部 15 において発生する電界の面内分布 (境界部 15 の XY 平面における電界の分布) が均一にならない場合が考えられる。例えば、端部において電界が強くなる傾向があれば、電界が均一に近づくように第一半導体層 11 の面内で不純物濃度に差をつける対策が施されればよい。

【0062】

また、半導体基板 10 の上面 (つまり、光の照射面) には、特定の波長の光を透過させるカラーフィルタが配置されてもよい。この場合、APDの数及びPDの数の比率は適宜定められればよい。

【0063】

(実施の形態 2)

[構造]

以下、実施の形態 2 に係る固体撮像素子の構造について説明する。図 4 は、実施の形態 2 に係る固体撮像素子の平面図である。図 5 は、実施の形態 2 に係る固体撮像素子の断面図である。図 5 は、図 4 の V-V 線で固体撮像素子 200 を切断した場合の断面図である。

【0064】

10

20

30

40

50

図4及び図5に示されるように、実施の形態2に係る固体撮像素子200は、半導体基板20と、第一半導体層21と、第二半導体層22と、第三半導体層23と、第一ウェル27と、第二ウェル28と、分離領域29とを備える。第一半導体層21及び第二半導体層22の境界部25には、電荷増倍領域26が含まれる。以下、実施の形態2では、固体撮像素子200の、固体撮像素子100との相違点を中心に説明が行われ、既出事項の説明は省略または簡略化される。

#### 【0065】

固体撮像素子200は、平面視においてマトリクス状に配置された、複数のAPD及び複数のPDを備える。マトリクス状の配置の行方向（つまり、X軸方向または横方向）、及び、列方向（つまり、Y軸方向または縦方向）のそれぞれにおいて、APD、及び、PDは交互に配置される。対角線方向においては、同種の光電変換素子が連続して配置されている。

10

#### 【0066】

このようなマトリクス状の配置によれば、輝度画像内の明るい領域ではPDから出力される信号を利用し、輝度画像内の暗い領域ではAPDから信号を利用することで、固体撮像素子200の出力を補完するような信号処理を行っても、縦方向と横方向とで解像度の差が出にくくなる。つまり、上記信号処理による解像度の向上が容易になる。

#### 【0067】

また、第三半導体層23は、第三半導体層13と異なり、不純物濃度がほぼ均一である。そして、APD1に対応する第一画素回路PC1に接続される第一ウェル27と、PD1に対応する第二画素回路PC2に接続される第二ウェル28とは、異なる電位に設定される。第一ウェル27の電位は、例えば、3Vであり、第二ウェル28の電位は、例えば、1Vである。つまり、APD1の半導体基板20（言い換えれば $V_{REV}$ ）に対する電位差は、PD1の半導体基板20に対する電位差よりも2V大きい。

20

#### 【0068】

これにより、APD1のリセット電位とPD1のリセット電位に大きな差を持たせることができる。したがって、APD1の増倍率をフォトン1個を検出できるような高い増倍率に設定し、かつ、PD1の増倍率を比較的低い増倍率に設定してPD1からはフォトン数に比例した信号電荷を発生させることができる。電位の設定によっては、PD1を電荷増倍領域が発生しにくい、または、電荷増倍領域が発生しない状態にすることもできる。

30

#### 【0069】

以上のような構成によれば、固体撮像素子200は、半導体基板20に印加される逆バイアスの電圧 $V_{REV}$ を変更することなく高感度かつハイダイナミックレンジの輝度画像を撮像できる。

#### 【0070】

なお、第一ウェル27の第一部分は、APD1、及び、PD1の間に位置し、第一ウェル27の第一部分と異なる第二部分は、APD1、及び、PD2の間に位置する。PD2は、列方向においてAPD1と隣り合うPD1とは別のPDである。平面視において、第一ウェル27は、L字状である。このように、平面視における第一ウェル27の形状は、第一ウェル17の形状と異なる。第二ウェル28についても同様である。

40

#### 【0071】

また、固体撮像素子200において、第二半導体層22は、第三半導体層23の下方まで延伸している。第二半導体層22の一部は、第三半導体層23の下方に位置し、第二半導体層22及び第三半導体層23は、PN接合している。このように、固体撮像素子200では、第二半導体層22が第一半導体層21及び第三半導体層23によって共用されている。

#### 【0072】

また、図4に示されるように、オーバーフローランジスタOVFのゲートは、半導体基板20の上面のうち第一半導体層21及び第一ウェル27の間の部分に位置し、オーバーフローランジスタOVFのソース及びドレインのいずれかは、第一ウェル17と同電

50

位である。

【0073】

この構成により、オーバーフロートランジスタOVFを第一ウェル27からはみ出して配置することが可能となり、第一ウェル27を縮小することで、固体撮像素子200の開口率が拡大される。

【0074】

このとき、オーバーフロートランジスタOVFのゲート直下の領域（つまり、チャンネル領域）は、半導体基板20と同じ導電型（つまり、P型）である。このとき、電圧 $V_{REV}$ が直接ゲート直下に印加されると、基板バイアス効果によりオーバーフロートランジスタOVFをオンすることが困難となり、トランジスタが破壊される懸念が生じる。

10

【0075】

そこで、例えば、オーバーフロートランジスタOVFのチャンネル領域の不純物濃度は、左右に配置されているN型の半導体領域から延びる空乏層によりポテンシャルが決定されるような濃度とされる。これにより、オーバーフロートランジスタOVFをオンすることが容易となる。このようなチャンネル領域は、当該チャンネル領域の電圧が第一ウェル27に印加される電圧に対して3V程度低い電圧から $\pm 2V$ 程度であれば、一般的なトランジスタと近い製造方法で作製可能である。図5に示されるように、チャンネル領域の近傍においては分離領域19を形成するためのイオン注入が省略され、別途注入条件が設定されれば、チャンネル領域の電圧調整が可能となる。

【0076】

以上、固体撮像素子200の構成について説明した。なお、固体撮像素子100の構成、及び、固体撮像素子200の構成は任意に組み合わせられてよい。例えば、図1に示される平面構造と、図5に示される断面構造とが組み合わせられてもよいし、図4に示される平面構造と図2に示される断面構造とが組み合わせられてもよい。

20

【0077】

[効果等]

固体撮像素子200は、APD1に印加される電圧を制限するための保護素子を備える。

【0078】

これにより、APD1に関連する転送トランジスタTRNが破壊されてしまうことを抑制することができる。

30

【0079】

また、保護素子は、オーバーフロートランジスタOVFであり、保護素子のゲートは、半導体基板20の上面のうち第一半導体層21及び第一ウェル27の間の部分に位置し、保護素子のソース及びドレインのいずれかは、第一ウェル27と同電位である。

【0080】

これにより、保護素子（つまり、オーバーフロートランジスタOVF）を第一ウェル27からはみ出して配置することが可能となり、第一ウェル27を縮小することで、固体撮像素子200の開口率が拡大される。

【0081】

また、固体撮像素子200は、APD1及びPD1に加えて、APD3と、APD3、及び、PD1の間に位置する、第一導電型の第二ウェル28とを備える。APD3は、APD1とは別の第一光電変換部の一例である。第一ウェル27上には、転送トランジスタTRNを含むAPD1から出力される信号を読み出す第一画素回路PC1が配置され、第二ウェル28上には、PD1から出力される信号を読み出す第二画素回路PC2が配置される。第一ウェル27及び第二ウェル28は、電気的に分離されている。

40

【0082】

これにより、APD1のリセット電位とPD1のリセット電位に差を持たせることで、PD1の増倍率をAPD1の増倍率よりも低くすることができる。

【0083】

また、固体撮像素子200は、平面視においてマトリクス状に配置された、複数のAP

50

D、及び、複数のPDを備える。マトリクス状の配置の行方向及び列方向のそれぞれにおいて、APD及びPDは交互に配置される。行方向は、例えば、図中のX軸方向に相当する。列方向は、例えば、図中のY軸方向に相当する。

【0084】

これにより、固体撮像素子200によって得られる画像の解像度の向上が容易となる。

【0085】

また、APD1、及び、PD1は、行方向において並び、第一ウェル27の第一部分は、APD1、及び、PD1の間に位置する。第一ウェル27の第一部分と異なる第二部分は、APD1、及び、列方向においてAPD1と隣り合うAPD2の間に位置し、平面視において、第一ウェル27は、L字状である。APD2は、APD1とは別の第一光電変換部の一例である。

10

【0086】

これにより、L字状の第一ウェル27によって第一画素回路PC1の実装領域を確保することができる。

【0087】

また、固体撮像素子200において、第二半導体層22の一部は、第三半導体層23の下方に位置する。

【0088】

これにより、第一半導体層21及び第三半導体層23は、第二半導体層22を共用することができる。

20

【0089】

(実施の形態3)

[構造]

以下、実施の形態3に係る固体撮像素子の構造について説明する。図6は、実施の形態3に係る固体撮像素子の断面図である。

【0090】

図6に示されるように、実施の形態3に係る固体撮像素子300は、半導体基板30と、第一半導体層31と、第二半導体層32と、第三半導体層33と、第一ウェル37と、第二ウェル38と、分離領域39とを備える。第一半導体層31及び第二半導体層32の境界部35には、電荷増倍領域36が含まれる。以下、実施の形態3では、固体撮像素子300の、固体撮像素子200との相違点を中心に説明が行われ、既出事項の説明は省略または簡略化される。

30

【0091】

固体撮像素子300においては、第一ウェル37は、N型の第一部分37n、及び、P型の第二部分37pを含み、第二部分37pの側面及び下面は、第一部分37nによって覆われている。同様に、第二ウェル38は、N型の第一部分38n、及び、P型の第二部分38pを含み、第二部分38pの側面及び下面は、第一部分38nによって覆われている。

【0092】

このように、固体撮像素子300においては、第二部分37pと半導体基板30とが第一部分37nによって電氣的に分離されているため、第二部分37pの上面にNチャネル型のMOSトランジスタを配置することが可能となる。第二ウェル38についても同様である。以下では、第一ウェル37について詳細に説明が行われ、第二ウェル38についての説明は適宜省略される。

40

【0093】

固体撮像素子300においては、第一半導体層31及び第二半導体層32の境界部35が第二部分37pよりもさらに下方に形成されることで、第一半導体層31及び第二半導体層32の間の電界が弱められる。この結果、第一部分37nに過剰な電流が流れることが抑制される。

【0094】

50

また、固体撮像素子300において、第一半導体層31の電位が瞬間的に第二部分37pの電位よりも低くなったとしても、第一半導体層31及び第二部分37pの間に印加される電圧は順方向のバイアスとなる。つまり、第一半導体層31及び第二部分37pの間に過度に高い負バイアスの電圧が印加されることはない。したがって、オーバーフロートランジスタOVFは、配置されなくてもよい。

【0095】

以上、固体撮像素子300の構成について説明した。なお、固体撮像素子100の構成、固体撮像素子200の構成、及び、固体撮像素子300の構成は任意に組み合わせられてよい。例えば、図1に示される平面構造と、図6に示される断面構造とが組み合わせられてもよいし、図4に示される平面構造と図6に示される断面構造とが組み合わせられてもよい。また、実施の形態1～3は部分的に組み合わせられてもよく、例えば、濃度勾配を有する第三半導体層13と、第一ウェル37及び第二ウェル38が組み合わせられてもよい。

10

【0096】

[効果等]

固体撮像素子300において、第一ウェル37は、第一導電型の第一部分37nに加えて第二導電型の第二部分37pを含む。第二部分37pの側面及び下面は、第一部分37nによって覆われる。

【0097】

これにより、第一ウェル37上に第二導電型のトランジスタを配置することができる。

【0098】

(その他の実施の形態)

以上、実施の形態に係る固体撮像素子について説明したが、本開示は、上記実施の形態に限定されるものではない。

20

【0099】

例えば、上記実施の形態では、第二光電変換部は、増倍領域を含まないが、増倍領域を含んでもよい。つまり、第二光電変換部は、PDではなくAPDであってもよい。

【0100】

また、上記実施の形態において説明に用いられ数字は、全て本開示を具体的に説明するために例示するものであり、本開示は例示された数字に制限されない。

【0101】

また、上記実施の形態で説明された回路構成は、一例であり、本開示は上記回路構成に限定されない。つまり、上記回路構成と同様に、本開示の特徴的な機能を実現できる回路も本開示に含まれる。例えば、上記回路構成と同様の機能を実現できる範囲で、ある素子に対して、直列又は並列に、スイッチング素子(トランジスタ)、抵抗素子、または容量素子等の素子が接続されたものも本開示に含まれる。

30

【0102】

また、上記実施の形態では、固体撮像素子が有する積層構造の各層を構成する主たる材料について例示しているが、固体撮像素子が有する積層構造の各層には、上記実施の形態の積層構造と同様の機能を実現できる範囲で他の材料が含まれてもよい。また、図面においては、各構成要素の角部及び辺は直線的に記載されているが、製造上の理由などにより、角部及び辺が丸みを帯びたものも本開示に含まれる。

40

【0103】

その他、各実施の形態に対して当業者が思いつく各種変形を施して得られる形態、または、本開示の趣旨を逸脱しない範囲で各実施の形態における構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。例えば、本開示は、固体撮像素子の製造方法として実現されてもよい。

【産業上の利用可能性】

【0104】

本開示の固体撮像素子は、ダイナミックレンジが拡大された固体撮像素子として有用である。また、本開示の固体撮像素子は、赤外光を用いたToF方式の距離計測に必要な

50

る距離画像の撮像と、輝度画像の撮像とを同時に行うことができる。

【符号の説明】

【0105】

- 10、20、30 半導体基板
- 10a ベース部
- 10b 本体部
- 11、21、31 第一半導体層
- 12、22、32 第二半導体層
- 13、23、33 第三半導体層
- 13a 第一領域
- 13b 第二領域
- 15、25、35 境界部
- 16、26、36 電荷増倍領域
- 17、27、37 第一ウェル
- 18、28、38 第二ウェル
- 19、29、39 分離領域
- 37n、38n 第一部分
- 37p、38p 第二部分
- 100、200、300 固体撮像素子
- 101 画素
- 102 画素アレイ
- 103 垂直走査回路
- 104 水平走査回路
- 105 読み出し回路
- 111 バッファアンプ
- CP1、CP2 コンタクト部
- FD 浮遊拡散領域
- OVF オーバーフローレジスタ
- M 配線
- PC1 第一画素回路
- PC2 第二画素回路
- R1、R2 領域
- RST リセットレジスタ
- SEL 選択レジスタ
- SF 増幅レジスタ
- TRN 転送レジスタ

10

20

30

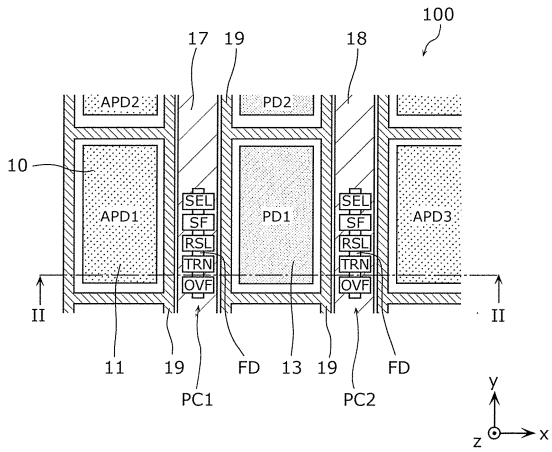
40

50

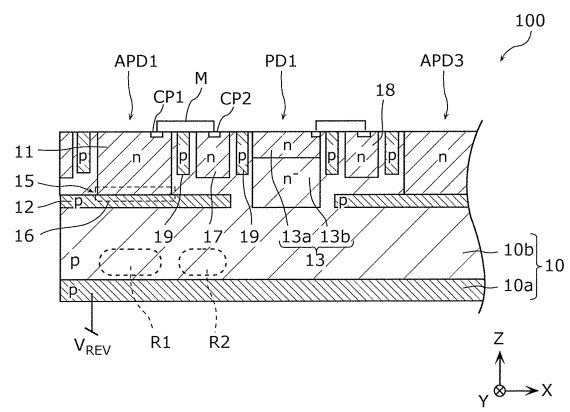


【図面】

【図 1】

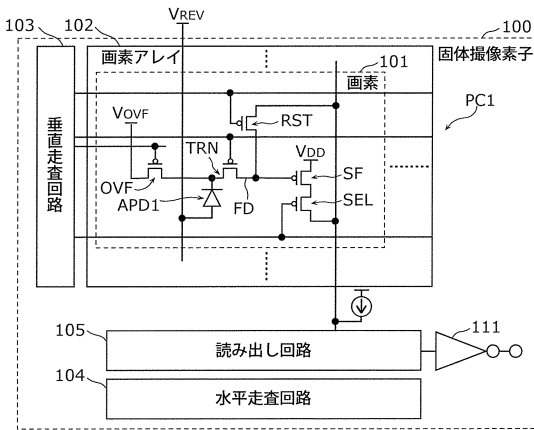


【図 2】

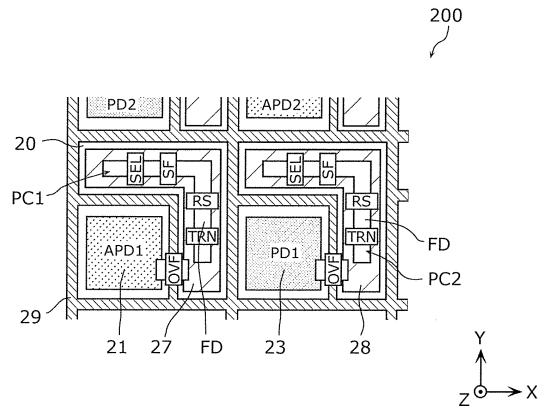


10

【図 3】



【図 4】



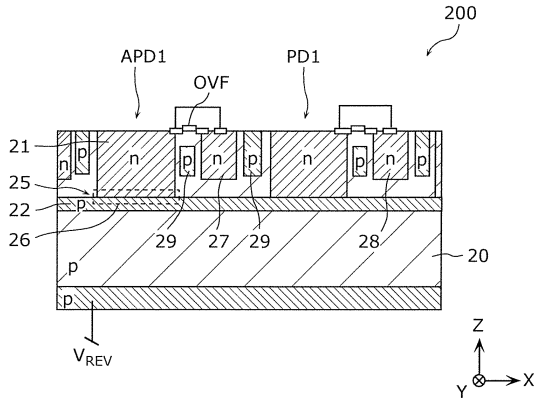
20

30

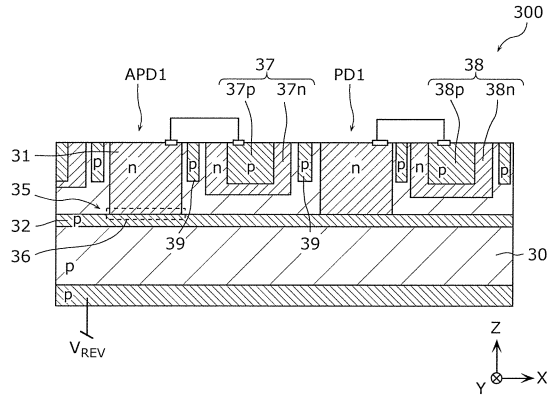
40

50

【図5】



【図6】



10

20

30

40

50

## フロントページの続き

ナソニック株式会社内

(72)発明者 石井 基範

大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 田邊 顕人

(56)参考文献

特開平09-232621(JP,A)

国際公開第2017/043068(WO,A1)

特表2016-510191(JP,A)

特開2014-135571(JP,A)

特開2016-122716(JP,A)

特開2002-050784(JP,A)

特開2017-117835(JP,A)

特開2017-117834(JP,A)

特開2000-125209(JP,A)

特表2017-538281(JP,A)

国際公開第2016/013170(WO,A1)

特表2015-534407(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H01L 27/146

H04N 5/355

H04N 5/374

H01L 31/10