

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3648466号
(P3648466)

(45) 発行日 平成17年5月18日(2005.5.18)

(24) 登録日 平成17年2月18日(2005.2.18)

(51) Int. Cl.⁷

F I

HO 1 L 29/786	HO 1 L 29/78	6 1 8 B
HO 1 L 21/76	HO 1 L 27/12	B
HO 1 L 21/762	HO 1 L 29/78	6 1 8 E
HO 1 L 27/12	HO 1 L 29/78	6 2 6 C
	HO 1 L 21/76	D

請求項の数 11 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2001-199820 (P2001-199820)
 (22) 出願日 平成13年6月29日(2001.6.29)
 (65) 公開番号 特開2003-17705 (P2003-17705A)
 (43) 公開日 平成15年1月17日(2003.1.17)
 審査請求日 平成15年2月27日(2003.2.27)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075683
 弁理士 竹花 喜久男
 (74) 代理人 100084515
 弁理士 宇治 弘
 (72) 発明者 手塚 勉
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝 研究開発センター内
 (72) 発明者 杉山 直治
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝 研究開発センター内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ、半導体基板、電界効果トランジスタの製造方法及び半導体基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

S i 層と、この S i 層表面上に形成された S i 酸化物層と、この S i 酸化物層表面上に形成された、S i 酸化物に G e 酸化物を含有した G e 酸化物含有層と、この G e 酸化物含有層表面上に形成された格子緩和 S i G e 層と、この格子緩和 S i G e 層表面上に形成された歪 S i 層あるいは歪 S i G e 層と、この歪 S i 層あるいは歪 S i G e 層表面上に形成されたゲート絶縁層と、このゲート絶縁層表面上に形成されたゲート電極と、前記歪 S i 層あるいは歪 S i G e 層中に形成されたソース領域及びドレイン領域とを具備することを特徴とする電界効果トランジスタ。

【請求項2】

S i 層と、この S i 層表面上に形成された第1の S i 酸化物層と、この第1の S i 酸化物層表面上に形成された、S i 酸化物に G e 酸化物を含有した G e 酸化物含有層と、この G e 酸化物層表面上に形成された第2の S i 酸化物層と、この第2の S i 酸化物層表面上に形成された格子緩和 S i G e 層と、この格子緩和 S i G e 層表面上に形成された歪 S i 層あるいは歪 S i G e 層と、この歪 S i 層あるいは歪 S i G e 層表面上に形成されたゲート絶縁層と、このゲート絶縁層表面上に形成されたゲート電極と、前記歪 S i 層あるいは歪 S i G e 層中に形成されたソース領域及びドレイン領域とを具備することを特徴とする電界効果トランジスタ。

【請求項3】

前記 G e 酸化物含有層の G e 酸化物は 1 重量%以上 5 0 重量%以下であることを特徴と

する請求項 1 または 2 記載の電界効果トランジスタ。

【請求項 4】

S i 層と、この S i 層表面上に形成された第 1 の S i 酸化物層と、この第 1 の S i 酸化物層表面上に形成された、S i 酸化物に G e 酸化物を含有した G e 酸化物含有層と、この G e 酸化物含有層表面上に形成された格子緩和 S i G e 層とを具備することを特徴とする半導体基板。

【請求項 5】

S i 層と、この S i 層表面上に形成された第 1 の S i 酸化物層と、この第 1 の S i 酸化物層表面上に形成された、S i 酸化物に G e 酸化物を含有した G e 酸化物含有層と、この G e 酸化物含有層表面上に形成された第 2 の S i 酸化物層と、この第 2 の S i 酸化物層表面上に形成された格子緩和 S i G e 層とを具備することを特徴とする半導体基板。

10

【請求項 6】

第 1 の S i 層表面上に S i G e 層を形成する工程と、前記 S i G e 層表面上に第 2 の S i 層を形成する工程と、前記第 2 の S i 層の全てと前記 S i G e 層の一部を酸化することにより前記第 2 の S i 層を第 1 の S i 酸化物層とし、前記 S i G e 層の一部を S i 酸化物と G e 酸化物の混合酸化物である G e 酸化物含有層とする工程と、前記第 1 の S i 層中にマイクロクラック領域を形成する工程と、前記第 1 の S i 酸化物層と第 2 の S i 層を接合する工程と、前記第 1 の S i 層の一部を前記マイクロクラック領域で前記第 1 の S i 層の残部から剥離する工程と、前記第 1 の S i 層表面から酸化することにより前記第 1 の S i 層を第 2 の S i 酸化物層とし、前記 S i G e 層の前記 G e 酸化物含有層に隣接する領域を格子緩和 S i G e 層にする工程と、前記第 2 の S i 酸化物層を除去する工程と、前記格子緩和 S i G e 層表面に歪 S i 層あるいは歪 S i G e 層を形成する工程と、前記歪 S i 層あるいは歪 S i G e 層表面上にゲート酸化膜、ゲート電極を形成するとともに、前記歪 S i 層あるいは歪 S i G e 層中にソース領域並びにドレイン領域を形成する工程とを具備することを特徴とする電界トランジスタの製造方法。

20

【請求項 7】

第 1 の S i 層表面上に S i 酸化物層を形成する工程と、前記 S i 酸化物層表面から G e イオン並びに酸素イオンを注入することにより前記 S i 酸化物層表面に G e ・酸素含有層を形成する工程と、第 2 の S i 層表面上に S i G e 層を形成する工程と、前記 S i G e 層表面上に第 3 の S i 層を形成する工程と、前記第 2 の S i 層中にマイクロクラック領域を形成する工程と、前記 G e ・酸素含有層と前記第 3 の S i 層を接合する工程と、前記第 2 の S i 層の一部を前記マイクロクラック領域で前記第 1 の S i 層の残部から剥離する工程と、前記第 2 の S i 層表面から酸化することにより、格子緩和 S i G e 層を形成し、同時に、前記 G e ・酸素含有層を S i 酸化物と G e 酸化物の混合酸化物である G e 酸化物含有層とする工程と、前記第 2 の S i 酸化物層を除去する工程と、前記格子緩和 S i G e 層表面に歪 S i 層あるいは歪 S i G e 層を形成する工程と、前記歪 S i 層あるいは歪 S i G e 層上にゲート酸化膜、ゲート電極を形成するとともに、前記歪 S i 層あるいは歪 S i G e 層中にソース領域並びにドレイン領域を形成する工程とを具備することを特徴とする電界効果トランジスタの製造方法。

30

【請求項 8】

第 1 の S i 層表面上に S i G e 層を形成する工程と、前記 S i G e 層表面上に第 2 の S i 層を形成する工程と、前記第 2 の S i 層の全てと前記 S i G e 層の一部を酸化することにより前記第 2 の S i 層を第 1 の S i 酸化物層とし前記 S i G e 層の一部を S i 酸化物と G e 酸化物の混合酸化物である G e 酸化物含有層とする工程と、前記第 1 の S i 層中にマイクロクラック領域を形成する工程と、前記第 1 の S i 酸化物層と第 2 の S i 層を接合する工程と、前記第 1 の S i 層の一部を前記マイクロクラック領域で前記第 1 の S i 層の残部から剥離する工程と、前記第 1 の S i 層表面から酸化することにより前記第 1 の S i 層を第 2 の S i 酸化物層とし、前記 S i G e 層の前記 G e 酸化物含有層に隣接する領域を格子緩和 S i G e 層にする工程とを具備することを特徴とする半導体基板の製造方法。

40

【請求項 9】

50

第1のSi層表面上にSi酸化物層を形成する工程と、前記Si酸化物層表面からGeイオン並びに酸素イオンを注入することにより前記Si酸化物層表面にGe・酸素含有層を形成する工程と、第2のSi層表面上にSiGe層を形成する工程と、前記SiGe層表面上に第3のSi層を形成する工程と、前記第2のSi層中にマイクロクラック領域を形成する工程と、前記Ge・酸素含有層と前記第3のSi層を接合する工程と、前記第2のSi層の一部を前記マイクロクラック領域で前記第1のSi層の残部から剥離する工程と、前記第2のSi層表面から酸化することにより、格子緩和SiGe層を形成し、同時に、前記Ge・酸素含有層をSi酸化物とGe酸化物の混合酸化物であるGe酸化物含有層とする工程とを具備することを特徴とする半導体基板の製造方法。

【請求項10】

10

第1のSi層表面上に第1のSi酸化物層を形成する工程と、前記第1のSi酸化物層表面上に第2のSi層を形成する工程と、この第2のSi層中にGeイオン及び酸素イオンを注入し前記第2のSi層中にGe・酸素含有層を形成する工程と、前記第2のSi層表面上にSiGe層を形成する工程と、前記SiGe層表面上に第3のSi層を形成する工程と、前記第3のSi層表面から酸化を行うことにより、前記第1の酸化物層表面上にGe酸化物及びSi酸化物の混合酸化物からなるGe酸化物含有層を形成し、このGe酸化物含有層表面上に格子緩和SiGe層を形成し、この格子緩和SiGe層表面上に第2のSi酸化物層を形成する工程とを具備することを特徴とする半導体基板の製造方法。

【請求項11】

第1のSi層表面上に第1のSiGe層を形成する工程と、この第1のSiGe層表面上に第2のSi層を形成する工程と、この第2のSi層表面上に第2のSiGe層を形成する工程と、この第2のSiGe層表面上に第3のSi層を形成する工程と、前記第3のSi層の全て、前記第2のSiGe層の全て並びに前記第2のSi層の一部を酸化することにより、前記第2のSi層表面上に第1のSi酸化物層、Ge酸化物及びSi酸化物の混合酸化物からなるGe酸化物含有層並びに第2の酸化物層を形成する工程と、前記第1のSi層中にマイクロクラック領域を形成する工程と、第4のSi層表面上に前記第2の酸化物層を接合する工程と、前記第1のSi層の一部を前記マイクロクラック領域で前記第1のSi層の残部から剥離する工程と、前記第1のSi層表面から酸化することにより、前記第1のSi酸化物層表面上に格子緩和SiGe層及びこの格子緩和SiGe層表面上に第3のSi酸化物層を形成する工程とを具備することを特徴とする半導体基板の製造方法。

20

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果トランジスタ、半導体基板、電界効果トランジスタの製造方法及び半導体基板の製造方法に関する。

【0002】

【従来の技術】

マイクロプロセッサ等の大規模集積回路(LSI)の高速化、高機能化、低消費電力化を図るためには、回路を構成する個々のトランジスタの駆動力を維持或いは向上させつつ微細化する必要がある。例えば従来、MOSFETにおいては、ゲート長を短縮することで対応してきた。

40

【0003】

しかしながら、近年、ゲート長を短縮するには技術的或いは経済的な障壁が急激に高くなってきている。そこで、ゲート長を短縮する方法以外に、LSIを高速化させる方法として、高移動度のチャネル材料を用いる方法がある。

【0004】

高移動度のチャネル材料として、歪Siや歪SiGeが注目されている。このうち歪Siは、Siより格子定数の大きな格子緩和SiGe上にエピタキシャル成長させることにより形成される。また歪SiGeは、これよりGe組成比が大きな格子緩和SiGe上に工

50

ピタキシャル成長することにより形成される。歪Siは、面内の引張り歪により、また、歪SiGeは面内の圧縮歪により、電子、正孔の移動度がいずれも増大する。また、下地の格子緩和SiGeとチャネル材料とのGe組成差が大きいほど、すなわち格子定数の差が大きいほどチャネル層に導入される歪量が大きくなり、移動度は大きくなる。

【0005】

本発明者らは、歪Si及び歪SiGeとSOI(Si-on-insulator)構造とを組み合わせたMOSFET(歪SOI-MOSFET)を提案し、さらに動作実証してきた。(T. Mizuno, S. Takagi, N. Sugiyama, J. Koga, T. Tezuka, K. Usuda, T. Hatakeyama, A. Kurobe, and A. Toriumi, IEDM Technical Digests p.934 (1999))。

【0006】

図9に、歪Siを用いた歪SOI-MOSFETの断面図を示す。

【0007】

図9に示すように、歪SOI-MOSFETは、Si基板7と、このSi基板7上に形成された絶縁層6と、この絶縁層6上に形成された格子緩和 $Si_{0.9}Ge_{0.1}$ バッファ層4と、この格子緩和 $Si_{0.9}Ge_{0.1}$ バッファ層4上に形成された歪Si層3と、この歪Si層3上に形成されたゲート酸化層2と、このゲート酸化層2上に形成されたゲート電極1とを具備している。ゲート酸化層2下の歪Si層3はチャネル領域となり、このチャネル領域を挟むようにソース領域及びドレイン領域8が形成されている。

【0008】

このような歪SOI-MOSFETは、歪Si層3をチャネルとして用いているのでキャリア移動度が高いという利点がある。また、この利点のほか、SOI構造により接合容量を小さくできる利点、また、不純物濃度を低く抑えたまま微細化ができる利点がある。さらに、インパクトイオン化で発生した正孔が緩和SiGe層を通してソース領域に容易に吸収されるため、通常SOI構造で問題となるボディ浮遊効果も抑制することができる。

【0009】

本発明者らの研究の結果、このような利点を有する歪SOI-MOSFETを実用させるためには、格子緩和 $Si_{1-x}Ge_x$ バッファ層4をより低転位密度で、かつほぼ完全に格子緩和し、厚さ30nm以下に抑える必要があることが分かった。このような条件を満足する格子緩和 $Si_{1-x}Ge_x$ バッファ層4上に歪Si層3をエピタキシャル成長させることで歪Si層3の移動度をより向上させることができることが分かった。

【0010】

このような格子緩和 $Si_{1-x}Ge_x$ バッファ層4を形成するための方法として、本発明者らは絶縁層6上にGe組成比が低い $Si_{1-x}Ge_x$ 層($x=0.1$)を成長させ、この $Si_{1-x}Ge_x$ 層($x=0.1$)層を高温で熱酸化する方法を見出している。これは熱酸化が進むにつれて $Si_{1-x}Ge_x$ 層($x=0.1$)のGeが濃縮されGe組成比の高い $Si_{1-x}Ge_x$ 層($x>0.5$)が形成されると同時に、この $Si_{1-x}Ge_x$ 層($x>0.5$)が格子緩和し、薄層化することを利用したものである。(T. Tezuka, N. Sugiyama, T. Mizuno, M. Suzuki, and S. Takagi, Extended Abstracts of the 2000 International Conference on Solid State Devices and Materials (Sendai, 2000), p. 472.)。

【0011】

【発明が解決しようとする課題】

絶縁層6上に形成されたGe組成比が小さい $Si_{1-x}Ge_x$ 層($x=0.1$)を、高温で乾燥熱酸化することにより、表面に形成されるSiGe酸化層中からGe原子が吐き出され、残りのSiGe層中に蓄積される。一方、下地層の絶縁層6はGe原子がSi基板7中に拡散するのを防ぐ。したがって、酸化が進行するとともに残りのSiGe層中のGe組成比は増大する。

【0012】

Ge組成比が高いほどSiGeの格子定数は大きくなるので、絶縁層6とSiGe層4との界面にはせん断応力が生じる。界面での滑り或いは絶縁層6の塑性変形が充分であれば

10

20

30

40

50

、このせん断応力により SiGe 層 4 は自由に伸縮できるので、格子緩和が転位の発生を伴うことなく進行する。

【0013】

しかしながら、絶縁層 6 が特に SiO₂ の場合、1200 という高温で熱酸化しても、SiGe 層 4 と絶縁層 6 との間で滑り或いは塑性変形が十分に生じないために、SiGe 層 4 は十分に緩和しない。したがって 1200 という高温で熱酸化しても十分な滑り或いは塑性変形が生じないので転位発生によるモードで SiGe 層 4 が格子緩和してしまう。さらに温度を高くすれば、SiO₂ が軟化して SiGe 層 4 と絶縁層 6 との間で滑り或いは絶縁層が塑性変形しやすくなるがこの場合 SiGe 層 4 が融解してしまうという問題がある。

10

【0014】

このように SiGe 層が溶解しないようにして貫通転位密度を実用上の目安となる値 10^4 cm^{-2} まで低減するのが困難であるという問題があった。

【0015】

本発明は、格子緩和 SiGe 層の貫通転位密度を低減でき、この格子緩和 SiGe 層上に歪 Si 層或いは歪 SiGe 層を形成した電界効果トランジスタを提供することを目的とする。

【0016】

【課題を解決するための手段】

上記目的を達成するために、本発明は、Si 層と、この Si 層表面上に形成された Si 酸化物層と、この Si 酸化物層表面上に形成された、Si 酸化物に Ge 酸化物を含有した Ge 酸化物含有層と、この Ge 酸化物含有層表面上に形成された格子緩和 SiGe 層と、この格子緩和 SiGe 層表面上に形成された歪 Si 層あるいは歪 SiGe 層と、この歪 Si 層あるいは歪 SiGe 層表面上に形成されたゲート絶縁層と、このゲート絶縁層表面上に形成されたゲート電極と、前記歪 Si 層あるいは歪 SiGe 層中に形成されたソース領域及びドレイン領域とを具備することを特徴とする電界効果トランジスタを提供する。

20

【0017】

また、本発明は、Si 層と、この Si 層表面上に形成された第 1 の Si 酸化物層と、この第 1 の Si 酸化物層表面上に形成された、Si 酸化物に Ge 酸化物を含有した Ge 酸化物含有層と、この Ge 酸化物層表面上に形成された第 2 の Si 酸化物層と、この第 2 の Si 酸化物層表面上に形成された格子緩和 SiGe 層と、この格子緩和 SiGe 層表面上に形成された歪 Si 層あるいは歪 SiGe 層と、この歪 Si 層あるいは歪 SiGe 層表面上に形成されたゲート絶縁層と、このゲート絶縁層表面上に形成されたゲート電極と、前記歪 Si 層あるいは歪 SiGe 層中に形成されたソース領域及びドレイン領域とを具備することを特徴とする電界効果トランジスタを提供する。

30

【0018】

また、本発明は前記 Ge 酸化物含有層の Ge 酸化物は 1 重量%以上 50 重量%以下であることを特徴とする電界効果トランジスタを提供する。

【0019】

また、本発明は、Si 層と、この Si 層表面上に形成された第 1 の Si 酸化物層と、この第 1 の Si 酸化物層表面上に形成された、Si 酸化物に Ge 酸化物を含有した Ge 酸化物含有層と、この Ge 酸化物含有層表面上に形成された格子緩和 SiGe 層とを具備することを特徴とする半導体基板を提供する。

40

【0020】

また、本発明は、Si 層と、この Si 層表面上に形成された第 1 の Si 酸化物層と、この第 1 の Si 酸化物層表面上に形成された、Si 酸化物に Ge 酸化物を含有した Ge 酸化物含有層と、この Ge 酸化物含有層表面上に形成された第 2 の Si 酸化物層と、この第 2 の Si 酸化物層表面上に形成された格子緩和 SiGe 層とを具備することを特徴とする半導体基板を提供する。

【0021】

50

また、本発明は、第1のSi層表面上にSiGe層を形成する工程と、前記SiGe層表面上に第2のSi層を形成する工程と、前記第2のSi層の全てと前記SiGe層の一部を酸化することにより前記第2のSi層を第1のSi酸化物層とし、前記SiGe層の一部をSi酸化物とGe酸化物の混合酸化物であるGe酸化物含有層とする工程と、前記第1のSi層中にマイクロクラック領域を形成する工程と、前記第1のSi酸化物層と第2のSi層を接合する工程と、前記第1のSi層の一部を前記マイクロクラック領域で前記第1のSi層の残部から剥離する工程と、前記第1のSi層表面から酸化することにより前記第1のSi層を第2のSi酸化物層とし、前記SiGe層の前記Ge酸化物含有層に隣接する領域を格子緩和SiGe層にする工程と、前記第2のSi酸化物層を除去する工程と、前記格子緩和SiGe層表面に歪Si層あるいは歪SiGe層を形成する工程と、前記歪Si層あるいは歪SiGe層表面上にゲート酸化膜、ゲート電極を形成するとともに、前記歪Si層あるいは歪SiGe層中にソース領域並びにドレイン領域を形成する工程とを具備することを特徴とする電界トランジスタの製造方法を提供する。

10

【0022】

また、本発明は、第1のSi層表面上にSi酸化物層を形成する工程と、前記Si酸化物層表面からGeイオン並びに酸素イオンを注入することにより前記Si酸化物層表面にGe・酸素含有層を形成する工程と、第2のSi層表面上にSiGe層を形成する工程と、前記SiGe層表面上に第3のSi層を形成する工程と、前記第2のSi層中にマイクロクラック領域を形成する工程と、前記Ge・酸素含有層と前記第3のSi層を接合する工程と、前記第2のSi層の一部を前記マイクロクラック領域で前記第1のSi層の残部から剥離する工程と、前記第2のSi層表面から酸化することにより、格子緩和SiGe層を形成し、同時に、前記Ge・酸素含有層をSi酸化物とGe酸化物の混合酸化物であるGe酸化物含有層とする工程と、前記第2のSi酸化物層を除去する工程と、前記格子緩和SiGe層表面に歪Si層あるいは歪SiGe層を形成する工程と、前記歪Si層あるいは歪SiGe層上にゲート酸化膜、ゲート電極を形成するとともに、前記歪Si層あるいは歪SiGe層中にソース領域並びにドレイン領域を形成する工程とを具備することを特徴とする電界効果トランジスタの製造方法を提供する。

20

【0023】

また、本発明は、第1のSi層表面上にSiGe層を形成する工程と、前記SiGe層表面上に第2のSi層を形成する工程と、前記第2のSi層の全てと前記SiGe層の一部を酸化することにより前記第2のSi層を第1のSi酸化物層とし前記SiGe層の一部をSi酸化物とGe酸化物の混合酸化物であるGe酸化物含有層とする工程と、前記第1のSi層中にマイクロクラック領域を形成する工程と、前記第1のSi酸化物層と第2のSi層を接合する工程と、前記第1のSi層の一部を前記マイクロクラック領域で前記第1のSi層の残部から剥離する工程と、前記第1のSi層表面から酸化することにより前記第1のSi層を第2のSi酸化物層とし、前記SiGe層の前記Ge酸化物含有層に隣接する領域を格子緩和SiGe層にする工程とを具備することを特徴とする半導体基板の製造方法を提供する。

30

【0024】

また、本発明は、第1のSi層表面上にSi酸化物層を形成する工程と、前記Si酸化物層表面からGeイオン並びに酸素イオンを注入することにより前記Si酸化物層表面にGe・酸素含有層を形成する工程と、第2のSi層表面上にSiGe層を形成する工程と、前記SiGe層表面上に第3のSi層を形成する工程と、前記第2のSi層中にマイクロクラック領域を形成する工程と、前記Ge・酸素含有層と前記第3のSi層を接合する工程と、前記第2のSi層の一部を前記マイクロクラック領域で前記第1のSi層の残部から剥離する工程と、前記第2のSi層表面から酸化することにより、格子緩和SiGe層を形成し、同時に、前記Ge・酸素含有層をSi酸化物とGe酸化物の混合酸化物であるGe酸化物含有層とする工程とを具備することを特徴とする半導体基板の製造方法を提供する。

40

【0025】

50

また、本発明は、第1のSi層表面上に第1のSi酸化物層を形成する工程と、前記第1のSi酸化物層表面上に第2のSi層を形成する工程と、この第2のSi層中にGeイオン及び酸素イオンを注入し前記第2のSi層中にGe・酸素含有層を形成する工程と、前記第2のSi層表面上にSiGe層を形成する工程と、前記SiGe層表面上に第3のSi層を形成する工程と、前記第3のSi層表面から酸化を行うことにより、前記第1の酸化物層表面上にGe酸化物及びSi酸化物の混合酸化物からなるGe酸化物含有層を形成し、このGe酸化物含有層表面上に格子緩和SiGe層を形成し、この格子緩和SiGe層表面上に第2のSi酸化物層を形成する工程とを具備することを特徴とする半導体基板の製造方法を提供する。

【0026】

10

また、本発明は、第1のSi層表面上に第1のSiGe層を形成する工程と、この第1のSiGe層表面上に第2のSi層を形成する工程と、この第2のSi層表面上に第2のSiGe層を形成する工程と、この第2のSiGe層表面上に第3のSi層を形成する工程と、前記第3のSi層の全て、前記第2のSiGe層の全て並びに前記第2のSi層の一部を酸化することにより、前記第2のSi層表面上に第1のSi酸化物層、Ge酸化物及びSi酸化物の混合酸化物からなるGe酸化物含有層並びに第2の酸化物層を形成する工程と、前記第1のSi層中にマイクロクラック領域を形成する工程と、第4のSi層表面上に前記第2の酸化物層を接合する工程と、前記第1のSi層の一部を前記マイクロクラック領域で前記第1のSi層の残部から剥離する工程と、前記第1のSi層表面から酸化することにより、前記第1のSi酸化物層表面上に格子緩和SiGe層及びこの格子緩和SiGe層表面上に第3のSi酸化物層を形成する工程とを具備することを特徴とする半導体基板の製造方法を提供する。

20

【0027】

【発明の実施の形態】

以下、図面を参照して、本発明の実施形態について説明する。

【0028】

先ず、図7に絶縁層上に厚さ90nmの $Si_{0.9}Ge_{0.1}$ 層を形成し、これを酸化によって厚さ30nmの $Si_{0.7}Ge_{0.3}$ 層にした場合の絶縁層とSiGe層との界面での滑りによって生じる緩和率の酸化温度との関係を示す。

【0029】

30

本発明として、絶縁層は GeO_2 が9重量%含有した SiO_2 層を用いた。従来例として、絶縁層は純粋な SiO_2 層を用いた。

【0030】

図7に示すように、従来例では酸化温度が1200において5割程度の緩和率しか得られないのに対し、本発明では1000で8割に達する緩和率が得られる。

【0031】

以上のように、絶縁層としてGe酸化物を1重量%以上含有するGe酸化物含有層を導入すると、熱処理温度が1000でSiGe層との界面で十分な滑りが生じて転位を発生させることなくSiGe層を緩和させることが可能になる。これはGe酸化物を1重量%以上含有するGe酸化物含有層は、純粋な SiO_2 に比べ軟化温度が低いためである。軟化温度はGeの含有量が増加するにつれて低下する。例えば、 SiO_2 に GeO_2 を1重量%添加することで、軟化温度が約20低下する。また、 GeO_2 を9重量%添加することで、軟化温度が約200低下する(枝広ほか、電子通信学会論文誌C、63(1980)751参照)。

40

【0032】

次に、図8に $Si_{1-x}Ge_x$ のGe組成xと融点との関係を示す。

【0033】

図8に示すように、SiGeのGe組成が高くなると融点が低くなることが分かる。したがってSiGe層を1200で熱処理するのであれば、SiGeを融解させないようにするためにGe組成はプロセスマージンをとって0.2以下としなければならない。これ

50

は、緩和SiGe層のGe組成として望ましい値よりも低い値である。すなわち、上層に形成する歪Siの歪量をより大きくするためには十分ではない。

【0034】

一方SiGe層を1000で熱処理するのであれば、SiGeはGe組成が約0.8まで融解しないので、必要な格子定数の大きさを全て実現することができる。

【0035】

すなわち絶縁層としてGe酸化物が1重量%以上含むGe酸化物含有層を導入することで、1000で十分な格子緩和処理ができることになる。したがって、SiGeのGe組成を0.8まで実現できるので設計自由度を向上できるという効果がある。

【0036】

実質的なGeO₂添加の効果を得るには、Ge組成が1重量%以上の含有量であれば良い。これは、軟化点温度に換算すると20以上の低下に相当する。図8から見て取れるように、わずか20のプロセス温度の低下であってもプロセス温度マージン増大の効果を得られる。

【0037】

次に、本発明における電界効果トランジスタを説明する。

【0038】

図1は、本発明の第1の実施形態にかかる電界効果トランジスタの断面図である。

【0039】

この電界効果トランジスタは、Si基板7と、このSi基板7上に形成された厚さ300nmのSi酸化物からなる絶縁層6と、この絶縁層6上に形成された厚さ20nmのSi酸化物とGe酸化物との混合酸化物からなるGe酸化物含有層5と、このGe酸化物含有層5上に形成された厚さ20nmの格子緩和Si_{0.7}Ge_{0.3}層4と、この格子緩和Si_{0.7}Ge_{0.3}層4上に形成された厚さ10nmの歪Si層3と、この歪Si層3上に形成された厚さ1.5nmのゲート酸化層2と、このゲート酸化層2上に形成された厚さ200nmのポリシリコンゲート電極1と、歪Si層3中に形成されたソース領域及びドレイン領域8とを具備する。ゲート長は100nmである。ゲート幅Wは1μmである。この電界効果トランジスタは、格子緩和Si_{0.7}Ge_{0.3}層4が直接Ge酸化物含有層5に接している。このGe酸化物含有層5のGe酸化物の重量組成は16重量%である。

【0040】

このようにGe酸化物含有層5上に直接SiGe層4を形成することで熱処理温度が1000程度で転位が生じない格子緩和を十分することができ素子の特性向上に寄与する。

【0041】

また、Ge酸化物含有層5のGe酸化物は50重量%以下であることが好ましい。これは50重量%を越えると水に対して溶けるとい問題があるためであり、信頼性を考慮するとGe酸化物は20重量%以下であることがより好ましい。

【0042】

また、Ge酸化物含有層5はC、H、N、As、P、B等の不純物が10²⁰cm⁻³程度なら混入していても問題ない。

【0043】

また、歪Si層は、SiGe、SiC、GeC、SiGeC等Ge、Cを含有するものでも良い。

【0044】

また、格子緩和SiGe層は、SiC、GeC、SiGeC等Ge、Cを含有するものでも良い。

【0045】

また、格子緩和Si_{1-x-v}Ge_xC_v (0 < x, v < 1, 0 < x+v < 1) 層或いは歪Si_{1-y-w}Ge_yC_w (0 < y, w < 1, 0 < y+w < 1) 層のCの組成比v或いはwは、0以上0.06以下であることが好ましい。Cの混入は歪みの量とバンドギャッ

10

20

30

40

50

ブとをそれぞれ独立に制御することが出来るので、素子作製の自由度が向上される。

【0046】

図2は、本発明の第2の実施形態にかかる電界効果トランジスタの断面図である。

【0047】

図2に示すように、この電界効果トランジスタは、Si基板7と、このSi基板7上に形成された厚さ300nmのSiO₂絶縁層6と、この絶縁層6上に形成された厚さ20nmのSi酸化物とGe酸化物の混合酸化物からなるGe酸化物含有層5と、このGe酸化物含有層5上に形成された厚さ10nmのSiO₂絶縁層6'と、このSiO₂絶縁層6'上に形成された厚さ20nmの格子緩和Si_{0.7}Ge_{0.3}層4と、この格子緩和Si_{0.7}Ge_{0.3}層4上に形成された厚さ10nmの歪Si層3と、この歪Si層3上に形成された厚さ1.5nmのゲート酸化層2と、このゲート酸化層2上に形成された厚さ200nmのポリシリコンゲート電極1と、歪Si層3中に形成されたソース領域及びドレイン領域8とを具備する。ゲート長は100nmである。ゲート幅Wは1μmである。この電界効果トランジスタは、格子緩和Si_{0.7}Ge_{0.3}層4が直接Ge酸化物含有層5に接していない点が第1の実施形態とことなる。このGe酸化物含有層5のGe酸化物の重量組成は16重量%である。

10

【0048】

この実施形態では、格子緩和SiGe層4とGe酸化物含有層5の間に厚さ10nmのSiO₂絶縁層6が挿入されている。本実施形態では、格子緩和SiGe層4とSiO₂絶縁層6との界面の電気的特性が良好である点を利用し第1の実施形態よりも素子特性が優れている。

20

【0049】

第1の実施形態及び第2の実施形態では、Ge酸化物含有層5とSiO₂絶縁層6及び6'として、独立に層を形成しているが、例えばGe酸化物がSiO₂絶縁層6及び6'全体に含まれても良い。また、このときGe酸化物の含有量がSi基板7側から格子緩和SiGe層4に向けて徐々に大きくなって良いし小さくなって良い。

【0050】

また、ゲート電極1やゲート絶縁層2、ソース領域及びドレイン領域8については、既に公知となっている種々の構造、材料を適用することが可能である。例えば、ゲート電極1として、ポリSiGe、タンゲステンシリサイド或いはコバルトシリサイドゲート等を用いることができる。また、ゲート絶縁層2としては、ZrO₂、Al₂O₃、HfO₂、Si₃N₄、TiO₂等の高誘電率誘電体を用いることができる。またソース領域及びドレイン領域8として、せり上げソース・ドレイン構造等を用いることができる。

30

【0051】

また、歪Si層3の代わりに歪Ge層或いは歪Si_{1-x}Ge_x (x>0.5)を用いることができる。また、格子緩和Si_{0.7}Ge_{0.3}層4の代わりに緩和Si_{0.3}Ge_{0.7}層を用いることができる。このようにGe組成が大きくなって格子緩和させるための処理温度が1000程度と低いために溶融が生じず転位の発生もない。この場合Ge組成比が大きいため、歪Si層3の移動度が大きくなるという効果もある。特にpチャネルトランジスタにおいてより大きな移動度増大の効果が得られる。

40

【0052】

次に、図3を用いて第1の実施形態にかかる電界効果トランジスタの製造方法を説明する。

【0053】

まず、図3(a)に示すように、Si基板12上に厚さ70nmのSi_{0.9}Ge_{0.1}層10を成長する。次に、このSi_{0.9}Ge_{0.1}層10上に、厚さ150nmのSi層11を成長する。これらの成長はUHV-CVD或いはLP-CVD法により基板温度500から650にてエピタキシャル成長する。

【0054】

次に、図3(b)に示すように、700でのウェット酸化によりSi層の全てとSiGe

50

e層の一部を酸化する。この酸化工程により厚さ300nmのSiO₂層6と厚さ20nmのSi酸化物とGe酸化物の混合酸化物であるGe酸化物含有層5を形成する。このときのGe酸化物含有層5のGeO₂重量%は、16重量%である。

【0055】

次に、図3(c)に示すように、SiO₂層6上から、100KeVの注入エネルギー $5 \times 10^{16} \text{ cm}^{-2}$ のドーズ量で水素イオンを注入する。この水素イオン注入により、SiO₂層の表面から深さ約650nmの位置のSi基板12中に格子欠陥が高密度に形成されたマイクロクラック領域13を形成する。

【0056】

次に、図3(d)に示すように、基板をひっくり返し、SiO₂層6の表面を別のSi基板7に常温にて張り合わせる。 10

【0057】

次に、図3(e)に示すように、600℃で3時間熱処理することにより、マイクロクラック領域13でウェハを剥離する。剥離面はCMPにより平坦化する。Si基板12は、選択ウェットエッチングを用いた剥離方法を用いても良い。

【0058】

次に、図3(f)に示すように、基板温度1050℃でドライ酸化する。このドライ酸化により基板表面から酸化が行われ、格子緩和SiGe層14が形成される。符号20はドライ酸化により酸化されたSiO₂酸化層である。このドライ酸化では格子緩和SiGe層14は、厚さが20nmになり、Geが濃縮されてGe組成が増大し、それに伴い格子緩和する。この工程によりGe組成は0.3になる。 20

【0059】

次に、SiO₂層20をフッ化アンモニウム溶液で除去する。次に、UHV-CVD或いはLP-CVD法により基板温度650℃にて、格子緩和Si_{0.7}Ge_{0.3}層14上に歪Si層をエピタキシャル成長する。こうして十分に歪のかかった転位等のダメージのない良好なチャネル層を形成できる。

【0060】

この後の工程は、通常のSOI-MOSFET製造プロセスに従って、ゲート絶縁層、ゲート電極、ソース領域及びドレイン領域を形成して、図1に示す電界効果トランジスタを形成する。 30

【0061】

次に、図4を用いて第1の実施形態にかかる電界効果トランジスタの別の製造方法を説明する。

【0062】

まず、図4(a)に示すように、Si基板7を熱酸化して厚さ100nmのSiO₂層6を形成する。この酸化方法は、ウェットでもドライでもかまわない。

【0063】

次に、図4(b)に示すように、Geイオンを、30KeVの注入エネルギー、 $1.5 \times 10^{16} \text{ cm}^{-2}$ のドーズ量でイオン注入する。引き続き、酸素イオンを、25keVの注入エネルギー、 $1.0 \times 10^{17} \text{ cm}^{-2}$ のドーズ量でイオン注入する。また、これらのイオン注入の順番は逆でも良い。これらのイオン注入後、酸素雰囲気中で700℃、3時間熱処理する。こうしてSiO₂層6の表面領域にGe及び酸素を含有する層17を形成する。 40

【0064】

次に、図4(c)に示すように、別のSi基板12上に、厚さ60nmのSi_{0.9}Ge_{0.1}層10、厚さ20nmのSiキャップ層11をUHV-CVD或いはLP-CVD法により基板温度500℃から650℃にてエピタキシャル成長する。引き続き100keVの注入エネルギー、 $5 \times 10^{16} \text{ cm}^{-2}$ のドーズ量で水素イオンをイオン注入する。このイオン注入により、Siキャップ層11の表面から深さ約650nmの領域に格子欠陥が高密度に形成されたマイクロクラック領域13を形成する。 50

【 0 0 6 5 】

次に、図 4 (d) に示すように、S i キャップ層 1 1 の表面を、図 4 (b) に示す G e 及び酸素を含有する層 1 7 上に常温にて張り合わせる。次に 6 0 0 ° で 3 時間熱処理することにより、マイクロラック領域 1 3 でウェハーを剥離する。この剥離面は C M P にて平坦化する。

【 0 0 6 6 】

次に、図 4 (f) に示すように、基板温度 1 0 5 0 ° でドライ酸化する。このドライ酸化により基板表面から酸化が行われ、格子緩和 S i G e 層 1 4 が形成される。符号 2 0 はドライ酸化により酸化された S i 酸化層である。このドライ酸化では格子緩和 S i G e 層 1 4 は、厚さが 2 0 n m になり、G e が濃縮されて G e 組成が増大し、それに伴い格子緩和する。この工程により G e 組成は 0 . 3 になる。また、このドライ酸化により G e 及び酸素を含有する層 1 7 は、より酸化が強固になり G e 酸化物及び S i 酸化物の混合酸化物である G e 酸化物含有層 5 となる。

10

【 0 0 6 7 】

次に、S i O₂ 層 2 0 をフッ化アンモニウム溶液で除去する。次に、U H V - C V D 或いは L P - C V D 法により基板温度 6 5 0 ° にて、格子緩和 S i_{0.7} G e_{0.3} 層 1 4 上に歪 S i 層をエピタキシャル成長する。こうして十分に歪のかかった転位等のダメージのない良好なチャネル層を形成できる。

【 0 0 6 8 】

この後の工程は、通常の S O I - M O S F E T 製造プロセスに従って、ゲート絶縁層、ゲート電極、ソース領域及びドレイン領域を形成して、図 1 に示す電界効果トランジスタを形成する。

20

【 0 0 6 9 】

次に、図 5 を用いて第 1 の実施形態にかかる電界効果トランジスタの別の製造方法を説明する。

【 0 0 7 0 】

先ず、図 5 (a) に示すように、S i 基板 7 上に S i O₂ 絶縁層 6、S O I 層 1 8 を具備する S O I 基板を準備する。この S O I 基板を熱酸化して S O I 層 1 8 の厚さを 5 0 n m にする。この酸化方法は、ウェットでもドライでもかまわない。

【 0 0 7 1 】

次に、図 5 (b) に示すように、G e イオンを 5 0 k e V の注入エネルギー、 $1.5 \times 10^{16} \text{ cm}^{-2}$ のドーズ量でイオン注入する。引き続き、酸素イオンを 3 5 k e V の注入エネルギー、 $1.0 \times 10^{17} \text{ cm}^{-2}$ のドーズ量でイオン注入する。こうして S i 層中に G e 及び酸素を含有する領域 1 7 を形成する。これらのイオン注入後、酸素雰囲気中で 7 0 0 °、3 時間熱処理し、さらに 1 0 0 0 ° にて 1 分間 R T A 処理を行い S O I 層 1 8 に生じたダメージを除去する。次に、表面の酸化層をフッ化アンモニウム溶液で剥離する。

30

【 0 0 7 2 】

次に、図 5 (c) に示すように、厚さ 6 0 n m の S i_{0.9} G e_{0.1} 層 1 0、厚さ 2 0 n m の S i キャップ層 1 1 を U H V - C V D 或いは L P - C V D 法により基板温度 6 5 0 ° にてエピタキシャル成長する。

40

【 0 0 7 3 】

次に、図 5 (d) に示すように、基板温度 1 0 5 0 ° でドライ酸化する。このドライ酸化により基板表面から酸化が行われ、格子緩和 S i G e 層 1 4 が形成される。符号 2 0 はドライ酸化により酸化された S i 酸化層である。このドライ酸化では格子緩和 S i G e 層 1 4 は、厚さが 2 0 n m になり、G e が濃縮されて G e 組成が増大し、それに伴い格子緩和する。この工程により G e 組成は 0 . 3 になる。また、このドライ酸化により G e 及び酸素を含有する層 1 7 は、より酸化が強固になり G e 酸化物及び S i 酸化物の混合酸化物である G e 酸化物含有層 5 となる。

【 0 0 7 4 】

50

次に、 SiO_2 層 20 をフッ化アンモニウム溶液で除去する。次に、UHV-CVD 或いは LP-CVD 法により基板温度 650 にて、格子緩和 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層 14 上に歪 Si 層をエピタキシャル成長する。こうして十分に歪のかかった転位等のダメージのない良好なチャネル層を形成できる。

【0075】

この後の工程は、通常の SOI-MOSFET 製造プロセスに従って、ゲート絶縁層、ゲート電極、ソース領域及びドレイン領域を形成して、図 1 に示す電界効果トランジスタを形成する。

【0076】

次に、図 6 を用いて第 2 の実施形態にかかる電界効果トランジスタの製造方法を説明する 10

【0077】

先ず、図 6 (a) に示すように、 Si 基板 12 上に、厚さ 60 nm の第 1 の $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層 10、厚さ 50 nm の Si 中間層 16、厚さ 20 nm の第 2 の $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層 15、厚さ 100 nm の Si キャップ層 11 を UHV-CVD 或いは LP-CVD 法により基板温度 650 にてエピタキシャル成長する。

【0078】

次に、図 6 (b) に示すように、700 でのウェット酸化することにより Si キャップ層 11 と第 2 の $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層 15 の全て及び Si 中間層 16 の一部を酸化する。このウェット酸化により、厚さ 250 nm の絶縁層 9 中に厚さ約 40 nm の Ge 酸化物と Si 酸化物の混合酸化物である Ge 酸化物含有層 5 を形成する。符号 6 及び 6' は純粋な SiO_2 である。 20

【0079】

次に、水素イオンを 100 keV の注入エネルギー、 $5 \times 10^{16} \text{ cm}^{-2}$ のドーズ量でイオン注入する。このイオン注入で、 SiO_2 層 6 の表面から深さ約 650 nm の領域に格子欠陥が高密度に形成されたマイクロクラック領域 13 を形成する。

【0080】

次に、図 6 (d) に示すように、基板をひっくり返して SiO_2 層 6 の表面を別の Si 基板 7 に常温にて張り合わせる。

【0081】

次に、図 6 (e) に示すように、600 で 3 時間熱処理すると、マイクロクラック領域 13 でウェハーが剥離する。次に、剥離面を CMP にて平坦化する。 30

【0082】

次に、図 6 (f) に示すように、基板温度 1050 でドライ酸化する。このドライ酸化により基板表面から酸化が行われ、格子緩和 SiGe 層 14 が形成される。符号 20 はドライ酸化により酸化された Si 酸化層である。このドライ酸化では格子緩和 SiGe 層 14 は、厚さが 20 nm になり、 Ge が濃縮されて Ge 組成が増大し、それに伴い格子緩和する。この工程により Ge 組成は 0.3 になる。

【0083】

次に、 SiO_2 層 20 をフッ化アンモニウム溶液で除去する。次に、UHV-CVD 或いは LP-CVD 法により基板温度 650 にて、格子緩和 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層 14 上に歪 Si 層をエピタキシャル成長する。こうして十分に歪のかかった転位等のダメージのない良好なチャネル層を形成できる。 40

【0084】

この後の工程は、通常の SOI-MOSFET 製造プロセスに従って、ゲート絶縁層、ゲート電極、ソース領域及びドレイン領域を形成して、図 2 に示す電界効果トランジスタを形成する。

【0085】

【発明の効果】

低転位密度で格子緩和 SiGe 層が形成できるので、この上に歪量の大きな歪 Si 層を形 50

成できる。その結果、信頼性が高く、高速でかつ低消費電力の歪SOI-MOSFETを実現できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態にかかる電界効果トランジスタの断面図。

【図2】 本発明の第2の実施形態にかかる電界効果トランジスタの断面図。

【図3】 本発明の第1の実施形態にかかる電界効果トランジスタの製造工程を説明する主要工程における断面図。

【図4】 本発明の第1の実施形態にかかる電界効果トランジスタの製造工程を説明する主要工程における断面図。

【図5】 本発明の第1の実施形態にかかる電界効果トランジスタの製造工程を説明する主要工程における断面図。 10

【図6】 本発明の第2の実施形態にかかる電界効果トランジスタの製造工程を説明する主要工程における断面図。

【図7】 絶縁層上に厚さ90nmの $Si_{0.9}Ge_{0.1}$ 層を形成し、これを酸化によって厚さ30nmの $Si_{0.7}Ge_{0.3}$ 層にした場合の絶縁層とSiGe層との界面での滑りによって生じる緩和率の酸化温度との関係を示すグラフ。

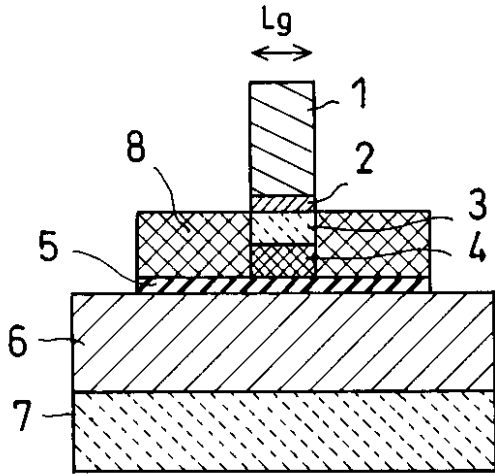
【図8】 SiGeのGe組成と軟化温度との関係を示すグラフ。

【図9】 従来の電界効果トランジスタの断面図。

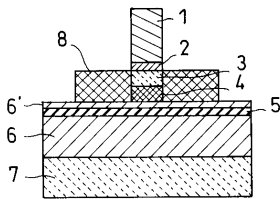
【符号の説明】

- | | |
|--------------------------|----|
| 1・・・ゲート電極 | 20 |
| 2・・・ゲート絶縁層 | |
| 3・・・歪Si | |
| 4・・・格子緩和SiGe層 | |
| 5・・・Ge酸化物を含有する SiO_2 層 | |
| 6、6'・・・Si酸化層 | |
| 7・・・Si基板 | |
| 8・・・ソース領域及びドレイン領域 | |
| 9・・・絶縁層 | |
| 10・・・SiGe層 | |
| 11・・・Siキャップ層 | 30 |
| 12・・・支持基板 | |
| 13・・・マイクロクラック | |
| 14・・・格子緩和SiGe層 | |
| 15・・・SiGe層 | |
| 16・・・Si中間層 | |
| 17・・・イオン注入領域 | |
| 18・・・SOI層 | |

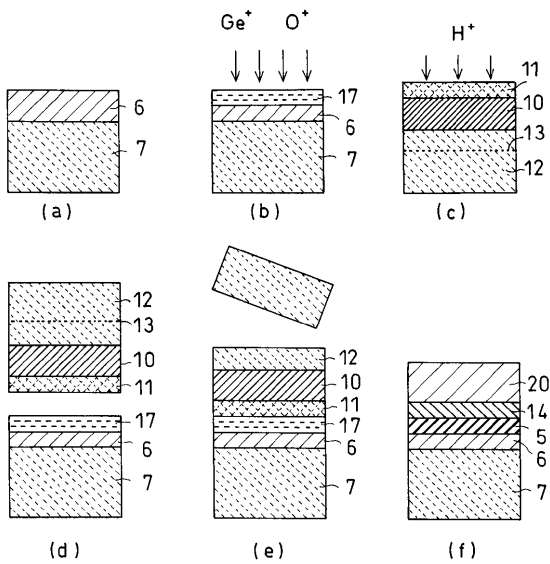
【 図 1 】



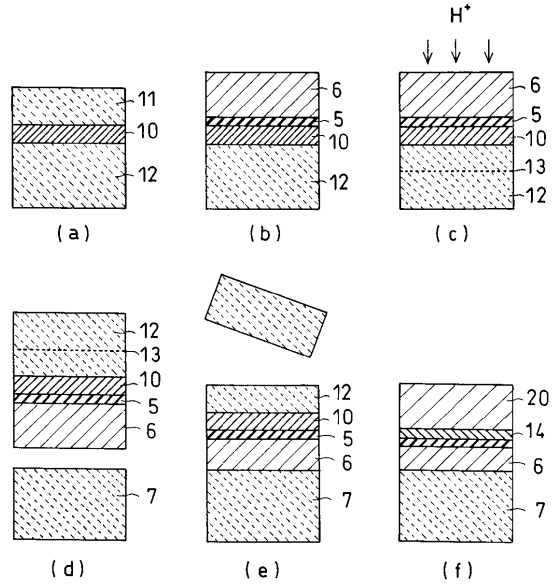
【 図 2 】



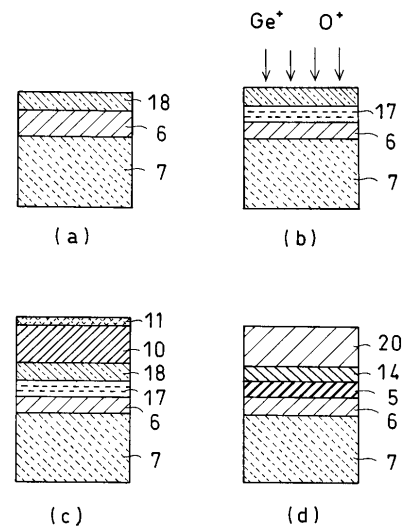
【 図 4 】



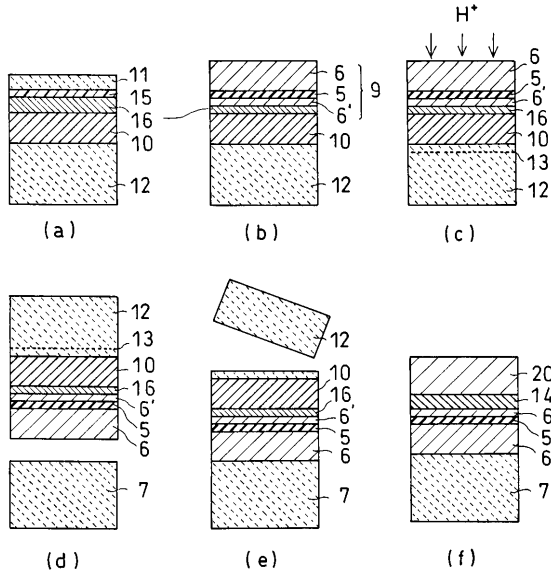
【 図 3 】



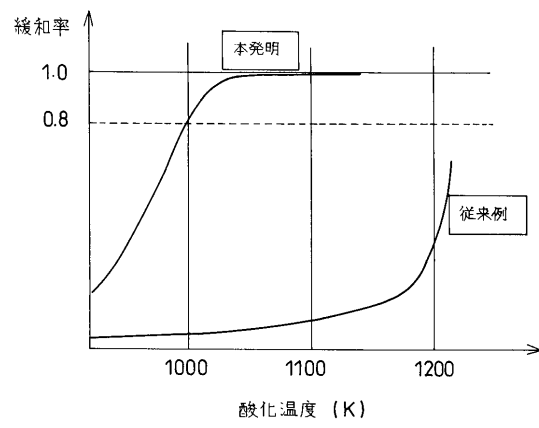
【 図 5 】



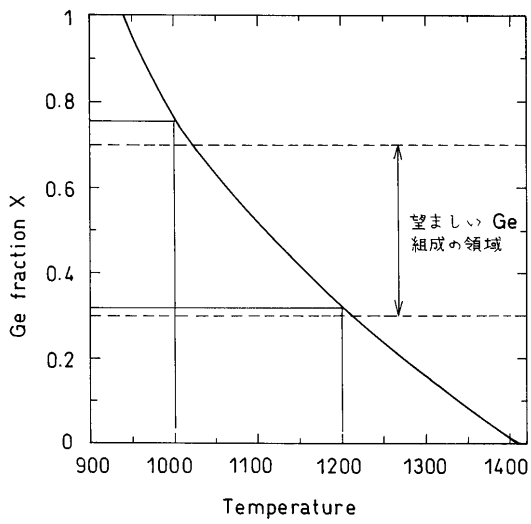
【 図 6 】



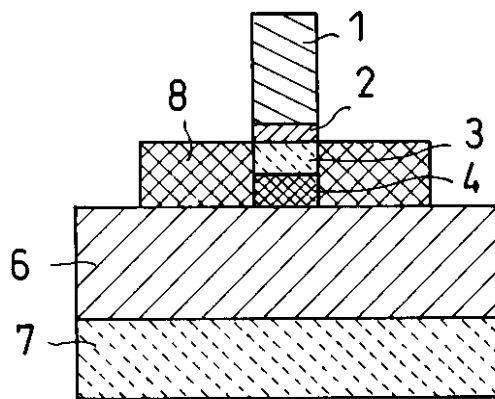
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51) Int.Cl.⁷

F I

H 0 1 L 21/76

R

(56) 参考文献 特開2001-094082(JP, A)

特開昭62-051240(JP, A)

特開平07-153685(JP, A)

特開平08-064675(JP, A)

特開2000-012860(JP, A)

特開2002-076347(JP, A)

特開2001-148473(JP, A)

特開平09-321307(JP, A)

特開平10-209453(JP, A)

(58) 調査した分野(Int.Cl.⁷, DB名)

H01L 21/20

H01L 21/336

H01L 21/76

H01L 27/12

H01L 29/786