



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I675372 B

(45)公告日：中華民國 108 (2019) 年 10 月 21 日

(21)申請案號：104118340

(22)申請日：中華民國 104 (2015) 年 06 月 05 日

(51)Int. Cl. : **G11C11/418 (2006.01)****G11C11/419 (2006.01)**

(30)優先權：2014/06/05 美國

62/008,447

2014/06/05 美國

62/008,449

(71)申請人：美商積佳半導體股份有限公司(美國) GSI TECHNOLOGY, INC. (US)
美國(72)發明人：黃 慕祥 HUANG, MU-HSIANG (US)；黑格 羅伯特 HAIG, ROBERT (US)；莊
派翠克 CHUANG, PATRICK (US)；舒 立倫 SHU, LEE-LEAN (US)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW 200623150

TW 200828336

US 2011/0280307A1

US 2013/0039131A1

US 2013/0039131A1

WO 2013/025656A1

審查人員：劉耀允

申請專利範圍項數：30 項 圖式數：29 共 97 頁

(54)名稱

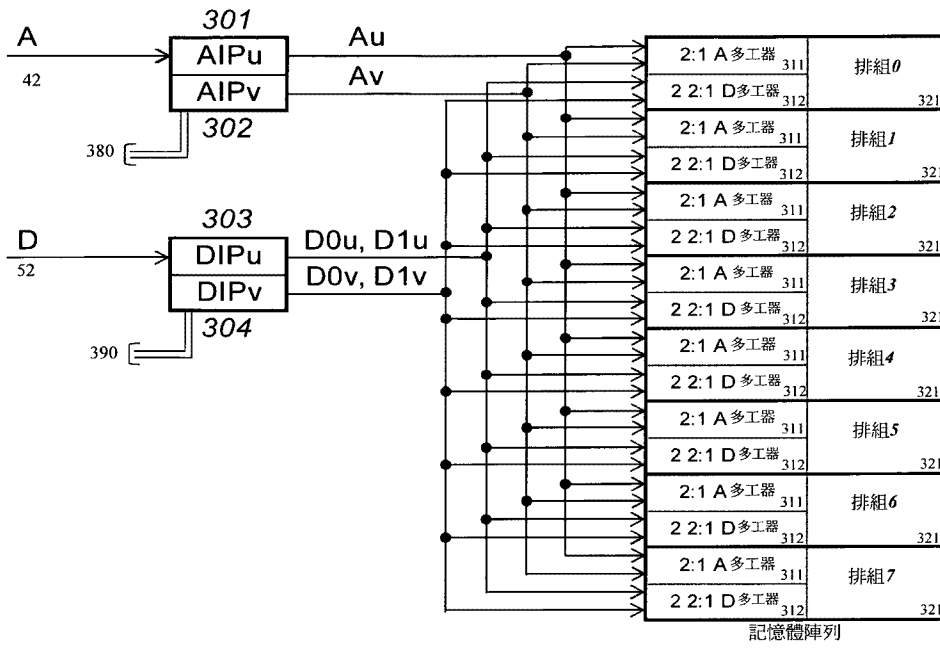
涉及多排組雙管道記憶體電路之系統及方法

(57)摘要

本文中揭示多排組雙管道 SRAM 系統、方法、操作此等 SRAM 之程序及/或製造多排組雙管道 SRAM 之方法。舉例而言，一個說明性多排組雙管道 SRAM 可包含用於擷取讀取及寫入位址、經由一或多個拆分/組合程序對其進行拆分及/或組合及/或將其經匯流排傳輸至 SRAM 記憶體排組之特徵，其中該等讀取及寫入位址可讀取及寫入一特定排組。本文中之說明性多排組雙管道 SRAM 亦可包含用於擷取寫入資料之兩個差拍，經由一或多個拆分/組合程序對其進行拆分及/或組合及將其經匯流排傳輸至每一 SRAM 排組之特徵，其中可經由一或多個程序拆分/組合/重組寫入資料之該兩個差拍以將資料寫入至特定記憶體排組。

Multi-bank, dual-pipe SRAM systems, methods, processes of operating such SRAMs, and/or methods of fabricating multi-bank, dual-pipe SRAM are disclosed herein. For example, one illustrative multi-bank, dual-pipe SRAM may comprise features for capturing read and write addresses, splitting and/or combining them via one or more splitting/combining processes, and/or bussing them to the SRAM memory banks, where they may be read and write a particular bank. Illustrative multi-bank, dual-pipe SRAMs herein may also comprise features for capturing two beats of write data, splitting and/or combining them via one or more splitting/combining processes, and bussing them to each SRAM bank, where they may be split/combined/recombined via one or more processes to write data to particular memory bank(s).

指定代表圖：



多排組雙管道方塊圖

圖3

符號簡單說明：

- 42 . . . 位址信號 A
- 52 . . . 資料信號 D
- 301 . . . 第一位址輸入管線 AIPu
- 302 . . . 第二位址輸入管線 AIPv
- 303 . . . 第一資料輸入管線 DIPu
- 304 . . . 第二資料輸入管線 DIPv
- 311 . . . 2:1 多工器
- 312 . . . 第二 2:1 多工器
- 321 . . . 排組

發明摘要

I675372

※ 申請案號：104118340

G11C 11/418 (2006.01)

※ 申請日：104年6月5日

※IPC 分類：G11C 11/419 (2006.01)

【發明名稱】(中文/英文)

涉及多排組雙管道記憶體電路之系統及方法

SYSTEMS AND METHODS INVOLVING MULTI-BANK, DUAL-PIPE MEMORY CIRCUITRY

【中文】

本文中揭示多排組雙管道SRAM系統、方法、操作此等SRAM之程序及/或製造多排組雙管道SRAM之方法。舉例而言，一個說明性多排組雙管道SRAM可包含用於擷取讀取及寫入位址、經由一或多個拆分/組合程序對其進行拆分及/或組合及/或將其經匯流排傳輸至SRAM記憶體排組之特徵，其中該等讀取及寫入位址可讀取及寫入一特定排組。本文中之說明性多排組雙管道SRAM亦可包含用於擷取寫入資料之兩個差拍，經由一或多個拆分/組合程序對其進行拆分及/或組合及將其經匯流排傳輸至每一SRAM排組之特徵，其中可經由一或多個程序拆分/組合/重組寫入資料之該兩個差拍以將資料寫入至特定記憶體排組。

【英文】

Multi-bank, dual-pipe SRAM systems, methods, processes of operating such SRAMs, and/or methods of fabricating multi-bank, dual-pipe SRAM are disclosed herein. For example, one illustrative multi-bank, dual-pipe SRAM may comprise features for capturing read and write addresses, splitting and/or combining them via one or more splitting/combining processes, and/or bussing them to the SRAM memory banks, where they may be read and write a particular bank. Illustrative multi-bank, dual-pipe SRAMs herein may also comprise features for capturing two beats of write data, splitting and/or combining them via one or more splitting/combining processes, and bussing them to each SRAM bank, where they may be split/combined/recombined via one or more processes to write data to particular memory bank(s).

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

42...位址信號A	304...第二資料輸入管線DIPv
52...資料信號D	311...2:1多工器
301...第一位址輸入管線AIPu	312...第二2:1多工器
302...第二位址輸入管線AIPv	321...排組
303...第一資料輸入管線DIPu	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

涉及多排組雙管道記憶體電路之系統及方法

SYSTEMS AND METHODS INVOLVING MULTI-BANK,
DUAL-PIPE MEMORY CIRCUITRY

【技術領域】

相關申請案之交叉參考

[0001] 本申請案主張2014年6月5日申請的美國臨時專利申請案第62/008,447號及2014年6月5日申請的62/008,449之權益/優先權，該等申請案的全文以引用之方式併入本文中。

發明領域

[0002] 本創新之態樣通常係關於多排組記憶體電路，諸如雙管道記憶體電路，且更特定言之，係關於涉及經由多排組雙管道記憶體電路擷取及傳播位址及寫入資料之系統及方法。

【先前技術】

發明背景

[0003] 在Quad-B2 SRAM中，借助於實例，每一時脈循環可起始讀取及寫入之兩個操作，且每一時脈循環的每一操作傳送資料之兩個差拍(亦即，資料傳送為DDR-雙資料速率)。

[0004] 如圖1中所描繪，藉由在K輸入時脈之上升邊緣

101處同步地確證R#控制引腳為「低」及藉由在K輸入時脈之上升103處同步地提供A位址引腳上的讀取位址來起始讀取操作。

[0005] 藉由在K輸入時脈之上升邊緣102處同步地確證W#控制引腳為「低」，藉由在K#輸入時脈之晚半循環的上升104處同步地提供A位址引腳上的寫入位址，藉由在KD輸入時脈之上升邊緣105處同步地提供D資料引腳上的寫入資料之第一差拍及藉由在KD#輸入時脈之晚半循環的上升邊緣106處同步地提供D資料引腳上的寫入資料之第二差拍來起始寫入操作。

[0006] 注意K#輸入時脈為K輸入時脈之反相，且KD#輸入時脈為KD輸入時脈之反相。K及K#名義上異相180度，KD及KD#也是一樣，但允許兩對時脈具有偏離180度的某一相位偏移量。KD/KD#可與K/K#均步或實體上相同。在KD/KD#與K/K#均步時，其為相同頻率，且產生自相同源時脈，但允許具有某一相位偏移量。

[0007] 在一些情況下，Quad-B2 SRAM經架構為多排組雙管道裝置(參見美國專利申請案第13/327,721號)以使得在逐循環的基礎上起始若干對讀取及寫入操作時，在以SRAM時脈之一半頻率操作的管線之兩個集合之間交替地處理該等操作對。在後續描述中，字母「U」及「V」用以表示及區分兩個管線。

[0008] 為了促進各種此類實施方案之雙管道性質，且如圖18中所說明，交替時脈循環任意表示為內部的第一時脈

循環「U」201及第二時脈循環「V」202。內部產生第一管線時脈Ku及第二管線時脈Ku#，該等管線時脈中的每一者為K/K#輸入時脈之一半頻率。對於「U」循環之第一半，第一管線時脈Ku 211僅為高，且第二管線時脈Ku# 212為時脈Ku之反相。內部產生第三管線時脈Kv及第四管線時脈Kv#，該等管線時脈中的每一者為K/K#輸入時脈之一半頻率。對於「V」循環之第一半，第三管線時脈Kv 221僅為高，且第四管線時脈Kv# 222為第三管線時脈Kv之反相。循環之名稱「U」及「V」對於使用者完全透明。亦即，使用者不必知曉內部如何表示循環以便使用SRAM。

【發明內容】

[0009] 依據本發明之一實施例，係特地提出一種多排組雙管道SRAM裝置，其包含：(i)包含複數個SRAM排組、一解碼器、一感測放大器及記憶體晶胞存取電路之一記憶體陣列，每一SRAM排組包括組織成列及行之一矩陣的單埠SRAM記憶體晶胞之一區塊，其中每一SRAM排組能夠以一最大頻率 $f(m)$ 操作，且經組配以用於且能夠在單一 $f(m)$ 時脈循環內一起執行一讀取操作及一寫入操作；(ii)一讀取/寫入控制輸入電路，其在頻率 $f(e)$ 之單一外部時脈循環內接收一讀取操作及一寫入操作，且將彼等讀取及寫入操作提供至每一SRAM排組；(iii)一位址輸入電路，其在頻率 $f(e)$ 之單一外部時脈循環內接收一讀取位址及一寫入位址，且將彼等讀取及寫入位址提供至每一SRAM排組；(iv)一資料輸入電路，其在頻率 $f(e)$ 之單一外部時脈循環內接收寫入資料之

第一及第二差拍，且將寫入資料之彼等兩個差拍提供至每一SRAM排組；以及(v)在該複數個SRAM排組處之排組存取電路，其耦接至該讀取/寫入控制輸入電路、該位址輸入電路及該資料輸入電路，該排組存取電路控制在不超過其最大操作頻率 $f(m)$ 處至該等SRAM排組之讀取及寫入操作的組合；其中該外部時脈頻率 $f(e)$ 為每一SRAM排組能夠操作之該最大頻率 $f(m)$ 的至少兩倍，且該讀取/寫入控制電路以該外部時脈頻率 $f(e)$ 操作，及/或該位址電路以該外部時脈頻率 $f(e)$ 操作，及/或該資料電路以該外部時脈頻率 $f(e)$ 操作。

【圖式簡單說明】

[0010] 構成本說明書的一部分之隨附圖式說明本文中
之創新的各種實施方案及態樣，且連同描述一起幫助說明
本發明之原理。在圖式中：

圖1為現有記憶體電路之時序圖。

圖2為與本文中之創新之一或多個態樣一致的說明性
高階系統之方塊圖。

圖3為描繪與本文中之創新之一或多個態樣一致的說
明性多排組雙管道記憶體電路之方塊圖。

圖4為描繪與本文中之創新之一或多個態樣一致的說
明性位址輸入電路之方塊圖。

圖5為描繪與本文中之創新之一或多個態樣一致的說
明性資料輸入電路之方塊圖。

圖6為描繪與本文中之創新之一或多個態樣一致的說

明性位址輸入及資料輸入電路之時序圖。

圖7為描繪與本文中之創新之一或多個態樣一致的說明性位址輸入電路之方塊圖。

圖8為描繪與本文中之創新之一或多個態樣一致的說明性位址輸入電路之方塊圖。

圖9為描繪與本文中之創新之一或多個態樣一致的說明性資料輸入電路之方塊圖。

圖10為描繪與本文中之創新之一或多個態樣一致的說明性資料輸入電路之方塊圖。

圖11為描繪與本文中之創新之一或多個態樣一致的說明性位址輸入及資料輸入電路之時序圖。

圖12為描繪與本文中之創新之一或多個態樣一致的說明性位址多工器之方塊圖。

圖13為描繪與本文中之創新之一或多個態樣一致的說明性位址多工器之方塊圖。

圖14為描繪與本文中之創新之一或多個態樣一致的說明性資料多工器之方塊圖。

圖15為描繪與本文中之創新之一或多個態樣一致的說明性資料多工器之方塊圖。

圖16至圖17為描繪與本文中之創新之一或多個態樣一致的說明性讀取及寫入時序態樣之時序圖。

圖18為現有記憶體電路之另一時序圖。

圖19為描繪與本文中之創新之一或多個態樣一致的說明性多排組雙管道記憶體電路之方塊圖。

圖20為描繪與本文中之創新之一或多個態樣一致的說明性位址輸入電路之方塊圖。

圖21為描繪與本文中之創新之一或多個態樣一致的說明性控制輸入鎖存電路之方塊圖。

圖22為描繪與本文中之創新之一或多個態樣一致的說明性解多工器之方塊圖。

圖23為描繪與本文中之創新之一或多個態樣一致的說明性讀取/寫入電路之方塊圖。

圖24為描繪與本文中之創新之一或多個態樣一致的說明性位址多工器之方塊圖。

圖25為描繪與本文中之創新之一或多個態樣一致的說明性位址多工器之方塊圖。

圖26為描繪與本文中之創新之一或多個態樣一致的說明性資料輸入電路之方塊圖。

圖27為描繪與本文中之創新之一或多個態樣一致的說明性資料多工器之方塊圖。

圖28為描繪與本文中之創新之一或多個態樣一致的說明性資料多工器之方塊圖。

圖29為描繪與本文中之創新之一或多個態樣一致的說明性讀取及寫入時序態樣之時序圖。

【實施方式】

較佳實施例之詳細說明

[0011] 本文中現將詳細參考本發明，其實例說明於隨附圖式中。以下描述中所闡述之實施方案並不表示與本發明

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

一致的所有實施方案。實情為，該等實施方案僅為與同本創新有關的某些態樣一致之一些實例。在任何可能之處，將在整個圖式中使用相同參考數字來指代相同或相似部分。

[0012] 揭示了用於擷取讀取位址、寫入位址及寫入資料且經由雙半頻管線將其傳播至多排組雙管道 Quad-B2 SRAM 中的記憶體陣列之系統及方法。本發明之態樣係關於用於擷取若干對讀取及寫入位址且經由兩個不同位址輸入管線將其傳播至每一記憶體排組之實施方案，該等管線中的每一者以 SRAM 之一半外部時脈頻率操作。根據一些實施方案，每一寫入操作擷取及傳送寫入資料之兩個差拍，且經由兩個相異資料輸入管線將其傳播至每一記憶體排組，該等管線中的每一者以 SRAM 之一半外部時脈頻率操作。下文闡述關於不同實施方案之各種細節。

[0013] 在每一記憶體排組處，來自兩個位址輸入管線之讀取及寫入位址串流的排組位址部分用以判定相關聯的讀取及/或寫入操作是否以彼特定排組為目標。

[0014] 在每一記憶體排組處，來自兩個位址輸入管線之讀取 U 及寫入 V 位址的非排組位址部分用以在相關聯的讀取及/或寫入操作以彼特定排組為目標(如由讀取及寫入位址之排組位址部分判定)的情況下選擇待讀取及/或寫入的排組內之特定位置。

[0015] 在每一記憶體排組處，若相關聯的寫入操作以彼特定排組為目標(如由寫入位址之排組位址部分判定)，則選

擇將來自兩個資料輸入管線之寫入資料的適當兩個差拍儲存於排組內之特定位置中，如由寫入位址之非排組位址部分判定。

[0016] 圖2為與本文中之創新之一或多個態樣一致的主機10及多排組記憶體電路20之方塊圖。記憶體電路20在此實例中經展示為SRAM，但一般熟習此項技術者應理解可結合本文所闡述之各種多排組記憶體電路利用許多其他類型的記憶體。記憶體電路20可包括其中可寫入資料且可自其讀取資料之多排組記憶體陣列70。記憶體電路20亦可包括讀取/寫入(R/W)控制電路30、位址電路40、寫入資料電路50及/或時脈電路60。

[0017] 主機10可包括記憶體控制器15(例如，在此實例中為SRAM控制器)，該記憶體控制器經組配以與記憶體電路20通訊。舉例而言，如下文更詳細地解釋，記憶體控制器15可將第一讀取控制R# 32及/或第一寫入控制W# 34信號發送至R/W控制電路30，將位址信號A 42發送至位址電路40，將資料信號D 52發送至寫入資料電路50，將輸入時脈信號KD 54及/或KD# 56發送至寫入資料電路50，及/或將輸入時脈信號K 62及/或K# 64發送至R/W控制電路30、位址電路40、寫入資料電路50及時脈電路60中的一或多者。

[0018] R/W控制電路30、位址電路40、寫入資料電路50及/或時脈電路60可彼此通訊，且位址電路40及/或寫入資料電路50可與多排組記憶體陣列70通訊。舉例而言，如下文更詳細地解釋，時脈電路60可將時脈信號Ku 66、Ku#

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

68、Kv 72及/或Kv# 74供應至寫入資料電路50及/或位址電路50。另外，R/W控制電路30可將讀取及/或寫入控制信號36發送至位址電路40。位址電路40可將位址位置資料Au 44及/或Av 46發送至多排組記憶體陣列70以指定待讀出或寫入的記憶體位址。寫入資料電路可將寫入資料D0u 76、D0v 78、D1u 82及/或D1v 84發送至多排組記憶體陣列70。

[0019] 圖2展示主機10及多排組記憶體電路20系統之高階實例。以下詳細描述提供可提供涉及經由多排組記憶體電路20擷取及傳播位址及寫入資料之特徵及/或優點之系統之程序及/或組件之特定實例。

[0020] 舉例而言，多排組雙管道SRAM裝置可包括操作記憶體陣列頻率及包含複數個SRAM排組及記憶體晶胞存取電路之記憶體陣列，其中每一SRAM排組包括組織成列及行之矩陣的單埠SRAM記憶體晶胞之區塊。複數個SRAM排組可同時在作用中。記憶體晶胞存取電路可包括第一讀取控制輸入及第一寫入控制輸入，其用於起始在每一及每個時脈循環內在相同時脈循環中之讀取及寫入操作。記憶體晶胞存取電路亦可包括第一輸入時脈及第二輸入時脈，其中第二輸入時脈為第一輸入時脈之反相。

[0021] 在一些實施例中，存取電路可經組配以將交替時脈循環分別表示為第一管線時脈循環及第二管線時脈循環；產生具有為第一及第二輸入時脈之週期兩倍的週期之第一管線時脈及第二管線時脈，其中第一管線時脈在第一管線時脈循環期間為高，且第二管線時脈為第一管線時脈

之反相；以及產生具有為第一及第二輸入時脈之週期兩倍的週期之第三管線時脈及第四管線時脈，其中第三管線時脈在第二管線時脈循環期間為高，且第四管線時脈為第三管線時脈之反相。

[0022] 在一些實施例中，在任何時脈循環中起始的讀取操作可與在相同時脈循環中起始的寫入操作成對，且可連續在兩個時脈循環之內對同一SRAM排組或對不同SRAM排組執行讀取操作及寫入操作。可在小於兩個的循環內執行讀取操作，可在小於或等於一個循環之持續時間內執行寫入操作，且讀取操作及寫入操作之組合持續時間可不超過兩個循環。

第一實施例

[0023] 圖3為八排組雙管道Quad-B2 SRAM實施方案之說明性方塊圖。雖然本文中說明及討論了八個排組，但一般熟習此項技術者將瞭解所揭示的創新可應用於具有其他數目個排組之記憶體電路。第一位址輸入管線AIP_u 301及第二位址輸入管線AIP_v 302可用以鎖存讀取及寫入位址，將其解多工至單獨的U讀取、U寫入、V讀取及V寫入位址中，將U讀取及U寫入位址分時多工至可經匯流排傳輸至每一記憶體排組321之單一U讀取/寫入位址串流A_u中，且將V讀取及V寫入位址分時多工至可經匯流排傳輸至每一記憶體排組321之單一V讀取/寫入位址串流A_v中。

[0024] 第一資料輸入管線DIP_u 302及第二資料輸入管線DIP_v 303可用以鎖存寫入資料之兩個差拍，且將其解多

工至可經匯流排傳輸至每一記憶體排組321之單獨的一個U差拍、兩個U差拍、一個V差拍及兩個V差拍寫入資料串流D0u、D1u、D0v及D1v中。

[0025] 在每一記憶體排組處，2:1多工器311可選擇使用Au及Av讀取/寫入位址串流中的哪些位址來讀取及/或寫入排組321。

[0026] 在每一記憶體排組處，一個2:1多工器312可自D0u及D0v寫入資料串流中選擇使用哪一差拍一寫入資料寫入排組321，且第二2:1多工器312可用以自D1u及D1v寫入資料串流中選擇使用哪一差拍二寫入資料寫入排組321。

[0027] 下文描述第一實施方案之兩個實例。在每一實例中，在第一U循環中起始的讀取操作可與在第一U循環中起始的寫入操作成對(但不一定為相同第一U循環)，且可連續在兩個循環之內對相同記憶體排組或對不同排組執行兩個操作。在結合時，相關聯的讀取及寫入位址可經由第一位址輸入管線AIPu 301及2:1 A多工器321傳播至每一記憶體排組321，且相關聯的寫入資料可經由第一資料輸入管線DIPu 303及2:1 D多工器312傳播至每一記憶體排組321。

[0028] 在第二V循環中起始的讀取操作可與在第二V循環中起始的寫入操作成對(但不一定為相同第二V循環)，且可連續在兩個循環之內對相同記憶體排組或對不同排組執行兩個操作。在結合時，讀取及寫入相關聯的位址可經由第二位址輸入管線AIPv 302及2:1 A多工器321傳播至每一記憶體排組321，且相關聯的寫入資料可經由第二資料輸入

管線DIPv 304及2:1 D多工器312傳播至每一記憶體排組321。

[0029] AIPu/v及DIPu/v實施方案可基於寫入緩衝之包含/排除而不同。在每一記憶體排組處的位址及資料多工對於兩個實施方案而言可為相同的。

[0030] 注意因為可在兩個循環之內執行若干對讀取及寫入操作，但每一循環可起始若干對讀取及寫入操作，所以一或兩個記憶體排組可在起始新的一對讀取及寫入操作時為忙碌的(亦即在存取之中)。使用者可操作記憶體以避免「排組衝突」，亦即避免讀取歸因於先前讀取及寫入操作而忙碌的排組。

[0031] 亦注意到在本文中的創新之態樣的情況下，在連續在兩個循環之內執行對相同排組起始的讀取及寫入操作時，每一操作可不一定在一個循環內執行。而是，可在大於一個循環中執行讀取操作，且可在小於一個循環中執行寫入操作，條件是兩個操作的組合持續時間不超過例如兩個循環。此概念在圖16中說明，在下文進一步闡述。

實例1

位址輸入態樣

[0032] 下文描述在不對位址輸入及資料輸入中的每一者進行寫入緩衝的情況下的實施方案之第一實例。關於如圖4中所說明的位址輸入，六個暫存器(或鎖存器)401、402、421、422、423、424及兩個多工器441、442可用以實施第一位址輸入管線AIPu及第二位址輸入管線AIPv。如圖4中所

描繪，六個暫存器可劃分成三個一組的兩個群組，一個群組(401、421、422)係針對讀取位址路徑且一個群組(402、423、424)係針對寫入位址路徑。

[0033] 可在兩個階段中實施讀取位址路徑中的三個暫存器。階段一可包括可使用第一時脈K 62之上升邊緣在每一循環擷取讀取位址而不管第一讀取控制R# 32在彼時脈邊緣處經擷取為「低」還是「高」的一個暫存器RA 401；因此若在循環中並未起始讀取操作，則所擷取位址可為未使用的。階段二可包括兩個暫存器RAu 421及RAv 422。RAu 421可使用第一管線時脈Ku 66之上升邊緣重新鎖存來自RA 401的讀取位址，藉此產生可在兩個時脈循環內保持有效的U讀取位址。RAv 422可使用第三管線時脈Kv 72之上升邊緣重新鎖存來自RA 401的讀取位址，藉此產生可在兩個時脈循環內保持有效的V讀取位址。

[0034] 可在兩個階段中實施寫入位址路徑中之三個暫存器。階段一路徑可包括可使用第二輸入時脈K# 64之上升邊緣來擷取寫入位址之一個暫存器WA 402。在一個實施例中，可僅在第一寫入控制W 86在第一輸入時脈K 62之先前上升邊緣處經擷取為「低」的循環中使用第二輸入時脈K# 64之上升邊緣；因此可始終使用所擷取寫入位址，且可在未起始寫入操作的彼等循環中節省電力。階段二可包括兩個暫存器WAu 423及WAv 424。WAu 423可使用第二管線時脈Ku# 68之上升邊緣來重新鎖存來自WA 402之寫入位址，藉此產生可在兩個時脈循環內保持有效的U寫入位址。WAv

424可使用第四管線時脈Kv# 74之上升邊緣來重新鎖存來自WA 402之寫入位址，藉此產生可在兩個時脈循環內保持有效的V寫入位址。

[0035] 第一多工器Mu 441可用以將U讀取及寫入位址分時多工至可經匯流排傳輸至每一記憶體排組321之單一U讀取/寫入位址串流AU中。第一脈衝Ru 451可為自第一管線時脈Ku 66導出之單發脈衝，該單發脈衝可導致選擇U讀取位址，且可比緩慢操作頻率處的一個循環更短，或比最大操作頻率處的一個循環更長。第二脈衝Wu 461可為在Ru 451比一個循環更短時自Kv 72導出的單發脈衝，或在Ru 451比一個循環更長時完成自Ru 451之自定時，從而導致選擇U寫入位址。換言之，Wu 461可為自「非(Ru)與Kv」之邏輯函數導出之單發脈衝。與WA 402暫存器類似，一個實施方案可提供Wu僅在U循環中起始寫入操作時(亦即在W 86在U循環中在K 62之上升邊緣處經擷取為「低」時)在作用中；因此，若起始寫入操作，則Au可僅自U讀取位址改變至U寫入位址，且可在未起始寫入操作的彼等循環中節省電力。

[0036] 第二多工器Mv 442可用以將V讀取及寫入位址分時多工至可經匯流排傳輸至每一記憶體排組321之單一V讀取/寫入位址串流AV中。第三脈衝Rv 452可為自第三管線時脈Kv 72導出之單發脈衝，該單發脈衝可導致選擇V讀取位址，且可比緩慢操作頻率處的一個循環更短，或比最大操作頻率處的一個循環更長。第四脈衝Wv 462可為在Rv

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

452比一個循環更短時自Ku 66導出的單發脈衝，或在Rv 452比一個循環更長時完成自Rv 452之自定時，從而導致選擇V寫入位址。換言之，Wv 462可為自「非(Rv)與Ku」之邏輯函數導出之單發脈衝。與WA 402暫存器類似，一個實施方案可提供Wv 462僅在V循環中起始寫入操作時(亦即在W 86在V循環中在K 62之上升邊緣處經擷取為「低」時)在作用中；因此，若起始寫入操作，則Av可僅自V讀取位址改變至V寫入位址，且可在未起始寫入操作的彼等循環中節省電力。

[0037] 在一些實施方案中，暫存器RA 401、Rau 421、WA 402、WAu 423及多工器Mu 441可包含AIPu 301，且暫存器RA 401、RAv 422、WA 402、WAv 424及多工器Mv 442可包含AIPv 302。

[0038] 在此等實施中，在任何U循環中起始的讀取可與在相同U循環中起始的寫入成對。在任何V循環中起始的讀取可與在相同V循環中起始的寫入成對。

[0039] 注意在圖4中，寫入位址預解碼412在由WAu 423及WAv 424擷取寫入位址之前展示(在此情況下需要寫入位址預解碼邏輯之一個集合)，而讀取位址預解碼431、432在由RAu 421及RAv 422擷取讀取位址之後展示(在此情況下需要讀取位址預解碼邏輯之兩個集合)。此特定描述僅為達成說明之目的；實務上，寫入位址預解碼及讀取位址預解碼可在Mu及Mv之前的任何時間進行。

資料輸入態樣

[0040] 在另一實施方案中，八個暫存器(或鎖存器)可用以實施DIP_u及DIP_v。如圖5中所描繪，八個暫存器501、502、511、512、521、522、523、524可劃分成四個一組的兩個群組，其中一個群組(501、511、521、522)係針對差拍一寫入資料，且一個群組(502、512、523、524)係針對差拍二寫入資料。

[0041] 可在三個階段中實施差拍一寫入資料路徑中的四個暫存器。階段一可包括可使用第一資料輸入時脈KD 54之上升邊緣在每一循環擷取差拍一寫入資料而不管W#在相同時脈中在第一輸入時脈K 62之上升邊緣處經擷取為「低」還是「高」的一個暫存器D0KD 501；因此若在循環中並未起始寫入操作，則所擷取位址可為未使用的。

[0042] 階段二可包括可使用第二輸入時脈K#64之上升邊緣重新鎖存來自D0KD 501的差拍一寫入資料藉此將資料自第一資料輸入時脈KD 54時脈域傳遞至第一輸入時脈K 62時脈域的一個暫存器D0K 511。

[0043] 階段三可包括兩個暫存器D0Ku 521及D0Kv 522。D0Ku 521可使用第三管線時脈Kv 72之上升邊緣重新鎖存來自D0KD 501的差拍一寫入資料，藉此產生可在兩個時脈循環內保持有效的U差拍一寫入資料。D0Kv 522可使用第一管線時脈Ku 66之上升邊緣重新鎖存來自D0K 511的差拍一寫入資料，藉此產生可在兩個時脈循環內保持有效的V差拍一寫入資料。

[0044] 可在三個階段中實施差拍二寫入資料路徑中的

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

四個暫存器。階段一可包括可使用第一資料輸入時脈KD# 56之上升邊緣在每一循環擷取差拍二寫入資料而不管W# 在相同循環中在第一輸入時脈K 62之上升邊緣處經擷取為「低」還是「高」的一個暫存器D1KD 502；因此若在循環中並未起始寫入操作，則所擷取資料可為未使用的。

[0045] 階段二可包括可使用第一輸入時脈K 62上升邊緣重新鎖存來自D1KD 502之差拍二寫入資料藉此將資料自第一資料輸入KD時脈域傳遞至K時脈域之一個暫存器D1K 512。

[0046] 階段三可包括兩個暫存器D1Ku 523及D1Kv 524。D1Ku可使用第三管線時脈Kv 72之上升邊緣重新鎖存來自D1K 512之差拍二寫入資料，藉此產生可在兩個時脈循環內保持有效的U差拍二寫入資料。D1Kv 524可使用第一管線時脈Ku 66之上升邊緣重新鎖存來自D1K 512之差拍二寫入資料，藉此產生可在兩個時脈循環內保持有效的V差拍二寫入資料。

[0047] 在一些實施方案中，暫存器D0KD 501、D0K 511、D0Ku 521、D1KD 502、D1K 512及D1Ku 523可一起包含DIPu，且暫存器D0KD 501、D0K 511、D0Kv 522、D1KD 502、D1K 512及D1Kv 524可一起包含DIPv。

[0048] 注意寫入資料路徑中之階段一及二的實施方案可允許第一資料輸入時脈KD 54時脈邊緣領先或落後對應K 62時脈邊緣大約半循環。

[0049] 圖6描繪與圖4及圖5相關聯的信號時序及/或能

夠進行上文關於圖4及圖5所描述之功能的任何其他電路實施方案。

[0050] 注意在此實例中，每一新讀取操作(在一個管道中)與來自先前循環(在其他管道中)的讀取及寫入操作兩者重疊，如藉由圖6中的重疊Au 441及Av 442位址所說明。因此，在循環「n」中起始讀取操作時，該讀取操作必須至與循環「n-1」中讀取的排組及循環「n-1」中寫入的排組不同的排組。此等情形可為此特定實施方案中之僅有排組衝突限制，除非由例如使用者或應用程式指定其他排組衝突限制。

實例2

[0051] 下文提供具有寫入緩衝特徵之另一實施方案。寫入緩衝可藉由將額外暫存器(或鎖存器)階段(被稱作「寫入緩衝器」)插入於寫入位址及寫入資料路徑中以使得寫入操作例如在其被起始之後被執行某一數目個循環。

位址輸入態樣

[0052] 可在將寫入位址拆分成U及V管線之後將大於或等於一的任何數目個寫入緩衝器插入於第一位址輸入管線AIP_u及第二位址輸入管線AIP_v中。

[0053] 圖7說明在將寫入位址拆分成U及V管線(與圖4相比較)之後插入於第一位址輸入管線AIP_u及第二位址輸入管線AIP_v中的額外暫存器之「n」個階段。具體言之，WAB_{1u} 723及WAB_{1v} 724表示額外暫存器之第一階段，且WAB_{nu} 725及WAB_{nv} 726表示額外暫存器之第n階段。

[0054] 圖8展示兩階段寫入緩衝之一個實施方案，其中在將寫入位址拆分成U及V管線之後將兩個額外暫存器插入於第一位址輸入管線AIP_u及第二位址輸入管線AIP_v中。因此，在此實例中，總共十個暫存器(801、802及821至828)及兩個多工器(841及842)可用以實施第一位址輸入管線AIP_u及第二位址輸入管線AIP_v。

[0055] 如圖8中所說明，可將十個暫存器劃分成三個一組的群組(801、821、822)及七個一組的群組(802及823至828)；三個一組的群組可用於讀取位址路徑，且七個一組的群組可用於寫入位址路徑。

[0056] 在一個實施方案中，類似於圖4，可在兩個階段中實施讀取位址路徑中之三個暫存器。

[0057] 在一些實施方案中，可在四個階段中實施寫入位址路徑中之七個暫存器。階段一可包括類似於圖4中的WA 402之一個暫存器WA 802。

[0058] 階段二可包括兩個暫存器WAB_{1u} 823及WAB_{1v} 824。WAB_{1u} 823可為插入於AIP_u之寫入位址路徑中的第一「寫入緩衝器」。WAB_{1u} 823可使用第三管線時脈K_v 72之上升邊緣重新鎖存來自WA 802的寫入位址，藉此產生可在兩個時脈循環內保持有效的U寫入位址。WAB_{1v} 824可為插入於AIP_v之寫入位址路徑中的第一「寫入緩衝器」。WAB_{1v} 824可使用第一管線時脈K_u 66之上升邊緣重新鎖存來自WA 802之寫入位址，藉此產生可在兩個時脈循環內保持有效的V寫入位址。

[0059] 階段三可包括兩個暫存器WAB2u 825及WAB2v 826。WAB2u 825可為插入於位址輸入管線AIPu之寫入位址路徑中的第二「寫入緩衝器」。WAB2u 825可使用第三管線時脈Kv 72之上升邊緣重新鎖存來自WA 802的寫入位址，藉此產生可在兩個時脈循環內保持有效的U寫入位址。WAB2v 826為插入於AIPv之寫入位址路徑中的第二「寫入緩衝器」。WAB2v 826可使用第一管線時脈Ku 66之上升邊緣重新鎖存寫入位址，藉此產生可在兩個時脈循環內保持有效的V寫入位址。

[0060] 階段四可包括兩個暫存器WAu 827及WAv 828。WAu 827可為位址輸入管線AIPu之寫入位址路徑中的最後暫存器。WAu 827可在功能上等效於圖4中之WAu 423，除了WAu 827可使用Ku 66(而非Ku# 68)之上升邊緣重新鎖存來自WAB2u 825的寫入位址藉此產生可在兩個時脈循環內保持有效的U寫入位址之外。WAv 828可為AIPv之寫入位址路徑中的最後暫存器。WAv 828可在功能上等效於圖4中之WAv 424，除了WAv 828可使用Kv 72(而非Kv# 74)之上升邊緣重新鎖存來自WAB2v 826的寫入位址藉此產生可在兩個時脈循環內保持有效的V寫入位址之外。

[0061] 兩個多工器Mu 841及Mv 842可在功能上等同於圖4中之Mu 441及Mv 442。

[0062] 暫存器RA 801、Rau 821、WA 802、WAB1u 823、WAB2u 825、WAu 827及多工器Mu 841可一起包含AIPu，且暫存器RA 801、RAv 822、WA 802、WAB1v 824、WAB2v

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

826、WAv 828及多工器Mv 842可一起包含AIPv。

[0063] 在此實施方案中，在任何U循環中起始的讀取可與在來自先前的四個循環之U循環中起始的寫入成對。在任何V循環中起始的讀取可與在來自先前的四個循環之V循環中起始的寫入成對。

[0064] 注意在圖8中，寫入位址預解碼812在由WAB1u及WAB1v擷取寫入位址之前展示(在此情況下需要寫入位址預解碼邏輯之一個集合)，而讀取位址預解碼831、832在由RAu 821及RAv 822擷取讀取位址之後展示(在此情況下需要讀取位址預解碼邏輯之兩個集合)。此特定描述僅為達成說明之目的；實務上，寫入位址預解碼及讀取位址預解碼可在Mu及Mv之前的任何時間進行。

資料輸入態樣

[0065] 可在將寫入資料之兩個差拍拆分成U及V管線之後將大於或等於一的任何數目個寫入緩衝器插入於DIPu及DIPv中，但插入之數目必須與插入於AIPu及AIPv中之數目相同，以使得寫入資料保持與其相關聯的寫入位址對準。

[0066] 借助於圖9中之實例說明此等特徵，其中在將寫入資料之兩個差拍拆分成U及V管線之後將額外暫存器之「n個」階段插入於DIPu及DIPv中(與圖5相比較)。具體言之，D0B1u 921、D0B1v 922、D1B1u 923及D1B1v 924表示額外暫存器之第一階段，且D0Bnu 931、D0Bnv 932、D1Bnu 933及D1Bnv 934表示額外暫存器之第n階段。

[0067] 圖10展示兩階段寫入緩衝之實例，其中在將差拍

一寫入資料拆分成U及V管線之後將兩個額外暫存器插入於DIP_u及DIP_v中，且在將差拍二寫入資料拆分成U及V管線之後將兩個額外暫存器插入於DIP_u及DIP_v中，藉此匹配圖8中所說明的寫入位址之兩階段寫入緩衝。另外，DIP_u及DIP_v之初始部分(在將差拍一及差拍二寫入資料拆分成U及V管線之後)已自四個擴增至九個暫存器/鎖存器，從而說明此部分之替代基於鎖存器的實施方案。因此，在此實例中，總共二十一個暫存器/鎖存器用以實施DIP_u及DIP_v。

[0068] 如圖10中所描繪，可將二十一個暫存器/鎖存器劃分成十一個一組的群組(1001、1003、1011、1013、1015、1021、1022、1031、1032、1041、1042)及十個一組的群組(1002、1004、1014、1016、1023、1024、1033、1034、1043、1044)；十一個一組的群組可用於差拍一寫入資料路徑，且十個一組的群組可用於差拍二寫入資料路徑。

[0069] 根據一個說明性實施方案，例如可在八個階段中實施差拍一寫入資料路徑中的十一個暫存器。

[0070] 階段一可包括類似於圖5中的D0KD 501之一個暫存器D0KDa 1001。D0KDa 1001可使用第一資料輸入時脈KD 54之上升邊緣在每一循環擷取差拍一寫入資料，而不管W#在相同時脈中在第一輸入時脈K 62之上升邊緣處經擷取為「低」還是「高」；因此若在循環中並未起始寫入操作，則所擷取資料可為未使用的。

[0071] 階段二可包括一個鎖存器D0KDb 1003。D0KDb 1003可使用第二資料輸入時脈KD# 56重新鎖存來自D0KDa

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

1001的差拍一寫入資料。鎖存器可在KD# 56為「低」時為透明的，且可在KD# 56為「高」時鎖存。

[0072] 階段三可包括可使用K# 64重新鎖存來自D0KDb 1003的差拍一寫入資料藉此將資料自第一資料輸入時脈KD 54時脈域傳遞至輸入時脈K 62時脈域之一個鎖存器D0Ka 1011。鎖存器可在K# 64為「低」時為透明的，且可在K# 64為「高」時鎖存。

[0073] 階段四可包括一個鎖存器D0Kb 1013。D0Kb可使用K 62重新鎖存來自D0Ka 1011的差拍一寫入資料。鎖存器可在K 62為「低」時為透明的，且可在K 62為「高」時鎖存。

[0074] 階段五可包括可使用K# 64重新鎖存來自D0Kb 1013之差拍一寫入資料的一個鎖存器D0Kc 1015。鎖存器可在K# 64為「低」時為透明的，且可在K# 64為「高」時鎖存。

[0075] 階段六可包括兩個暫存器D0B1u 1021及D0B1v 1022。D0B1u 1021可為插入於DIPu之差拍一寫入資料路徑中的第一「寫入緩衝器」。D0B1u 1021可使用第四管線時脈Kv# 74之上升邊緣重新鎖存來自D0Kc 1015的差拍一寫入資料，藉此產生可在兩個時脈循環內保持有效的U差拍一寫入資料。D0B1v 1022可為插入於DIPv之差拍一寫入資料路徑中的第一「寫入緩衝器」。D0B1V 1022可使用第二管線時脈Ku# 68之上升邊緣重新鎖存來自D0Kc 1015的差拍一寫入資料，藉此產生可在兩個時脈循環內保持有效的V

差拍一寫入資料。

[0076] 階段七可包括兩個暫存器D0B2u 1031及D0B2v 1032。D0B2u 1031可為插入於DIPu之差拍一寫入資料路徑中的第二「寫入緩衝器」。D0B2u 1031可使用第三管線時脈Kv 72之上升邊緣重新鎖存來自D0B1u 1021的差拍一寫入資料，藉此產生可在兩個時脈循環內保持有效的U差拍一寫入資料。D0B2v 1032可為插入於DIPv之差拍一寫入資料路徑中的第二「寫入緩衝器」。D0B2v 1032可使用第一管線時脈Ku之上升邊緣重新鎖存來自D0B1v 1022的差拍一寫入資料，藉此產生可在兩個時脈循環內保持有效的V差拍一寫入資料。

[0077] 階段八可包括兩個暫存器D0Ku 1041及D0Kv 1042。D0Ku 1041可為DIPu之差拍一寫入資料路徑中的最後暫存器。D0Ku 1041可在功能上等效於圖5中之D0Ku 521，除了其可使用第一管線時脈Ku 66(而非Kv 72)之上升邊緣重新鎖存來自D0B2u 1031的差拍一寫入資料藉此產生可在兩個時脈循環內保持有效的U差拍一寫入資料之外。D0Kv 1042可為DIPv之差拍一寫入資料路徑中的最後暫存器。D0Kv 1042可在功能上等效於圖5中之D0Kv 522，除了其可使用第三管線時脈Kv 72(而非Ku 66)之上升邊緣重新鎖存來自D0B2v 1032的差拍一寫入資料藉此產生可在兩個時脈循環內保持有效的V差拍一寫入資料之外。

[0078] 可在七個階段中實施差拍二寫入資料路徑中的十個暫存器。階段一可包括可類似於圖5中之D1KD 502的

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

一個暫存器D1KDa 1002。D0KDa 1002可使用第二資料輸入時脈KD# 56之上升邊緣在每一循環擷取差拍二寫入資料，而不管W#在相同時脈中在第一輸入時脈K 62之上升邊緣處經擷取為「低」還是「高」；因此若在循環中並未起始寫入操作，則所擷取資料可為未使用的。

[0079] 階段二可包括可使用第一資料輸入時脈KD 54重新鎖存來自D1KDa 1002的差拍二寫入資料之一個鎖存器D1KDb 1004。鎖存器可在KD 54為「低」時為透明的，且可在KD 54為「高」時鎖存。

[0080] 階段三可包括可使用第一輸入時脈K 62重新鎖存來自D1KDb 1004的差拍二寫入資料藉此將資料自KD 54時脈域傳遞至K 62時脈域之一個鎖存器D1Kb 1014。鎖存器可在K 62為「低」時為透明的，且可在K 62為「高」時鎖存。

[0081] 階段四可包括可使用第二輸入時脈K# 64重新鎖存來自D1Kb 1014之差拍二寫入資料的一個鎖存器D1Kc 1016。鎖存器可在K# 64為「低」時為透明的，且可在K# 64為「高」時鎖存。

[0082] 階段五可包括兩個暫存器D1B1u 1023及D1B1v 1024。D1B1u 1023可為插入於DIPu之差拍二寫入資料路徑中的第一「寫入緩衝器」。D1B1u 1023可使用第四管線時脈Kv# 74之上升邊緣重新鎖存來自D1Kc 1016的差拍二寫入資料，藉此產生可在兩個時脈循環內保持有效的U差拍二寫入資料。D1B1v 1024可為插入於DIPv之差拍二寫入資料路

徑中的第一「寫入緩衝器」。D1B1v 1024可使用第二管線時脈Ku# 68之上升邊緣重新鎖存來自D1Kc 1016的差拍二寫入資料，藉此產生可在兩個時脈循環內保持有效的V差拍二寫入資料。

[0083] 階段六可包括兩個暫存器D1B2u 1033及D1B2v 1034。D1B2u 1033可為插入於DIPu之差拍二寫入資料路徑中的第二「寫入緩衝器」。D1B2u 1033可使用第三管線時脈Kv 72之上升邊緣重新鎖存來自D1B1u 1023的差拍二寫入資料，藉此產生可在兩個時脈循環內保持有效的U差拍二寫入資料。D1B2v 1034可為插入於DIPv之差拍二寫入資料路徑中的第二「寫入緩衝器」。D1B2u 1034可使用第一管線時脈Ku 66之上升邊緣重新鎖存來自D1B1v 1024的差拍二寫入資料，藉此產生可在兩個時脈循環內保持有效的V差拍二寫入資料。

[0084] 階段七可包括兩個暫存器D1Ku 1043及D1Kv 1044，其中D1Ku 1043可為DIPu之差拍二寫入資料路徑中的最後暫存器。D1ku 1043可在功能上等效於圖5中之D1Ku 523，除了其可使用第一管線時脈Ku 66(而非Kv 72)之上升邊緣重新鎖存來自D1B2u 1033的差拍二寫入資料藉此產生可在兩個時脈循環內保持有效的U差拍二寫入資料之外。D1Kv 1044可為DIPv之差拍二寫入資料路徑中的最後暫存器。D1kv 1044可在功能上等效於圖5中之D1Kv 524，除了其可使用第三管線時脈Kv 72(而非Ku 66)之上升邊緣重新鎖存來自D1B2v 1034的差拍二寫入資料藉此產生可在兩個

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

時脈循環內保持有效的V差拍二寫入資料之外。

[0085] 暫存器D0KDa 1001、D0KDb 1003、D0Ka 1011、D0Kb 1013、D0Kc 1015、D0B1u 1021、D0B2u 1031、D0Ku 1041、D1KDa 1002、D1KDb 1004、D1Kb 1014、D1Kc 1016、D1B1u 1023、D1B2u 1033及D1Ku 1043可一起包含DIPu，且暫存器D0KDa 1001、D0KDb 1003、D0Ka 1011、D0Kb 1011、D0Kc 1015、D0B1v 1022、D0B2v 1032、D0Kv 1042、D1KDa 1002、D1KDb 1004、D1Kb 1014、D1Kc 1016、D1B1v 1024、D1B2v 1034及D1Kv 1044可一起包含DIPv。

[0086] 注意差拍一寫入資料路徑中的階段一至五及差拍二寫入資料路徑中的階段一至四之實施方案可允許KD 54時脈邊緣領先或落後對應K 62時脈邊緣大約半循環。

[0087] 圖11描繪與圖8及圖10相關聯的信號時序及/或能夠進行上文關於圖8及圖10所描述之功能的任何其他電路實施方案。

[0088] 注意在此實例中，每一新的讀取操作(在一個管道中)與來自先前循環的讀取操作(在其他管道中)重疊，且與來自先前5個循環的寫入操作(在其他管道中)重疊，如藉由圖11中的重疊Au 841及Av 842位址所說明。因此，在循環「n」中起始讀取操作時，該讀取操作必須至與循環「n-1」中讀取的排組及循環「n-5」中寫入的排組不同的排組。此等情形可為此特定實施方案中之僅有排組衝突限制，除非由例如使用者或應用程式指定其他排組衝突限制。

將讀取及寫入位址多工至每一記憶體排組

[0089] 如圖3中所說明，分別由AIPu 301及AIPv 302產生的Au及Av讀取及寫入位址可經分時多工至每一記憶體排組321。排組位址BA(亦即，指示讀取或寫入哪一記憶體排組的位址位元)可包含讀取及寫入位址欄位的一部分，且可用以控制非排組位址位元MA至每一排組321之多工。

[0090] 圖12說明Au及Av讀取及寫入位址至目標記憶體排組321之多工。Au(MA)1201可為來自由AIPu 301輸出之Au讀取及寫入位址的非排組位址位元，且可輸入至每一排組之A多工器。Av(MA)1202可為來自由AIPv輸出之Av讀取及寫入位址的非排組位址位元可輸入至每一排組之A多工器。An多工器1231可為將Au(MA)1201及Av(MA)1202多工至排組「n」的讀取及寫入位址輸入多工器。MA(n)1221可為將讀取及寫入位址提供至排組「n」的An多工器1231的輸出。Au(BAn)1211可自指示讀取或寫入排組「n」的來自Au讀取及寫入位址之排組位址位元解碼。當在作用中時，例如 $MA(n)1221 = Au(MA)1201$ 。Av(BAn)1212可自可指示讀取或寫入排組「n」的來自Av讀取及寫入位址之排組位址位元解碼。當在作用中時， $MA(n)1221 = Av(MA)1202$ 。

[0091] 圖4、8及12中所描繪的位址多工器可實施於一些實施例中，如圖13中所說明。A 42及B 48可為至位址多工器1301之兩個輸入，且Y可為多工器1301之輸出。AS 1342及BS 1348可為控制是否 $Y=A$ 、 $Y=B$ 或 $Y=0$ 的兩個「選擇」信號。Addr多工器1301可為位址多工器之邏輯表示。在一些實施方案中，位址多工器1301可包含三個驅動器DRA

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

1311、DRB 1312及DRX 1313。在AS 1342在作用中時DRA之輸出=A，且在AS 1342不在作用中時為三態的。在BS 1348在作用中時DRB之輸出=B，且在BS 1348不在作用中時為三態的。DRX之輸出在AS 1342及BS 1348兩者皆不在作用中時=0，且否則為三態的。一般熟習此項技術者將瞭解到此情形為可被用作位址多工器1301之多工器的一個實例，但呈現上文描述的特徵之任何多工器可以用作位址多工器1301。

將寫入資料多工至每一記憶體排組

[0092] 如圖3中所說明，分別由DIPu 303及DIPv 304產生之D0u/D1u及D0v/D1v寫入資料可經分時多工至每一記憶體排組321。控制位址至每一排組321之多工的相同排組位址可用以控制寫入資料至每一排組321之多工。

[0093] 圖14說明根據一些實施例之D0u 1401及D0v 1402寫入資料以及D1u 1403及D1v 1404寫入資料至目標記憶體排組321之多工。D0u 1401可為由DIPu 303輸出之差拍一寫入資料，且可為至每一排組之D0n多工器的輸入。D0v 1402可為由DIPv 304輸出之差拍一寫入資料，且可為至每一排組之D0n多工器的輸入。

[0094] D1u 1403可為由DIPu 303輸出之差拍二寫入資料，且可為至每一排組之D1n多工器的輸入。D1v 1404可為由DIPv 304輸出之差拍二寫入資料，且可為至每一排組之D1n多工器的輸入。D0n多工器1431可為將D0u及D0v多工至排組「n」之寫入資料輸入多工器。D1n多工器1432可為

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

將 $D1u$ 及 $D1v$ 多工至排組「 n 」之寫入資料輸入多工器。
 $D0(n)1421$ 可為將差拍一寫入資料提供至排組「 n 」之 $D0n$
多工器的輸出。 $D1(n)1422$ 可為將差拍二寫入資料提供至排
組「 n 」之 $D1n$ 多工器的輸出。

[0095] $Au(BAn).WP 1411$ 可為自指示將寫入排組「 n 」
之來自 Au 寫入位址的經解碼排組位址位元產生的單發脈
衝。當在作用中時， $D0(n) = D0u$ 且 $D1(n) = D1u$ 。 $Av(BAn).WP$
 1412 可為自指示將寫入排組「 n 」之來自 Av 寫入位址的經解
碼排組位址位元產生的單發脈衝。當在作用中時， $D0(n) =$
 $D0v$ 且 $D1(n) = D1v$ 。

[0096] 圖 14 中描繪之資料多工器可如圖 15 中所說明地
實施。 $A 42$ 及 $B 48$ 可為至多工器之兩個輸入，且 Y 可為多工
器之輸出。 $AS 1342$ 及 $BS 1348$ 可為控制是否 $Y=A$ 或 $Y=B$ 之
兩個「選擇」信號。資料多工器 1501 可為資料多工器之邏
輯表示。在一些實施方案中，資料多工器 1501 可包含兩個
驅動器 $DRA 1511$ 及 $DRB 1512$ 以及鎖存器 1513。 DRA 之輸出
在 $AS 1342$ 在作用中時 $=A$ ，且在 $AS 1342$ 不在作用中時為三
態的。 DRB 之輸出在 $BS 1348$ 在作用中時 $=B$ ，且在 $BS 1348$
不在作用中時為三態的。鎖存器可用以使 Y 在 $AS 1342$ 及 BS
 1348 兩者皆未啟動中之後保持處於其當前狀態。一般熟習
此項技術者將瞭解此情形為可被用作資料多工器 1501 之多
工器的一個實例，但呈現上文描述的特徵之任何多工器可
以用作資料多工器 1501。

[0097] 圖 16 至圖 17 描繪與圖 12 至圖 15 相關聯的信號時

序及/或能夠進行上文關於圖12至圖15所描述之功能的任何其他電路實施方案。Au或Av位址欄位中所列的「(n)」指示排組「n」為用於彼特定操作之目標排組。

[0098] 注意在以最大頻率操作(如圖16中所說明)時，如自MA(n)之寬度顯而易見(在MA(n)含有讀取位址時)，讀取操作之持續時間可大於一個循環，且如自MA(n)之寬度顯而易見(在MA(n)含有寫入位址時)，寫入操作之持續時間可小於一個循環。

第二實施例

[0099] 本發明之本文中的一些實施方案描述用於擷取若干對讀取及寫入位址且經由兩個相異位址輸入管線將其傳播至每一記憶體排組之系統及方法，該等管線中的每一者以SRAM之一半外部時脈頻率操作。擷取讀取及寫入控制信號且將其傳播至每一記憶體排組。每一寫入操作擷取及傳送寫入資料之兩個差拍，且經由兩個相異資料輸入管線將其傳播至每一記憶體排組，該等管線中的每一者以SRAM之一半外部時脈頻率操作。下文提供關於不同實施方案之細節。

[0100] 在每一記憶體排組處，來自兩個位址輸入管線之讀取及寫入位址的排組位址部分用以判定相關聯的讀取及/或寫入操作是否以彼特定排組為目標。

[0101] 在每一記憶體排組處，來自兩個位址輸入管線之讀取及寫入位址的非排組位址部分用以在相關聯的讀取及/或寫入操作以彼特定排組為目標(如由讀取及寫入位址之

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

排組位址部分判定)的情況下選擇待讀取及/或寫入的排組內之特定位置。

[0102]在每一記憶體排組處，若相關聯的寫入操作以彼特定排組為目標(如由寫入位址之排組位址部分判定)，則選擇將來自兩個資料輸入管線之寫入資料的適當兩個差拍儲存於排組內之特定位置中(如由寫入位址之非排組位址部分判定)。

[0103]圖19為八排組雙管道Quad-B2 SRAM實施方案之說明性方塊圖。位址輸入鎖存器/多工器A1LM 1901鎖存讀取及寫入位址，且將其分時多工至經匯流排傳輸至每一記憶體排組1921之單一讀取/寫入位址串流Ain中。控制輸入鎖存器C1L 1902鎖存隨後經匯流排傳輸至每一記憶體排組1921之讀取及寫入控制信號Rin、Win。資料輸入鎖存器/多工器D1LM 1903鎖存寫入資料之兩個差拍，且將其分時多工至經匯流排傳輸至每一記憶體排組1921之單一寫入資料串流Din中。

[0104]在每一記憶體排組處，Ain讀取/寫入位址串流經解多工1911成由Rin及Win控制信號驗證之單獨U讀取、U寫入、V讀取及V寫入位址。4:1多工器1912用以選擇使用彼等位址中之哪一者來讀取及/或寫入排組。

[0105]在每一記憶體排組處，Din寫入資料串流經解多工1913成單獨U差拍一、U差拍二、V差拍一及V差拍二寫入資料，一個2:1多工器1914選擇使用哪一差拍一寫入資料寫入排組，且第二2:1多工器1914選擇使用哪一差拍二寫入

資料寫入排組。

[0106]以此方式，在U循環中起始之讀取操作與在相同U循環中起始之寫入操作成對，且連續在兩個循環之內對相同記憶體排組或對不同排組執行兩個操作。在結合時，相關聯的讀取及寫入位址經由AILM 1901、1:4 A U/V解多工器1911之U部分及4:1 A多工器1912傳播至每一記憶體排組1921，相關聯的讀取及寫入控制信號經由CIL 1902傳播至每一記憶體排組1921，且相關聯的寫入資料經由DILM 1902、1:4 D U/V解多工器1913之U部分及2:1 D多工器1914傳播至每一記憶體排組1921。

[0107]在V循環中起始之讀取操作與在相同V循環中起始之寫入操作成對，且連續在兩個循環之內對相同記憶體排組或對不同排組執行兩個操作。在結合時，相關聯的讀取及寫入位址經由AILM 1901、1:4 A U/V解多工器1911之V部分及4:1 A多工器1912傳播至每一記憶體排組1921，相關聯的讀取及寫入控制信號經由CIL 1902傳播至每一記憶體排組1921，且相關聯的寫入資料經由DILM 1902、1:4 D U/V解多工器1913之V部分及2:1 D多工器1914傳播至每一記憶體排組1921。

[0108]注意因為可在兩個循環之內執行若干對讀取及寫入操作，但每一循環可起始若干對讀取及寫入操作，所以一或兩個記憶體排組可在起始新的一對讀取及寫入操作時為忙碌的(亦即在存取之中)。主要是由使用者避免「排組衝突」，亦即避免讀取歸因於先前讀取及寫入操作而忙碌的

排組。

[0109]亦注意到在本文中的本發明之情況下，在連續在兩個循環之內執行對相同排組起始的讀取及寫入操作時，每一操作不一定在一個循環內執行。而是，可在大於一個循環中執行讀取操作，且可在小於一個循環中執行寫入操作，條件是兩個操作的組合持續時間不超過兩個循環。此概念在圖29中說明，在下文詳細論述。

位址與控制輸入

[0110]圖20為描繪與本文中之創新之一或多個態樣一致的說明性位址輸入電路之方塊圖。圖4說明包括兩個暫存器(或鎖存器)及多工器之AILM。舉例而言，暫存器RA 2001使用K之上升邊緣在每一循環擷取讀取位址，而不管第一讀取控制R#在彼時脈邊緣處經擷取為「低」還是「高」；因此若在循環中並未起始讀取操作，則所擷取位址為未使用的。暫存器WA 2002使用K#之上升邊緣擷取寫入位址。一個實施方案為僅在第一寫入控制W#在K之先前上升邊緣處經擷取為「低」的循環中使用K#之上升邊緣；因此始終使用所擷取寫入位址，且在未起始寫入操作之彼等循環中節省電力。

[0111]多工器AM 2011將所擷取讀取及寫入位址分時多工至經匯流排傳輸至每一記憶體排組之單一讀取/寫入位址串流Ain中。K時脈「高」導致選擇讀取位址(亦即多工至Ain位址串流中)，且K#時脈「高」導致選擇寫入位址(亦即經多工至Ain位址串流中)。與WA 2002暫存器類似，一個

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

實施方案為僅在第一寫入控制W#在K之先前上升邊緣處經擷取為「低」的循環中使用K#之上升邊緣；因此，若起始寫入操作，則Ain僅自讀取位址改變至寫入位址，且在未起始寫入操作之彼等循環中節省電力。

[0112]圖21為描繪與本文中之創新之一或多個態樣一致的說明性控制輸入鎖存電路之方塊圖。如圖21中所說明，CIL可包括三個暫存器(或鎖存器)及兩個反相器。暫存器RD 2101使用K之上升邊緣在每一循環擷取(在作用中-低)讀取控制信號，且其輸出反相2111以產生在作用中-高Rin信號。暫存器WR 2102使用K之上升邊緣在每一循環擷取(在作用中-低)寫入控制信號，暫存器WR1 2112使用K#之上升邊緣在每一循環重新鎖存來自WR之寫入控制信號，且其輸出反相2122以產生在作用中-高Win信號。

[0113]圖22為描繪與本文中之創新之一或多個態樣一致的說明性解多工器之方塊圖。在圖22中之每一記憶體排組處，由預解碼器2201解碼Ain讀取/寫入位址串流中之排組位址以產生單一位輸出排組(n)，該排組在排組位址指示對應讀取或寫入操作以彼特定排組為目標的情況下在作用中。

[0114]使用六個及閘及六個暫存器(或鎖存器)以四種方式將排組(n)信號解多工至表示排組位址之1:4 A U/V解多工器1911的單獨U讀取、U寫入、V讀取及V寫入排組(n)信號中，且彼等四個排組(n)信號用以產生一個U讀取、兩個U寫入、一個V讀取及兩個V寫入排組(n)時脈。排組(n)

經由及閘 2211 與 Rin 進行邏輯地且閘連接，從而產生 rbank(n)，以確保 rbank(n) 在其隨後由 RBA_{nu} 或 RBA_{nv} 鎖存時自有效讀取位址產生。

[0115] 排組(n)經由及閘 2212 與 Win 進行邏輯地且閘連接，從而產生 wbank(n)，以確保 wbank(n) 在其隨後由 WBA_{nu} 或 WBA_{nv} 鎖存時自有效寫入位址產生。

[0116] 對於此說明性實施方案，各種暫存器(或鎖存器)之例示性組配及控制可為如下。舉例而言，暫存器 RBA_{nu} 2221 可使用第一管線時脈 Ku 之上升邊緣擷取 rbank(n)，藉此產生在兩個循環內在作用中的 U 讀取排組(n)信號 RBA_u(n)。RBA_u(n)經由及閘 2231 與 Ku 之延遲版本進行邏輯地且閘連接，藉此產生 U 讀取排組(n)時脈 KR_u(n)。暫存器 RBA_{nv} 2222 可使用第三管線時脈 Kv 之上升邊緣擷取 rbank(n)，藉此產生在兩個循環內在作用中的 V 讀取排組(n)信號 RBA_v(n)。RBA_v(n)經由及閘 2232 與 Kv 之延遲版本進行邏輯地且閘連接，藉此產生 V 讀取排組(n)時脈 KR_v(n)。暫存器 WBA_{nu} 2223 可使用第二管線時脈 Ku# 之上升邊緣擷取 wbank(n)，藉此產生在兩個循環內在作用中的 U 寫入排組(n)信號 WBA_u(n)。WBA_u(n)經由及閘 2233 與 Ku# 之延遲版本進行邏輯地且閘連接以產生第一 U 寫入排組(n)時脈 KW_u(n)。暫存器 WBA_{1nu} 2243 可使用第三管線時脈 Kv 之上升邊緣重新鎖存 KW_u(n)，藉此產生第二 U 寫入排組(n)時脈 KW_{1u}(n)。暫存器 WBA_{nv} 2224 可使用第四管線時脈 Kv# 之上升邊緣擷取 wbank(n)，藉此產生在兩個循環內在作用中的 V 寫入排組(n)

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

信號 $WBAv(n)$ 。 $WBAv(n)$ 經由及閘2234與 $Kv\#$ 之延遲版本進行邏輯地且閘連接以產生第一V寫入排組(n)時脈 $KWv(n)$ 。暫存器 $WBA1nv$ 2244可使用第一管線時脈 Ku 之上升邊緣重新鎖存 $KWv(n)$ ，藉此產生第二V寫入排組(n)時脈 $KW1v(n)$ 。

[0117]圖23為描繪與本文中之創新之一或多個態樣一致的說明性讀取/寫入電路之方塊圖。在圖23中之每一記憶體排組處，自圖22中產生之時脈中的四個時脈產生U讀取、U寫入、V讀取及V寫入排組(n)脈衝。

[0118]讀取U自定時邏輯2301使用 $KRu(n)$ 產生在小於兩個循環但不一定小於或等於一個循環內在作用中的U讀取排組(n)脈衝 $Ru(n)$ ，該U讀取排組(n)脈衝 $Ru(n)$ 最後導致出現至排組(n)之讀取操作。

[0119]讀取V自定時邏輯2302使用 $KRv(n)$ 產生在小於兩個循環但不一定小於或等於一個循環內在作用中的V讀取排組(n)脈衝 $Rv(n)$ ，該V讀取排組(n)脈衝 $Rv(n)$ 最後導致出現至排組(n)之讀取操作。

[0120]寫入U自定時邏輯2311使用 $KW1u(n)$ 連同 $Ru(n)$ 及 $Wv(n)$ 一起(以確保 $Wu(n)$ 脈衝在 $Ru(n)$ 脈衝或 $Wv(n)$ 脈衝結束之後開始)產生在小於或等於一個循環內在作用中的U寫入排組(n)脈衝 $Wu(n)$ ，該U寫入排組(n)脈衝 $Wu(n)$ 最後導致出現至排組(n)之寫入操作。換言之， $Wu(n)$ 為自「非($Ru(n)$)及非($Wv(n)$)及 $KW1u(n)$ 」之邏輯函數導出之自定時脈衝。

[0121]寫入V自定時邏輯2312使用 $KW1v(n)$ 連同 $Rv(n)$

及 $W_u(n)$ 一起(以確保 $W_v(n)$ 脈衝在 $R_v(n)$ 脈衝或 $W_u(n)$ 脈衝結束之後開始)產生在小於或等於一個循環內在作用中的 V 寫入排組(n)脈衝 $W_v(n)$ ，該 V 寫入排組(n)脈衝 $W_v(n)$ 最後導致出現至排組(n)之寫入操作。換言之， $W_v(n)$ 為自「非($R_v(n)$)及非($W_u(n)$)及 $KW_{1v}(n)$ 」之邏輯函數導出之自定時脈衝。

[0122] $R_u(n)$ 在作用中及 $W_u(n)$ 在作用中之組合持續時間小於或等於兩個循環。 $R_v(n)$ 在作用中及 $W_v(n)$ 在作用中之組合持續時間小於或等於兩個循環。

[0123] 圖24為描繪與本文中之創新之一或多個態樣一致的說明性位址多工器之方塊圖。在圖24中之每一記憶體排組處， A_{in} 讀取/寫入位址中之非排組位址由預解碼器 2401 解碼，四個暫存器將經解碼非排組位址以四種方式解多工至單獨排組(n) U 讀取、 U 寫入、 V 讀取及 V 寫入位址(表示非排組位址之 1:4 A U/V 解多工器 1911)中，且 4:1 多工器(表示 4:1 A 多工器 1912)選擇使用彼等位址中之哪些讀取及/或寫入特定排組。

[0124] 暫存器 $R_{Anu}(2411)$ 使用 $KR_u(n)$ 之上升邊緣(參見圖22)擷取經解碼非排組位址，藉此產生在至少兩個循環內保持有效的排組(n) U 讀取位址 $R_{Au}(n)$ 。暫存器 $W_{Anu}(2412)$ 使用 $KW_u(n)$ 之上升邊緣(參見圖22)擷取經解碼非排組位址，藉此產生在至少兩個循環內保持有效的排組(n) U 寫入位址 $W_{Au}(n)$ 。

[0125] 暫存器 $R_{Anv}(2413)$ 使用 $KR_v(n)$ 之上升邊緣(參見圖22)擷取經解碼非排組位址，藉此產生在至少兩個循環內

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

保持有效的排組(n)V讀取位址RAv(n)。暫存器WAnv(2414)使用KWv(n)之上升邊緣(參見圖22)擷取經解碼非排組位址，藉此產生在至少兩個循環內保持有效的排組(n)V寫入位址WAv(n)。

[0126] A多工器2421選擇使用彼等排組(n)位址RAu(n)及/或WAu(n)或RAv(n)及/或WAv(n)中之哪一者讀取及/或寫入至彼特定記憶體排組。Ru(n)導致選擇RAu(n)，Wu(n)導致選擇WAu(n)，Rv(n)導致選擇RAv(n)，且Wv(n)導致選擇WAv(n)。

[0127] 圖25為描繪與本文中之創新之一或多個態樣一致的說明性位址多工器之方塊圖。如圖25中所說明，實施圖24中描繪之位址多工器。輸入A、B、C及D為至位址多工器2501之四個輸入，且Y為多工器2501之輸出。信號AS、BS、CS及DS為控制是否Y=A、Y=B、Y=C、Y=D或Y=0之四個「選擇」信號。Addr多工器2501為位址多工器之邏輯表示。在一個實施方案中，多工器2501包含五個驅動器DRA 2511、DRB 2512、DRC 2513、DRD 2514及DRX 2515。

[0128] DRA之輸出在AS在作用中時為A，且在AS不在作用中時為三態的。DRB之輸出在BS在作用中時為B，且在BS不在作用中時為三態的。DRC之輸出在CS在作用中時為C，且在CS不在作用中時為三態的。DRD之輸出在DS在作用中時為D，且在DS不在作用中時為三態的。DRX之輸出在AS、BS、CS及DS皆不在作用中時為0，且否則為三態的。

資料輸入

[0129]圖26為描繪與本文中創新之一或多個態樣一致的說明性資料輸入電路之方塊圖。圖26說明包括四個暫存器(或鎖存器)及多工器之DILM。暫存器D0KD 2601使用KD之上升邊緣在每一循環擷取差拍一寫入資料，而不管第一寫入控制W#在相同時脈中在K之上升邊緣處擷取為「低」還是「高」；因此若在循環中並未起始寫入操作，則所擷取資料為未使用的。暫存器D1KD 2602使用KD#之上升邊緣在每一循環擷取差拍二寫入資料，而不管第一寫入控制W#在相同循環中在K之上升邊緣處擷取為「低」還是「高」；因此若在循環中並未起始寫入操作，則所擷取資料為未使用的。暫存器D0K 2611使用K#之上升邊緣重新鎖存來自D0KD之差拍一寫入資料，藉此將資料自KD時脈域傳遞至K時脈域。暫存器D1K 2612使用K之上升邊緣重新鎖存來自D1KD之差拍二寫入資料，藉此將資料自KD時脈域傳遞至K時脈域。

[0130]多工器DM 2621將所擷取差拍一及差拍二寫入資料分時多工至經匯流排傳輸至每一記憶體排組之單一寫入資料串流Din中。K#時脈「高」導致選擇差拍一寫入資料(亦即，多工至Din寫入資料串流中)，且K時脈「高」導致選擇差拍二寫入資料(亦即，多工至Din寫入資料串流中)。與圖20中之多工器AM 2011類似，一個實施方案為僅在W#在K之先前上升邊緣處擷取為「低」之循環中使用K#及K；因此若起始寫入操作，則Din僅改變至差拍一及差拍二寫入

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

資料之新的集合，且在未起始寫入操作之彼等循環中節省電力。

[0131] 注意寫入資料路徑中之階段一及二的實施方案允許KD時脈邊緣領先或落後對應K時脈邊緣大約半循環。

[0132] 圖27為描繪與本文中之創新之一或多個態樣一致的說明性資料多工器之方塊圖。在圖27中之每一記憶體排組處，使用六個暫存器將Din寫入資料串流以四種方式解多工至單獨排組(n)U差拍一、U差拍二、V差拍一及V差拍二寫入資料(表示1:4 D U/V解多工器1913中)，且兩個2:1多工器(表示2 2:1 D多工器1914)用以選擇使用寫入資料之彼等兩個差拍中的哪一者寫入特定排組。

[0133] 暫存器D0nua 2701使用KWu(n)之上升邊緣(參見圖22)擷取差拍一寫入資料，且暫存器D0nu 2711使用KW1u(n)之上升邊緣(參見圖22)重新鎖存來自D0nua之差拍一寫入資料，藉此產生排組(n)U差拍一寫入資料D0u(n)。暫存器D0nva 2702使用KWv(n)之上升邊緣(參見圖22)擷取差拍一寫入資料，且暫存器D0nv 2712使用KW1v(n)之上升邊緣(參見圖22)重新鎖存來自D0nva之差拍一寫入資料，藉此產生排組(n)V差拍一寫入資料D0v(n)。暫存器D1nu 2713使用KW1u(n)之上升邊緣(參見圖22)擷取差拍二寫入資料，藉此產生排組(n)U差拍二寫入資料D1u(n)。暫存器D1nv 2714使用KW1v(n)之上升邊緣(參見圖22)擷取差拍二寫入資料，藉此產生排組(n)V差拍二寫入資料D1v(n)。

[0134] D0n多工器2721選擇使用彼等排組(n)差拍一寫

入資料 $D0u(n)$ 或 $D0v(n)$ 中之哪一者寫入特定記憶體排組。 $Wu(n)$ 導致選擇 $D0u(n)$ ，且 $Wv(n)$ 導致選擇 $D0v(n)$ 。 $D1n$ 多工器 2722 選擇使用彼等排組 (n) 差拍二寫入資料 $D1u(n)$ 或 $D1v(n)$ 中之哪一者寫入特定記憶體排組。 $Wu(n)$ 導致選擇 $D1u(n)$ ，且 $Wv(n)$ 導致選擇 $D1v(n)$ 。

[0135]圖28為描繪與本文中之創新之一或多個態樣一致的說明性資料多工器之方塊圖。圖26及圖27中所描繪之資料多工器以及圖20中之多工器AM 2011可如圖28中所說明地實施。

[0136]A及B為至多工器2801之兩個輸入，且Y為多工器2801之輸出。AS及BS為控制Y是否為A或Y是否為B之兩個選擇信號。資料多工器2801為資料多工器之邏輯表示。在一些實施方案中，資料多工器2801包含兩個驅動器DRA 2811及DRB 2812，以及鎖存器2813。DRA之輸出在AS在作用中時為A，且在AS不在作用中時為三態的。DRB之輸出在BS在作用中時為B，且在BS不在作用中時為三態的。鎖存器用以使輸出Y在AS及BS兩者皆未啟動之後保持處於其當前狀態。

[0137]圖29為描繪與本文中之創新之一或多個態樣一致的說明性讀取及寫入時序態樣之時序圖。圖29描繪與圖19至圖28相關聯的信號時序。Ain位址欄位中所列之「 (n) 」指示排組「 n 」為用於彼特定操作之目標排組。

[0138]注意在以最大頻率操作(如圖13中所說明)時，如自 $MA(n)$ 之寬度顯而易見(在 $MA(n)$ 含有讀取位址時)，讀取

操作之持續時間可大於一個循環，且如自MA(n)之寬度顯而易見(在MA(n)含有寫入位址時)，寫入操作之持續時間可小於一個循環。

[0139]亦注意在以最大頻率操作且在循環「n」中起始讀取操作時，該讀取操作必須至與循環「n-1」中讀取的排組(因為兩個讀取操作將歸因於其持續時間大於一個循環而部分重疊)及循環「n-1」中寫入的排組(因為讀取操作將與整個寫入操作重疊)不同的排組。此等情形將為此特定實施方案中之僅有排組衝突限制。

[0140]進一步注意在以更慢頻率操作以使得讀取操作之持續時間小於一個循環時，在循環「n」中起始之讀取操作可至與循環「n-1」中讀取之排組相同的排組，且在彼情況下僅有剩餘排組衝突限制為循環「n」中之讀取無法至與循環「n-1」中寫入之排組相同的排組。

[0141]除了以上記憶體創新及記憶體架構之外，本發明亦尤其包括記憶體操作之方法、製造與本文中之特徵及/或功能性一致的記憶體裝置之方法、產品(諸如SRAMs或體現SRAM之產品)，以及經由此等程序產生之產品。借助於實例(且非限制)，本文中之記憶體製造之方法可包括已知RAM製造程序，諸如在涉及諸如p-mos及n-mos電晶體形成、多個金屬化層及/或局域互連件之態樣的CMOS技術中，以及其他技術。此處例如在美國專利第4,794,561、5,624,863、5,994,178、6,001,674、6,117,754、6,127,706、6,417,549、6,894,356及7,910,427號以及美國專利申請公開案第

US2007/0287239A1號之背景/揭示內容中所闡述之多種例示性/主要程序，該等專利以引用之方式併入本文中。

[0142] 在一些情況下，可達成本文中之創新的態樣，其涉及包括與例如電路結合執行之程式模組的邏輯及/或邏輯指令。一般而言，程式模組可包括執行特定任務或實施特定邏輯、控制、延遲或指令之常式、程式、物件、組件、資料結構等。本發明也可以在經由通訊匯流排、電路或鏈路連接電路之分佈式電路設置之情況下實踐。在分佈式設置中，控制/指令可自包括記憶體儲存裝置之局域及遠端計算元件兩者出現。

[0143] 如本文所揭示，與本發明一致的特徵可經由電腦硬體、軟體及/或韌體利用及/或涉及電腦硬體、軟體及/或韌體。舉例而言，本文中所揭示之系統及方法可以包括(例如)記憶體、資料處理器(諸如在亦包括記憶體之計算裝置中)、資料庫、數位電子電路、韌體、軟體或其組合之各種形式體現或結合其使用。此外，雖然所揭示之實施方案中的一些描述特定硬體組件，但與本文中之創新一致的系統及方法可在硬體、軟體及/或韌體之任何組合之情況下實施。此外，本文中之創新的上述特徵及其他態樣及原理可實施於各種記憶體環境中。此等環境及相關申請案可專門經建構用於執行根據本發明之各種常式、程序及/或操作，或其可包括由程式碼選擇性地啟動或重新配置以提供必要性之通用計算機或計算平台。本文中所揭示之程序本身不與任何特定電腦、網路、架構、環境或其他設備相關，且

可由硬體、軟體及/或韌體之合適的組合實施。舉例而言，可藉由根據本發明的教示寫入之程式使用各種通用目的機器，或可能更便於建構專門設備或系統來執行所要方法及技術。

[0144]本文中所述的方法及系統之態樣(諸如邏輯)可實施為經規劃成多種電路中的任一者之功能性，多種電路包括諸如場可規劃閘陣列(「FPGA」)、可規劃陣列邏輯(「PAL」)裝置、電可規劃邏輯及記憶體裝置以及標準基於單元之裝置之可規劃邏輯裝置(「PLD」)以及特殊應用積體電路。用於實施態樣之一些其他可能性包括：記憶體裝置、具有記憶體(諸如EEPROM)之微控制器、嵌入式微處理器、韌體、軟體等。此外，態樣可體現於具有基於軟體之電路模擬、離散邏輯(順序及組合)、定製裝置、模糊(神經)邏輯、量子裝置及以上裝置類型中的任一者之混合之微處理器中。可在例如類似互補金屬氧化物半導體(「CMOS」)的金屬氧化物半導體場效電晶體(「MOSFET」)技術、類似雙極技術的發射極耦接邏輯(「ECL」)、聚合物技術(例如，矽-共軛聚合物及金屬-共軛聚合物-金屬結構)、混合類比及數位等等多種組件類型中提供底層裝置技術。

[0145]亦應注意，可使用硬體、韌體及/或體現於各種機器可讀或電腦可讀媒體中之資料/指令的任何數目個組合就其行為、暫存器傳送、邏輯組件及/或其他特性而言實現本文中所揭示之各種邏輯、控制及/或功能。可體現此格式化資料及/或指令之電腦可讀媒體包括(但不限於)呈各種

形成之非依電性儲存媒體(例如，光學、磁性或半導體儲存媒體)，但不包括諸如載波之暫時媒體。

[0146]除非上下文另外明確要求，否則貫穿該描述及本文中其他地方，詞「包含」、「包含著」及其類似者應以包括性意義解釋，而非排他性或窮盡性意義；換言之，在「包括(但不限於)」之意義上。使用單數或複數之詞亦分別包括複數或單數。另外，詞「本文中」、「在下文」、「上文」、「下文」及類似含義的詞是指作為一整體的本申請案，且並非指本申請案之任何特定部分。在參考兩個或大於兩個項目清單使用詞「或」時，該詞涵蓋所有以下所述詞之解釋：清單中之項目中之任一者、清單中之所有項目及清單中之項目之任何組合。

[0147]儘管本文中已特定地描述本發明的某些當前較佳實施方案，但本發明所屬之熟習此項技術者將顯而易見本文中所展示及描述之各種實施方案之變化及修改可在不脫離本文中之創新的精神及範疇的情況下作出。因此，意欲本發明僅限於可適用的法律規則所需要的程度。

【符號說明】

10...主機	36...讀取及/或寫入控制信號
15...記憶體控制器	40...位址電路
20...多排組記憶體電路	42...位址信號A
30...讀取/寫入(R/W)控制電路	44...位址位置資料Au
32...第一讀取控制R#	46...位址位置資料Av
34...第一寫入控制W#	50...寫入資料電路

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

52...資料信號D	202...第二時脈循環「V」
54...輸入時脈信號KD	301...第一位址輸入管線AIPu
56...輸入時脈信號KD#	302...第二位址輸入管線AIPv
60...時脈電路	303...第一資料輸入管線DIPu
62...第一時脈K	304...第二資料輸入管線DIPv
64...第二輸入時脈K#	311...2:1多工器
66、211...第一管線時脈Ku	312...第二2:1多工器
68、212...第二管線時脈Ku#	321...排組
70...多排組記憶體陣列	401、2001...暫存器RA
72、221...第三管線時脈Kv	402、2002...暫存器WA
74、222...第四管線時脈Kv#	412、812...寫入位址預解碼
76...寫入資料D0u	421...暫存器Rau
78...寫入資料D0v	422...暫存器RAv
82...寫入資料D1u	423...暫存器WAu
84...寫入資料D1v	424...暫存器WAv
86...第一寫入控制W	431、432、831、832...讀取位
101、102...K輸入時脈之上升邊緣	址預解碼
103...K輸入時脈之上升	441...多工器Mu
104...K#輸入時脈之晚半循環	442...多工器Mv
的上升	451...第一脈衝Ru
105...KD輸入時脈之上升邊緣	452...第三脈衝Rv
106...KD#輸入時脈之晚半循	461...第二脈衝Wu
環的上升邊緣	462...第四脈衝Wv
201...第一時脈循環「U」	501、502、511、512、521、522、523、

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

524、801、802、821、822、823、	1016...D1Kc
824、825、826、827、828...暫存器	1031...D0B2u
723...WAB1u	1032...D0B2v
724...WAB1v	1033...D1B2u
725...WABnu	1034...D1B2v
726...WABnv	1041...D0Ku
841...多工器	1042...D0Kv
842...多工器	1043...D1Ku
921、1021...D0B1u	1044...D1Kv
922、1022...D0B1v	1201...Au(MA)
923、1023...D1B1u	1202...Av(MA)
924、1024...D1B1v	1211...Au(BAn)
931...D0Bnu	1212...Av(BAn)
932...D0Bnv	1221...MA(n)
933...D1Bnu	1231...An多工器
934...D1Bnv	1301、2501...位址多工器
1001...暫存器D0Kda	1311、1511、2511、2811...驅
1002...D1Kda	動器DRA
1003...D0KDb	1312、1512、2512、2812...驅
1004...D1KDb	動器DRB
1011...D0Ka	1313、2515...驅動器DRX
1013...D0Kb	1342...AS
1014...D1Kb	1348...BS
1015...D0Kc	1401...D0u

第 104118340 號專利申請案 發明說明書替換本 修正日期：108 年 5 月 23 日

1402...D0v	2112...暫存器WR1
1403...D1u	2111、2122...反相
1404...D1v	2201、2401...預解碼器
1411...Au(BAn).WP	2211、2212、2231、2232、2233、
1412...Av(BAn).WP	2234...及閘
1421...D0(n)	2221...暫存器RBA _{nu}
1422...D1(n)	2222...暫存器RBA _{nv}
1431、2721...D0 _n 多工器	2223...暫存器WBA _{nu}
1432、2722...D1 _n 多工器	2224...暫存器WBA _{nv}
1501、2801...資料多工器	2243...暫存器WBA1 _{nu}
1513、2813...鎖存器	2244...暫存器WBA1 _{nv}
1901...位址輸入鎖存器/多工 器A _{ILM}	2301...讀取U自定時邏輯
1902...控制輸入鎖存器C _{IL}	2302...讀取V自定時邏輯
1903...資料輸入鎖存器/多工 器D _{ILM}	2311...寫入U自定時邏輯
1911...1:4 A U/V解多工器	2312...寫入V自定時邏輯
1912...4:1 A多工器	2411...暫存器RA _{nu}
1913...1:4 D U/V解多工器	2412...暫存器WA _{nu}
1914...2 2:1 D多工器	2413...暫存器RA _{nv}
1921...記憶體排組	2414...暫存器WA _{nv}
2011...多工器AM	2421...A多工器
2101...暫存器RD	2501...位址多工器
2102...暫存器WR	2513...驅動器DRC
	2514...驅動器DRD
	2601...暫存器D0KD

2602...暫存器D1KD

2711...暫存器D0nu

2611...暫存器D0K

2712...暫存器D0nv

2612...暫存器D1K

2713...暫存器D1nu

2621...多工器DM

2714...暫存器D1nv

2701...暫存器D0nua

2702...暫存器D0nva

申請專利範圍

1. 一種多排組雙管道SRAM裝置，其包含：

(i)包含複數個SRAM排組、一解碼器、一感測放大器及一記憶體晶胞存取電路之一記憶體陣列，每一SRAM排組包括組織成列及行之一矩陣的單埠SRAM記憶體晶胞之一區塊，其中每一SRAM排組能夠以一最大頻率 $f(m)$ 操作，且經組配以用於且能夠在單一 $f(m)$ 時脈循環內一起執行一讀取操作及一寫入操作；

(ii)一讀取/寫入控制輸入電路，其在頻率 $f(e)$ 之第一單一外部時脈循環內接收一讀取操作及一寫入操作，且在該頻率 $f(e)$ 之一分時多工讀取/寫入串流的方式對每一SRAM排組提供彼等讀取及寫入操作；

(iii)一位址輸入電路，其在頻率 $f(e)$ 之一第二單一外部時脈循環內接收一讀取位址及一寫入位址，且在該頻率 $f(e)$ 之一分時多工位址串流的方式將彼等讀取及寫入位址提供至每一SRAM排組；

(iv)一資料輸入電路，其在頻率 $f(e)$ 之一第三單一外部時脈循環內接收寫入資料之第一及第二差拍，且在該頻率 $f(e)$ 以一分時多工寫入資料串流的方式將寫入資料之該第一以及第二差拍提供至每一SRAM排組；以及

(v)在該複數個SRAM排組處之排組存取電路，其耦接至該讀取/寫入控制輸入電路、該位址輸入電路及該資料輸入電路，該排組存取電路控制對該等SRAM排組

之讀取及寫入操作的組合在不大於其最大操作頻率 $f(m)$ 下進行；

其中該外部時脈頻率 $f(e)$ 為每一 SRAM 排組所能夠操作之該最大頻率 $f(m)$ 的至少兩倍，且該讀取/寫入控制輸入電路在該外部時脈頻率 $f(e)$ 操作，及/或該位址輸入電路在該外部時脈頻率 $f(e)$ 操作，及/或該資料輸入電路在該外部時脈頻率 $f(e)$ 操作。

2. 一 Quad-B2 SRAM 記憶體裝置，其包含：

一記憶體陣列，其包含複數個 SRAM 排組以及記憶體晶胞存取電路，其中每一 SRAM 排組包括組織成列及行之一矩陣的單埠 SRAM 記憶體晶胞之一區塊，該記憶體晶胞存取電路包含：

一第一讀取控制輸入及一第一寫入控制輸入，其用於針對每一及每個時脈循環起始在相同的時脈循環中之讀取及寫入操作；

一第一輸入時脈及一第二輸入時脈，其中該第二輸入時脈為該第一輸入時脈之反相；以及

內部時脈產生電路，其經組配以：

產生具有為該等第一及第二輸入時脈之週期兩倍的週期之一第一管線時脈及一第二管線時脈，其中該第一管線時脈在該第一管線時脈循環期間為高準位，且該第二管線時脈為該第一管線時脈之反相；以及

產生具有為該等第一及第二輸入時脈之週期

兩倍的週期之一第三管線時脈及一第四管線時脈，其中該第三管線時脈在該第二管線時脈循環期間為高準位，且該第四管線時脈為該第三管線時脈之反相；

其中，該存取電路經組配將交替時脈循環分別指定為第一管線時脈循環及第二管線時脈循環。

3. 如請求項2之裝置，其中：

在該第一管線時脈循環中所起始之一讀取操作係與在一相同的第一管線時脈循環中所起始之一寫入操作成對，其中該讀取操作及該寫入操作係在連續兩個循環之內針對一相同SRAM排組或針對一不同SRAM排組而被執行；

該讀取操作係在小於兩個循環之一持續時間內被執行，該寫入操作係在小於或等於一個循環之一持續時間內被執行，且該第一管線時脈循環之該讀取操作及該寫入操作的一組合持續時間不超過兩個循環；

在一第二管線時脈循環中所起始之一讀取操作係與在一相同的第二管線時脈循環中所起始之一寫入操作成對，其中該讀取操作及該寫入操作係在連續在兩個循環之內針對一相同SRAM排組或針對一不同SRAM排組而被執行；以及

該讀取操作係在小於兩個循環之一持續時間內執行，該寫入操作係在小於或等於一個循環之一持續時間內執行，且該第二管線時脈循環之該讀取操作及該寫入操作的一組合持續時間不超過兩個循環。

4. 如請求項2之裝置，其進一步包含：

位址電路，其經組配以使用該第一輸入時脈在每一時脈循環鎖存一讀取位址輸入，並且使用該第二輸入時脈在每一時脈循環鎖存一寫入位址輸入；以及

控制電路，其經組配以使用該第一輸入時脈在每一時脈循環鎖存一讀取控制信號，並且使用該第一輸入時脈在每一時脈循環鎖存一寫入控制信號。

5. 如請求項4之裝置，其中：

該等讀取位址在輸入該讀取位址及隨後產生一新讀取操作時歸因於一或多個基於先前所起始之讀取及寫入操作的忙碌SRAM排組而受限於一非忙碌的SRAM排組；以及

只要任何SRAM排組可不管該等先前啟動的讀出和寫入操作而在任何時間被寫入，該寫入位址在這種情況下不被限制。

6. 如請求項2之裝置，其進一步包含：

一第一資料輸入時脈及一第二資料輸入時脈，其分別與該第一輸入時脈及該第二輸入時脈均步或實體上相同，其中該第二資料輸入時脈為該第一資料輸入時脈之反相；以及

資料電路，其經組配以使用該第一資料輸入時脈鎖存在每一寫入操作在每一時脈循環所傳送之寫入資料的一第一差拍；以及經組配以使用該第二資料輸入時脈鎖存在每一寫入操作在每一時脈循環所傳送之寫入資

料的一第二差拍。

7. 如請求項4之裝置，其進一步包含一位址輸入鎖存器/多工器，其經組配以擷取該讀取以及寫入位址，將該讀取及寫入位址分時多工成為要被傳輸至每一SRAM排組的一單一位置串流。

8. 如請求項7之裝置，其中該位址輸入鎖存器/多工器之一第一部分包含：

一第一位址暫存器/鎖存器，其經組配以在每一循環該第一輸入時脈之上升邊緣擷取讀取位址而不管在該第一輸入時脈之該相同之上升邊緣所截取之一第一讀取控制之狀態；以及

一第二位址暫存器/鎖存器，其經組配以在該第一輸入時脈的一前一上升緣上一第一寫入控制被擷取為低電位/有效的循環中，在該第二輸入時脈之該上升邊緣擷取寫入位址。

9. 如請求項8之裝置，其中該位址輸入鎖存器/多工器之一第二部分包含：

一第一2：1位址多工器，其經組配以將來自該第一位址暫存器/鎖存器及該第二位址暫存器/鎖存器之該讀取及寫入位址一起分時多工至一單一第一位址串流，該單一第一位址串流隨後被傳輸至每一SRAM排組，

其中，該第一輸入時脈高準位選擇來自該第一位址暫存器/鎖存器要被多工成該第一位址串流之該讀取位址，並且

其中，該第二輸入時脈高準位選擇來自該第二位址暫存器/鎖存器要被多工成該第一位址串流之該寫入位址。

10. 如請求項9之裝置，其中該第一2：1位址多工器包含：

一第一多工器輸入以及一第二多工器輸入，用於該第一多工器輸入之一第一多工器輸入選擇以及用於該第二多工器輸入之一第二多工器輸入選擇，以及一多工器輸出；

一第一驅動器以及一第二驅動器，其各包含：

一輸出，一致能控制，以及一輸出，使得當該致能控制作動時，該輸出相等於該輸入，而當該致能控制係非作動時，該輸出係三態；

其中，該第一驅動器輸入係該第一多工器輸入，該第二驅動器輸入係該第二多工器輸入，其中該第一驅動器致能控制係一第一多工器輸入選擇，該第二驅動器致能控制係一第二多工器輸入選擇；

其中，該第一以及第二驅動器輸出係被點與點連在一起以產生該多工器輸出；以及

一驅動器鎖存器，其在該第一多工器輸入選擇以及該第二多工器輸入選擇都不是作動時保持該多工器輸出在其當前狀態。

11. 如請求項4之裝置，其進一步包含控制輸入鎖存(CIL)電路，其經組配以擷取隨後要被傳輸至每一SRAM排組之該讀取控制信號以及該寫入控制信號。

12. 如請求項11之裝置，其中該控制輸入鎖存(CIL)電路包含：
- 一第一CIL暫存器/鎖存器，其經組配以在每個時脈循環在該第一輸入時脈之該上升緣擷取該讀取控制信號；
 - 一第二CIL暫存器/鎖存器，其經組配以在每個時脈循環在該第一輸入時脈之該上升緣擷取該寫入控制信號；以及
 - 一第三CIL暫存鎖存器，其經組配以在每個時脈循環在該第二輸入時脈之該上升緣重新鎖存該第二CIL暫存器/鎖存器之該輸出。
13. 如請求項12之裝置，其中，該CIL電路進一步包含：
- 一第一反相器，其經組配以反相該第一CIL暫存器/鎖存器之輸出，藉此產生要被傳輸至每一SRAM排組之一作動高準位讀取控制信號；以及
 - 一第二反相器，其經組配以反相該第三CIL暫存器/鎖存器之輸出，藉此產生要被傳輸至每一SRAM排組之一作動高準位寫入控制信號。
14. 如請求項2之裝置，其進一步包含：
- 在每一SRAM排組之SRAM排組電路，其經組配以將在該第一位址串流讀取及寫入位址串流中之排組位址解碼以及四路解多工成為一第一管線讀取排組信號、一第一管線寫入排組信號、一第二管線讀取排組信號、一第二管線寫入排組信號，以及由其等信號而分別

地產生一第一管線讀取排組信號時脈、一第一管線寫入排組信號時脈、一第二管線讀取排組信號時脈、一第二管線寫入排組信號時脈，其中，在該第一位址串流之該等排組位址在一位址預解碼器中被解碼以產生一單一位元輸出排組信號，當該對應讀取或寫入操作被挑選用於該對應之SRAM排組時，則該單一位元輸出排組信號係作動的；

其中，該排組信號係與該作動高準位讀取控制信號邏輯地且閘連接(ANDed)以產生一讀取排組信號，以確保當其隨後係由一第一排組暫存器/鎖存器或一第二排組暫存器/鎖存器鎖存時，其係由一有效讀取位址產生；

其中，該排組信號係與該作動高準位寫入控制信號邏輯地且閘連接(ANDed)以產生一寫入排組信號，以確保當其隨後係由一第三排組暫存器/鎖存器或一第四排組暫存器/鎖存器鎖存時，其係由一有效寫入位址產生；

其中，一第一排組暫存器/鎖存器及一第二排組暫存器/鎖存器被使用以將該讀取排組信號解多工為二路，其依序被使用以產生該第一管線讀取排組信號時脈及該第二管線讀取排組信號時脈，其中，該第一排組暫存器/鎖存器以該第一管線時脈鎖存該讀取排組信號，藉此產生該第一管線讀取排組信號，其接著與該第一管線時脈邏輯地且閘連接(ANDed)以產生該第一管線讀取排組信號時脈；

其中，該第二排組暫存器/鎖存器以該第三管線時

脈鎖存該讀取排組信號，藉此產生該第二管線讀取排組信號，其接著與該第三管線時脈邏輯地且閘連接(ANDed)以產生該第二管線讀取排組信號時脈；

其中，一第三排組暫存器/鎖存器以及一第四排組暫存器/鎖存器被使用以將該寫入排組信號解多工為二路，其依序被使用以產生該第一管線寫入排組信號時脈及該第二管線寫入排組信號時脈，其中，該第三排組暫存器/鎖存器以該第二管線時脈鎖存該寫入排組信號，藉此產生該第一管線寫入排組信號，其接著與該第二管線時脈邏輯地且閘連接(ANDed)以產生該第一管線寫入排組信號時脈；及

其中，該第四排組暫存器/鎖存器以該第四管線時脈鎖存該寫入排組信號，藉此產生該第二管線寫入排組信號，其接著與該第四管線時脈邏輯地且閘連接(ANDed)以產生該第二管線寫入排組信號時脈。

15. 如請求項14之裝置，其進一步包含：

一第五排組暫存器/鎖存器，其經組配以該第三管線時脈鎖存該第一管線寫入排組信號時脈，藉此產生一第三管線寫入排組信號時脈；及

一第六排組暫存器/鎖存器，其經組配以該第一管線時脈鎖存該第二管線寫入排組信號時脈，藉此產生一第四管線寫入排組信號時脈。

16. 如請求項14之裝置，其中：

在每一SRAM排組之該SRAM排組電路經組配以產

生一自定時第一管線讀取排組脈衝，一自定時第二管線讀取排組脈衝，一自定時第一管線寫入排組脈衝及一自定時第二管線寫入排組脈衝；

該第一管線讀取排組信號時脈被使用以產生該自定時第一管線讀取排組脈衝，其在造成對該排組之一讀取的小於兩個循環之一期間係作動的；

該第二管線讀取排組信號時脈被使用以產生自定時第二管線讀取排組脈衝，其在造成對該排組之一讀取的小於兩個循環之一期間係作動的；

該第三管線寫入排組信號時脈、該自定時第一管線讀取排組脈衝、及該自定時第二管線寫入排組脈衝被使用以產生該自定時第一管線寫入排組時脈，其在小於或等於造成對該排組之一寫入操作的一個循環的期間係作動的；及

該第四管線寫入排組信號時脈、該自定時第一管線讀取排組脈衝、及該自定時第一管線寫入排組脈衝被使用以產生該自定時第二管線寫入排組脈衝，其在小於或等於造成對該排組之一寫入操作的一個循環的期間係作動的。

17. 如請求項16之裝置，其中：

該自定時第一管線讀取排組脈衝作動及該自定時第一管線寫入排組脈衝作動之該組合期間係小於或等於兩個循環；並且

該自定時第二管線讀取排組脈衝作動及該自定時

第二管線寫入排組脈衝作動之該組合期間係小於或等於兩個循環。

18. 如請求項2之裝置，其進一步包含：

在每一SRAM排組之SRAM排組電路，其經組配以將在該第一位址串流讀取及寫入位址串流中之該非排組位址解碼及四路解多工成為一非排組第一管線讀取位址、一非排組第一管線寫入位址、一非排組第二管線讀取位址、一非排組第二管線寫入位址，其中，在該第一位址串流中之該非排組位址在一位址預解碼器中被解碼，其中該SRAM排組電路包含：

一第一非排組暫存器/鎖存器，其經組配以該第一管線讀取排組信號時脈鎖存該等經解碼非排組位址，藉此產生有效期間達兩個循環之該非排組第一管線讀取位址；

一第二非排組暫存器/鎖存器，其經組配以該第一管線寫入排組信號時脈鎖存該等經解碼非排組位址，藉此產生有效期間達兩個循環之該非排組第一管線讀取位址；

一第三非排組暫存器/鎖存器，其經組配以該第二管線讀取排組信號時脈鎖存該等經解碼非排組位址，藉此產生有效期間達兩個循環之該非排組第二管線讀取位址；及

一第四非排組暫存器/鎖存器，其經組配以該第二管線寫入排組信號時脈鎖存該等經解碼非排組位

址，藉此產生有效期間達兩個循環之該非排組第二管線寫入位址。

19. 如請求項18之裝置，其進一步包含：

在每一SRAM排組之一4:1位址多工器，其經組配以將該非排組第一管線讀取位址、該非排組第一管線寫入位址、該非排組第二管線讀取位址、及該非排組第二管線寫入位址分時多工成為一單一SRAM排組位址串流以讀取及寫入至該對應SRAM排組；其中

該自定時第一管線讀取排組脈衝選擇要被多工成為該SRAM排組位址串流之該非排組第一管線讀取位址；

該自定時第一管線寫入排組脈衝選擇要被多工成為該SRAM排組位址串流之該非排組第一管線寫入位址；

該自定時第二管線讀取排組脈衝選擇要被多工成為該SRAM排組位址串流之該非排組第二管線讀取位址；

該自定時第二管線寫入排組脈衝選擇要被多工成為該SRAM排組位址串流之該非排組第二管線寫入位址。

20. 如請求項19之裝置，其中該4:1位址多工器包含：

第一至第四多工輸入，具有用於每一多工輸入之第一至第四多工輸入選擇，及一多工輸出；及

第一至第五驅動器，其中該驅動器中之每一者包括

第 104118340 號專利申請案 申請專利範圍替換本 修正日期：108 年 5 月 23 日

一輸入，一致能控制，及一輸出，使得當該致能控制係作動時，該輸出係相等於該輸入，而當該致能控制係非作動時，該輸出係三態；

其中，該第一驅動器輸入係該第一多工輸入，該第二驅動器輸入係該第二多工輸入，該第三驅動器係該第三多工輸入，該第四驅動器輸入為該第四多工輸入，及該第五驅動器輸入係接地；

其中，該第一驅動器致能控制係該第一多工輸入選擇，該第二驅動器致能控制係該第二多工輸入選擇，該第三驅動器致能控制係該第三多工器輸入選擇，該第四驅動器致能控制係該第四多工輸入選擇，且該第五驅動器致能控制係該第一、第二、第三、及第四多工輸入選擇之一邏輯NOR；

其中，該等第一至第五驅動器輸出被點連在一起以產生該多工輸出；且

其中，當沒有該多工器輸入選擇信號係作動時，該第五驅動器致使該多工輸出為”低位準”。

21. 如請求項7之裝置，其包含一資料輸入鎖存器/多工器，其經組配以擷取寫入資料之該第一及第二差拍，並且將其等分時多工成為要被傳輸至該每一SRAM排組之一單一SRAM排組資料串流。
22. 如請求項21之裝置，其中，該資料輸入鎖存器/多工器之一第一部分包含：
 - 一第一資料暫存器/鎖存器，其經組配以在每個循

環在該第一輸入時脈之上升邊緣擷取寫入資料之該第一差拍，而不管在該相同循環中該第一輸入時脈之上升邊緣所截取之一第一寫入控制之狀態；以及

一第二資料暫存器/鎖存器，其經組配以在每個循環在該第二輸入資料輸入時脈之該上升邊緣擷取寫入資料之該第二差拍，而不管在該相同循環中該第一輸入時脈之上升邊緣所截取之該第一寫入控制之狀態。

23. 如請求項22之裝置，其中，該資料輸入暫存器/鎖存器之一第二部分包含：

一第三資料暫存器/鎖存器，其經組配以在第二輸入時脈之該上升緣重新鎖存來自該第一資料暫存器/鎖存器之寫入資料之該第一差拍，藉此將來自該資料輸入時脈域之資料轉移至該輸入時脈域，且讓該資料輸入時脈緣可以領先或落後該輸入時脈緣達約一半循環；

一第四資料暫存器/鎖存器，其經組配以在第一輸入時脈之該上升緣重新鎖存來自該第二資料暫存器/鎖存器之寫入資料之該第二差拍，藉此將來自該資料輸入時脈域之資料轉移至該輸入時脈域，且讓該資料輸入時脈緣可以領先或落後該輸入時脈緣達約一半循環。

24. 如請求項23之裝置，其中該資料輸入鎖存器/多工器之一第三部分包含：

一第一2:1資料多工器，其經組配以將來自該第三資料暫存器/鎖存器及該第四資料暫存器/鎖存器之寫入資料之該第一及第二差拍一起分時多工成為隨後要被

傳輸至該每一SRAM排組之一單一SRAM排組資料串流，

其中，該第二輸入時脈高準位選擇來自該第三資料暫存器/鎖存器要被多工成為該SRAM排組資料串流之寫入資料之該第一差拍，

其中，該第一輸入時脈高準位選擇來自該第四資料暫存器/鎖存器要被多工成為該SRAM排組資料串流之寫入資料之該第二差拍。

25. 如請求項24之裝置，其中，在每一SRAM排組之該SRAM排組電路會基於被分割至針對寫入資料路徑之該第一差拍之四個資料暫存器/鎖存器之一第一群以及針對該寫入資料路徑之該第二差拍之二個資料暫存器/鎖存器之一第二群之六個資料暫存器/鎖存器，而將在該SRAM排組資料串流之寫入資料之該等二差拍四路解多工成為獨立地寫入資料之排組第一管線第一差拍、寫入資料之排組第一管線第二差拍、寫入資料之排組第二管線第一差拍、及寫入資料之排組第二管線第二差拍；

其中，該第一群包含：

一第五資料暫存器/鎖存器，其經組配以該第一管線寫入排組信號時脈鎖存在該SRAM排組串流中之寫入資料之該第一差拍；

一第六資料暫存器/鎖存器，其經組配以該第二管線寫入排組信號時脈鎖存在該SRAM排組串流中之寫入資料之該第一差拍；

一第七資料暫存器/鎖存器，其經組配以該第三管線寫入排組信號時脈重新鎖存來自該第五資料暫存器/鎖存器之寫入資料之該第一差拍，藉此產生有效期間達兩個循環有效之寫入資料之該排組第一管線第一差拍；

一第八資料暫存器/鎖存器，其經組配以該第四管線寫入排組信號時脈重新鎖存來自該第六資料暫存器/鎖存器之寫入資料之該第一差拍，藉此產生有效期間達兩個循環之寫入資料之該排組第二管線第一差拍；並且其中該第二群包含：

一第九資料暫存器/鎖存器，其經組配以該第三管線寫入排組信號時脈重新鎖存在該SRAM排組資料串流中之寫入資料之該第二差拍，藉此同時產生有效期間達兩個循環之寫入資料之該排組第一管線第二差拍與相關聯之該寫入資料之排組第一管線第一差拍；

一第十資料暫存器/鎖存器，其經組配以該第四管線寫入排組信號時脈重新鎖存在該SRAM排組資料串流中之寫入資料之該第二差拍，藉此同時產生有效期間達兩個循環之寫入資料之該排組第二管線第二差拍與相關聯之該寫入資料之排組第二管線第一差拍。

26. 如請求項25之裝置，其進一步包含：

在每一SRAM排組中之一第一2:1排組資料多工器，其經組配以將來自該第七暫存器/鎖存器之寫入資料之該排組第一管線第一差拍與來自該第八暫存器/鎖存器之寫入資料之該排組第二管線第一差拍分時多工

成為被傳送至該對應SRAM排組之寫入資料串流之一單一第一差拍，其中：

一第一次脈衝選擇寫入資料之該排組第一管線第一差拍以被多工成為寫入資料串流之第一2:1多工器第一差拍；及

一第二次脈衝選擇寫入資料之該排組第二管線第一差拍以被多工成為寫入資料串流之該第一2:1多工器第一差拍；及

在每一SRAM排組之一第二2:1排組資料多工器，其經組配以將來自該第九暫存器/鎖存器之寫入資料之該排組第一管線第二差拍與來自該第十暫存器/鎖存器之寫入資料之該排組第二管線第二差拍分時多工成為被傳送至該對應SRAM排組之寫入資料串流之一單一第二差拍，其中：

第一次脈衝選擇寫入資料之該排組第一管線第二差拍以被多工成為寫入資料串流之該第二2:1多工器第二差拍；及

第二次脈衝選擇寫入資料之該排組第二管線第二差拍以被多工成為寫入資料串流之該第二2:1多工器第二差拍。

27. 如請求項26之裝置，其中：

該第一2:1資料多工器之每一者，該第一2:1排組資料多工器及該第二2:1排組資料多工器包含兩個多工器輸入，具有用於每個多工器輸入的兩個多工器輸入選

擇，及一多工器輸出；

該第一驅動器及該第二驅動器，其各包含一輸入，一致能控制，及一輸出，其中，當該致能控制係作動時，該輸出係同於該輸出，並且，當該致能控制係不作動時，該輸出係三態；

該第一驅動器輸入係該第一多工器輸入，且該第二驅動器輸入係該第二多工器輸入；

該第一驅動器致能控制係該第一輸入選擇，且該第二驅動器致能控制係該第二輸入選擇；

該第一驅動器輸出及該第二驅動器輸出被點連在一起以產生該多工器輸出；及

當沒有多工器輸入選擇被作動時，一驅動器鎖存保持該多工器輸出在其當前狀態。

28. 一種Quad-B2 SRAM記憶體裝置，其包含：

一記憶體陣列，其包含複數個SRAM排組及記憶體晶胞存取電路，其中該每一SRAM排組包括組織成列及行之一矩陣的單埠SRAM記憶體晶胞之一區塊，其中，該等複數個SRAM排組係同時作動；

其中，該記憶體晶胞存取電路，其包含：

一第一讀取控制輸入及一第一寫入控制輸入，其經組配針對每一及每個時脈循環起始在相同時脈循環中之讀取及寫入操作；

一第一輸入時脈及一第二輸入時脈，其中該第二輸入時脈為該第一輸入時脈之反相；及

內部時脈產生電路，其經組配以：

產生具有為該等第一及第二輸入時脈之週期兩倍的週期之一第一管線時脈及一第二管線時脈，其中該第一管線時脈在該第一管線時脈循環期間為高準位，且該第二管線時脈為該第一管線時脈之反相；以及

產生具有為該等第一及第二輸入時脈之週期兩倍的週期之一第三管線時脈及一第四管線時脈，其中該第三管線時脈在該第二管線時脈循環期間為高準位，且該第四管線時脈為該第三管線時脈之反相。

29. 如請求項28之裝置，其中：

在任何時脈循環中所起始之一讀取操作與在一相同時脈循環中所起始之一寫入操作成對；

對一相同SRAM排組或對一不同SRAM排組，該讀取操作及該寫入操作係在連續地兩個循環之內被執行；

該讀取操作係在小於兩個循環之一期間內被執行；

該寫入操作係在小於或等於一個循環之一期間內執行；且

該讀取操作及該寫入操作的一組合期間不超過兩個循環。

30. 如請求項1之裝置，其中該第一單一外部時脈循環，該第二單一外部時脈循環，及該第三單一外部時脈循環中之至少二者係一相同循環。