

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4796329号  
(P4796329)

(45) 発行日 平成23年10月19日(2011.10.19)

(24) 登録日 平成23年8月5日(2011.8.5)

|                          |              |         |
|--------------------------|--------------|---------|
| (51) Int. Cl.            | F I          |         |
| HO 1 L 29/78 (2006.01)   | HO 1 L 29/78 | 3 O 1 X |
| HO 1 L 27/092 (2006.01)  | HO 1 L 27/08 | 3 2 1 A |
| HO 1 L 21/8238 (2006.01) | HO 1 L 29/78 | 6 1 7 K |
| HO 1 L 29/786 (2006.01)  | HO 1 L 29/78 | 6 1 7 J |
| HO 1 L 27/08 (2006.01)   | HO 1 L 27/08 | 3 3 1 E |

請求項の数 12 (全 59 頁) 最終頁に続く

|              |                               |           |   |
|--------------|-------------------------------|-----------|---|
| (21) 出願番号    | 特願2005-145097 (P2005-145097)  | (73) 特許権者 | 390019839                                 |
| (22) 出願日     | 平成17年5月18日(2005.5.18)         |           | 三星電子株式会社                                  |
| (65) 公開番号    | 特開2005-340810 (P2005-340810A) |           | Samsung Electronics                       |
| (43) 公開日     | 平成17年12月8日(2005.12.8)         |           | Co., Ltd.                                 |
| 審査請求日        | 平成19年4月27日(2007.4.27)         |           | 大韓民国京畿道水原市靈通区梅灘洞416                       |
| (31) 優先権主張番号 | 10-2004-0037517               |           | 416, Maetan-dong, Yeongtong-gu, Suwon-si, |
| (32) 優先日     | 平成16年5月25日(2004.5.25)         |           | Gyeonggi-do, Republic of Korea            |
| (33) 優先権主張国  | 韓国(KR)                        | (74) 代理人  | 100093779                                 |
| (31) 優先権主張番号 | 10/998,472                    |           | 弁理士 服部 雅紀                                 |
| (32) 優先日     | 平成16年11月29日(2004.11.29)       | (72) 発明者  | 朴 珍俊                                      |
| (33) 優先権主張国  | 米国(US)                        |           | 大韓民国ソウル特別市松坡区新川洞7番地                       |
|              |                               |           | 薔薇アパート6棟303号                              |

最終頁に続く

(54) 【発明の名称】 マルチブリッジチャンネル型MOSトランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

ホウ素がドーピングされたシリコン - ゲルマニウムからなるチャンネル層間膜及びシリコンからなるチャンネル膜が交互に積層された予備アクティブパターンを基板の表面上に形成する段階と、

前記予備アクティブパターンを取り囲む領域を形成する段階と、

前記領域を形成する段階の後に、前記予備アクティブパターンをエッチングし、前記基板を露出させる段階と、

前記エッチングにより露出した前記基板の上面および前記エッチングにより露出した前記予備アクティブパターンの側面上にソース/ドレイン領域を形成する段階と、

前記ソース/ドレイン領域を形成する段階の後に、前記領域を選択的にエッチングして、前記予備アクティブパターンの側面を露出させる段階と、

前記予備アクティブパターンの側面を露出させる段階の後に、前記予備アクティブパターンにおける前記チャンネル層間膜を前記チャンネル膜に対して選択的に除去し、前記予備アクティブパターンを貫通する複数のトンネルを形成することにより、前記トンネルと前記チャンネル膜で構成された複数のチャンネルとを有するアクティブチャンネルパターンを形成する段階と、

前記アクティブチャンネルパターンを形成する段階の後に、前記チャンネル膜にのみリンをドーピングして、該チャンネルをN型に転換する段階と、

前記チャンネルにドーピングする段階の後に、前記トンネルを埋めることにより、前記

複数のチャンネルを囲む複数のゲート電極を形成する段階と、

を含むことを特徴とするマルチ - ブリッジチャンネル型 P M O S トランジスタの製造方法。

【請求項 2】

前記チャンネル層間膜の選択的除去は、単結晶シリコンと単結晶シリコンゲルマニウムとの間にエッチング選択比を有するエッチング液を用いて行われることを特徴とする請求項 1 記載のマルチ - ブリッジチャンネル型 P M O S トランジスタの製造方法。

【請求項 3】

前記チャンネルのドーピングでは、イオン注入を行うことを特徴とする請求項 1 記載のマルチ - ブリッジチャンネル型 P M O S トランジスタの製造方法。

10

【請求項 4】

前記チャンネルのドーピングでは、プラズマドーピングを行うことを特徴とする請求項 1 記載のマルチ - ブリッジチャンネル型 P M O S トランジスタの製造方法。

【請求項 5】

前記基板は、シリコン、シリコン - ゲルマニウム、シリコン - オン - インシュレータまたはシリコン - ゲルマニウム - オン - インシュレータのうちのいずれか一つを含むことを特徴とする請求項 1 記載のマルチ - ブリッジチャンネル型 P M O S トランジスタの製造方法。

【請求項 6】

前記チャンネル層間膜の選択的除去では、異方性エッチング工程を行うことを特徴とする請求項 1 記載のマルチ - ブリッジチャンネル型 P M O S トランジスタの製造方法。

20

【請求項 7】

ホウ素がドーピングされたシリコン - ゲルマニウムからなるチャンネル層間膜及びシリコンからなるチャンネル膜が交互に積層された予備アクティブパターンを基板の表面上に形成する段階と、

前記予備アクティブパターンを取り囲む領域を複数形成する段階と、

前記領域を形成する段階の後に、前記予備アクティブパターンをエッチングし、前記基板を露出させる段階と、

前記エッチングにより露出した前記基板の上面および前記エッチングにより露出した複数の前記予備アクティブパターンの側面上にソース/ドレイン領域を形成する段階と、

30

前記ソース/ドレイン領域を形成する段階の後に、前記領域を選択的にエッチングして、複数の前記予備アクティブパターンの側面を露出させる段階と、

複数の前記予備アクティブパターンの側面を露出させる段階の後に、複数の前記予備アクティブパターンにおける前記チャンネル層間膜を前記チャンネル膜に対して選択的に除去し、前記予備アクティブパターンを貫通する複数のトンネルを形成することにより、前記トンネルと前記チャンネル膜で構成された複数のチャンネルとを有する複数のアクティブチャンネルパターンを形成する段階と、

複数の前記アクティブチャンネルパターンを形成する段階の後に、奇数番目、または偶数番目の前記アクティブパターンの前記チャンネル膜にのみリンをドーピングして、該チャンネル膜を N 型に転換して P M O S トランジスタのチャンネルを形成する段階と、

40

前記 P M O S トランジスタのチャンネルを形成する段階の後に、前記トンネルを埋めることにより前記 P M O S トランジスタのチャンネルおよびホウ素がドーピングされている N M O S トランジスタのチャンネルを囲む複数のゲート電極を形成する段階と、

を含むことを特徴とするマルチ - ブリッジチャンネル型 M O S トランジスタの製造方法。

【請求項 8】

前記チャンネル層間膜の選択的除去は、単結晶シリコンと単結晶シリコンゲルマニウムとの間にエッチング選択比を有するエッチング液を用いて行われることを特徴とする請求項 7 記載のマルチ - ブリッジチャンネル型 M O S トランジスタの製造方法。

【請求項 9】

50

前記PMOSトランジスタのチャンネルを形成する段階のドーピングでは、イオン注入を行うことを特徴とする請求項7記載のマルチブリッジチャンネル型MOSトランジスタの製造方法。

【請求項10】

前記PMOSトランジスタのチャンネルを形成する段階のドーピングでは、プラズマドーピングを行うことを特徴とする請求項7記載のマルチブリッジMOSトランジスタの製造方法。

【請求項11】

前記基板は、シリコン、シリコン-ゲルマニウム、シリコン-オン-インシュレータまたはシリコン-ゲルマニウム-オン-インシュレータのうちのいずれか一つを含むことを特徴とする請求項7記載のマルチブリッジチャンネル型MOSトランジスタの製造方法。

10

【請求項12】

前記チャンネル層間膜の選択的除去では、異方性エッチング工程を行うことを特徴とする請求項7記載のマルチブリッジチャンネル型MOSトランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、より詳細にはマルチブリッジチャンネル型MOSトランジスタの製造方法とマルチブリッジチャンネル型相補型MOS(CMOS: Complementary MOS)トランジスタの製造方法に関する。

20

【背景技術】

【0002】

半導体装置が高集積化されることによってアクティブ領域の大きさが減少している。さらに、前記アクティブ領域に形成されるMOSトランジスタのチャンネル長さが減少している成り行きである。前記MOSトランジスタのチャンネル長さが小さくなるとチャンネル領域での電界や電位に及ぶソース/ドレインの影響が悪くなるが、このような現象はショートチャンネル効果(short channel effect)と称される。また、前記アクティブ領域の減少によってチャンネル幅も減少されるが、その結果しきい電圧が増加する狭幅チャンネル効果が現れる。

30

【0003】

従って、基板上に形成される素子の大きさを縮小させながら素子の性能を極大化させるための多様な方法が研究されつつある。その代表的なものとしてフィン(fin)構造、DELTA(fully Depleted Lean-channel Transistor)構造、GAA(Gate All Around)構造のような垂直型トランジスタの構造を挙げることができる。

【0004】

例えば、特許文献1には平行な複数個の薄いチャンネルフィン(fin)がソース/ドレイン領域の間に形成され、前記チャンネルの上面及び側壁上にゲート電極が拡張される構造を有するフィン型MOSトランジスタが開示されている。前記フィン型MOSトランジスタによると、チャンネルフィンの両側側面上にゲート電極が形成され前記両側側面からゲート制御が行われることによって、ショートチャンネル効果を減少させる。しかし、前記フィン型MOSトランジスタは複数個のチャンネルフィンがゲートの幅方向に沿って平行に形成されるので、チャンネル領域及びソース/ドレイン領域が占める面積が大きくなり、チャンネル数が増えることによりソース/ドレイン接合キャパシタンスが増加するという問題点がある。

40

【0005】

前記DELTA構造のMOSトランジスタの例は特許文献2に開示されている。前記DELTA構造ではチャンネルを形成するアクティブが一定の幅を有し垂直に突出するように形成される。また、ゲート電極が垂直に突出したチャンネル領域を取り囲むように形成

50

される。従って、突出した部分の高さがチャンネルの幅を成し、突出した部分の幅がチャンネルの厚さを成す。よって、前記チャンネルの場合には突出した部分の両面を全部用いることができるので、チャンネルの幅が2倍になる効果を得ることができ狭幅チャンネル効果を防止することができる。また、突出した部分の幅を減少させる場合、両側面に形成されるチャンネルの空乏層が互いに重なるようにチャンネルの導電性を増加させることができる。

【0006】

しかし、前記DELTA構造のMOSトランジスタをバルク型シリコン基板に具現する場合、チャンネルを成すようになる部分が突出するように基板を加工し、突出した部分を酸化防止膜で被覆した状態で基板の酸化を実施しなければならない。このとき、酸化を過度に実施すると、チャンネルを成す突出部と基板本体を連結する部分が酸化防止膜で保護されていない部分から側面拡散された酸素によって酸化されることで、チャンネルと基板本体とが隔離される。その結果、過度な酸化によってチャンネル隔離が行われ、連結部分のチャンネルの厚さが薄くなり、単結晶膜が酸化過程で応力を受け損傷を被る問題が発生する。

10

【0007】

反面、前記DELTA構造のMOSトランジスタをSOI(Silicon-On-Insulator)型基板に形成する場合には、SOI膜を狭い幅を有するようにエッチングしてチャンネル領域を形成するので、バルク型基板を使用するときの過度な酸化に起因した問題がなくなる。しかし、SOI型基板を使用するとチャンネルの幅がSOI膜の厚さに制限され、完全空乏方式のSOI型基板はSOI膜の厚さが数百に過ぎないので、使用による制限が伴う。

20

【0008】

一方、前記GAA構造のMOSトランジスタでは、通常的にSOI膜でアクティブパターンを形成し、その表面がゲート絶縁膜で被覆されたアクティブパターンのチャンネル領域をゲート電極が取り囲むように形成する。従って、DELTA構造で言及した効果と似たような効果を得ることができる。

【0009】

しかし、前記GAA構造を具現するためには、ゲート電極がチャンネル領域でアクティブパターンを取り囲むように形成するために、アクティブパターンの下側の埋没酸化膜を等方性食刻のアンダーカット現象を用いてエッチングする。このとき、前記SOI膜がそのままチャンネル領域及びソース/ドレイン領域に利用されるので、このような等方性食刻過程の間チャンネル領域の下部だけではなくソース/ドレイン領域の下部も相当部分除去される。従って、ゲート電極用導電膜を蒸着するときチャンネル領域だけではなくソース/ドレイン領域の下部にもゲート電極が形成されることで、寄生キャパシタンスが大きくなるという問題がある。

30

【0010】

また、前記等方性食刻過程でチャンネル領域の下部が水平エッチングされ、後続工程でゲート電極で埋立されるトンネルの水平長さ(または幅)が大きくなる。従って、前記方法によると、チャンネル幅より小さいゲート長さを有するMOSトランジスタを製造することが不可能になり、ゲート長さを縮小することに限界がある。

40

【0011】

本出願人は、素子の集積度と速度を向上させることができるマルチ-ブリッジチャンネルMOSトランジスタに関する発明を2002年10月1日付けで特許文献3として特許出願したところである。

【0012】

特許文献3に開示されたマルチ-ブリッジチャンネル型MOSトランジスタは半導体基板の主表面上に垂直方向に形成された複数個のチャンネル、前記チャンネルの間を貫通するトンネルを含むアクティブチャンネルパターン、前記トンネルを埋立しながら前記複数個のチャンネルを取り囲むように形成されたゲート電極、及び前記アクティブチャンネル

50

パターン両側に形成され前記複数個のチャンネルと連結されるソース/ドレイン領域を含む。

【0013】

ここで、前記アクティブチャンネルパターンは半導体基板の主表面上に複数個のチャンネル層間膜と複数個のチャンネル膜を交互に積層した後、前記複数個のチャンネル層間膜を選択的に除去してトンネルを形成することによって得ることができる。特に、前記チャンネル層間膜は主にシリコン-ゲルマニウムを使用して形成し、前記チャンネル膜は主にシリコンを使用して形成する。さらに、前記アクティブチャンネルパターンをNMOSトランジスタのチャンネルに形成する場合には前記チャンネル層間膜とチャンネル膜にリン(P)のような5族元素を主にドーピングし、前記アクティブチャンネルパターンをPMOSトランジスタのチャンネルに形成する場合には前記チャンネル層間膜とチャンネル膜にホウ素(B)のような3族元素を主にドーピングする。

10

【0014】

そして、前記トンネルを形成するためのチャンネル層間膜の選択的除去は前記チャンネル膜に対して前記チャンネル層間膜が有するエッチング選択比を用いたエッチングによって行われる。ここで、前記ボロン(B)がドーピングされたチャンネル層間膜の場合には、前記エッチング選択比を用いた選択的除去が容易に行われる。

【0015】

図1及び図2は、従来の方法によって製造されたマルチ-ブリッジチャンネル型MOSトランジスタのアクティブチャンネルパターンを示す写真である。

20

【0016】

前記チャンネル膜としてシリコン膜を選択し、前記チャンネル層間膜として約30%のゲルマニウムを含むシリコン膜を選択して交互に積層した後、前記エッチング選択比を用いた選択的除去のために水酸化アンモニウム、過酸化水素及び脱イオン水を含むエッチング液を使用してエッチングを実施した。その結果、図1のように前記チャンネル層間膜の除去が容易に行われることを確認することができる。

【0017】

しかし、前記リン(P)がドーピングされたチャンネル層間膜の場合には、前記エッチング選択比を用いた選択的除去が殆ど行われない。実際に、前記チャンネル膜としてシリコン膜を選択し、前記チャンネル層間膜として約30%のゲルマニウムを含むシリコン膜を選択して交互に積層した後、前記エッチング選択比を用いた選択的除去のために水酸化アンモニウム、過酸化水素及び脱イオン水を含むエッチング液を使用してエッチングした。その結果、図2のように前記チャンネル層間膜の除去が殆ど行われないことを確認することができる。

30

【0018】

従って、従来マルチ-ブリッジチャンネル型MOSトランジスタ製造では、リン(P)がドーピングされたチャンネル層間膜の選択的除去が行われないことによってPMOSトランジスタのチャンネルの形成が容易ではないという問題点がある。さらに、PMOSトランジスタのチャンネルの形成が容易ではないのでマルチ-ブリッジチャンネル型相補型MOSトランジスタを製造することができないという問題点がある。

40

【発明の開示】

【発明が解決しようとする課題】

【0019】

本発明の目的は、NMOSトランジスタのチャンネルの形成が容易なマルチ-ブリッジチャンネル型トランジスタの製造方法を提供することにある。

【0020】

本発明の他の目的は、マルチ-ブリッジチャンネル型相補型PMOSトランジスタを容易に製造するための方法を提供することにある。

【課題を解決するための手段】

【0021】

50

前記本発明の目的を達成するための本発明のマルチブリッジチャンネル型トランジスタの製造方法では、ホウ素でドーピングされるかまたはホウ素がドーピングされていないチャンネル層間膜及びチャンネル膜を半導体基板の主表面上に交互に積層して予備アクティブパターンを形成する。次に、前記予備アクティブパターンの両側にソース/ドレイン領域を形成した後、前記チャンネル層間膜を選択的に除去して、前記予備アクティブパターンを貫通する複数個のトンネルを形成する。これにより、前記トンネルと前記チャンネル膜からなる複数個のチャンネルとを含むアクティブチャンネルパターンを得る。そして、前記トンネルを埋立しながら前記チャンネルを取り囲む複数個のゲート電極を形成する。

【0023】

特に、ホウ素がドーピングされたチャンネル層間膜の選択的除去は前記チャンネル層間膜とチャンネル膜が有する互いに異なるエッチング選択比を用いたエッチングによって達成される。このとき、前記チャンネル膜に対して前記チャンネル層間膜が有するエッチング選択比が10：1未満に組成される場合には、前記チャンネル層間膜の除去が容易に実施されないので望ましくなく、前記エッチング選択比が150：1超過に組成される場合には、前記チャンネル層間膜を除去するとき工程制御が容易ではない。従って、前記チャンネル膜に対して前記チャンネル層間膜が有するエッチング選択比を10から150：1に組成することが望ましい。

【0024】

ここで、前記エッチング選択比の組成は、水酸化アンモニウム、過酸化水素、脱イオン水を含むエッチング溶液を使用することによって達成される。このとき、前記エッチング溶液は70から80の温度を有するように組成される。また、前記エッチング選択比の組成は過酢酸、フッ素を含有する化合物、溶媒などを含むエッチング溶液を使用することによって達成される。このとき、20から70の温度を有するエッチング溶液を使用する。

【0025】

そして、本発明においては、Nチャンネルに該当するアクティブチャンネルパターンをまず形成した後、前記NMOSトランジスタのチャンネルに該当するアクティブチャンネルパターン全部または一部をPMOSトランジスタのチャンネルに該当するアクティブチャンネルパターンに形成する。前記PMOSトランジスタのチャンネルに該当するアクティブチャンネルパターンはリンのドーピングによって達成する。このように、PMOSトランジスタのチャンネルに該当するアクティブチャンネルパターンを容易に形成することができる。また、前記NMOSトランジスタのチャンネルに該当するアクティブチャンネルパターンの一部または全部を前記PMOSトランジスタのチャンネルに該当するアクティブチャンネルパターンに形成することができる。

【0026】

従って、本発明はPMOSトランジスタのチャンネルを有するマルチ-ブリッジチャンネル型トランジスタを容易に製造することができる。

【0027】

前記本発明の目的を達成するための本発明のマルチブリッジチャンネル型トランジスタの製造方法において、半導体基板の主表面上にチャンネル層間膜及びチャンネル膜を交互に積層して予備アクティブパターンを形成する。続いて、前記予備アクティブパターンの両側にソース/ドレイン領域を形成した後、前記チャンネル層間膜を選択的に除去して、前記予備アクティブパターンを貫通する複数個のトンネルを形成する。これにより、前記トンネルと前記チャンネル膜からなる複数個のチャンネルとを含むアクティブチャンネルパターンを得る。続いて、前記複数個のアクティブチャンネルパターンに第1導電型不純物をドーピングして、前記第1導電型不純物がドーピングされたアクティブチャンネルパターンを形成した後、前記複数個のトンネルを埋立しながら前記複数個のチャンネルを取り囲む複数個のゲート電極を形成する。

【0028】

ここで、本発明は前記チャンネル層間膜の選択的除去を実施した後、ホウ素のドーピン

10

20

30

40

50

グを実施してホウ素がドーピングされたアクティブチャンネルパターンを形成する。従って、前記チャンネル層間膜に不純物がドーピングされていないので、前記チャンネル層間膜の選択的除去を容易に実施することができる。

【0031】

前記本発明のさらにまたの目的を達成するための一実施例によるマルチブリッジチャンネル型トランジスタの製造方法において、半導体基板の主表面上に第1導電型不純物がドーピングされた複数個のチャンネル層間膜及びチャンネル膜を交互に積層して予備アクティブパターンを形成する。続いて、前記予備アクティブパターンの両側にソース/ドレイン領域を形成した後、前記チャンネル層間膜を選択的に除去して前記予備アクティブパターンを貫通する複数個のトンネルを形成する。これにより、前記トンネルと前記チャンネル膜からなる複数個のチャンネルを含むアクティブチャンネルパターンを得る。このとき、前記アクティブチャンネルパターンは第1導電型不純物がドーピングされたアクティブチャンネルパターンに該当する。続いて、前記第1導電型不純物がドーピングされたアクティブチャンネルパターンに第2導電型不純物をドーピングして前記第2導電型不純物がドーピングされたアクティブチャンネルパターンを形成した後、前記複数個のトンネルを埋立しながら前記複数個のチャンネルを取り囲む複数個のゲート電極を形成する。

10

【0032】

ここで、前記第1導電型不純物は3族元素として、例えば、ボロン、ガリウム、リンなどを挙げることができる。これらは単独に使用することが望ましいが混合して使用することもできる。従って、前記チャンネル層間膜とチャンネル膜にボロンのような3族元素がドーピングされているので前記第1導電型不純物がドーピングされたチャンネル層間膜の選択的除去は容易に実施される。

20

【0033】

そして、本発明は前記第1導電型不純物がドーピングされたチャンネル層間膜の選択的除去を実施した後、前記第2導電型不純物のドーピングを実施する。このとき、第2導電型不純物は5族元素として、例えば、リン、砒素などを挙げることができる。

【0034】

従って、本発明はNMOSTランジスタのチャンネルに該当するアクティブチャンネルパターンを形成した後、チャンネル層間膜の選択的除去を実施する。よって、前記チャンネル層間膜の選択的除去は容易に行われる。そして、前記チャンネル層間膜の選択的除去を実施した後、前記第2導電型不純物のドーピングを実施してPMOSTランジスタのチャンネルに該当するアクティブチャンネルパターンを形成する。また、前記NMOSTランジスタのチャンネルに該当するアクティブチャンネルパターンの一部または全部を前記PMOSTランジスタのチャンネルに該当するアクティブチャンネルパターンに形成することができる。

30

【0036】

前記本発明の目的を達成するための本発明のマルチブリッジチャンネル型トランジスタの製造方法において、ホウ素でドーピングされるかまたは不純物でドーピングされない複数個のチャンネル層間膜及び複数個のチャンネル膜が交互に積層された予備アクティブパターンを半導体基板の第1領域と第2領域上に連続的に形成する。そして、前記第1領域に形成された予備アクティブパターン両側と前記第2領域に形成された予備アクティブパターン両側それぞれにソース/ドレイン領域を形成した後、前記予備アクティブパターンのチャンネル層間膜を選択的に除去し、前記予備アクティブパターンを貫通する複数個のトンネルを形成する。これにより、前記第1領域には前記トンネルと前記チャンネル膜からなる複数個の第1チャンネルとを含む第1アクティブチャンネルパターンが形成され、前記第2領域には前記トンネルと前記チャンネル膜からなる複数個の第2チャンネルとを含む第2アクティブチャンネルパターンが形成される。そして、前記第1アクティブチャンネルパターンは第1導電型不純物がドーピングされたアクティブチャンネルパターンに形成し、前記第2アクティブチャンネルパターンはリンがドーピングされたアクティブチャンネルパターンに形成する。続いて、前記第1領域には前記第1アクティブチャンネル

40

50

パターンのトンネルを埋立しながら前記第 1 チャンネルを取り囲む複数個の第 1 ゲート電極を形成し、前記第 2 領域には前記第 2 アクティブチャンネルパターンのトンネルを埋立しながら前記第 2 チャンネルを取り囲む複数個の第 2 ゲート電極を形成する。

【 0 0 3 7 】

これにより、前記第 1 領域と第 2 領域に形成されたチャンネル層間膜の容易な除去が可能である。即ち、前記除去がホウ素がドーピングされていないかまたはホウ素がドーピングされたチャンネル層間膜を対象とするからである。

【 0 0 3 8 】

従って、本発明は N M O S トランジスタのチャンネルに該当するアクティブチャンネルパターンを形成した後、チャンネル層間膜の選択的除去を実施して、前記チャンネル層間膜の選択的除去を実施した後、N M O S トランジスタのチャンネルに該当するアクティブチャンネルパターンと P M O S トランジスタのチャンネルに該当するアクティブチャンネルパターンを形成する。

10

【 0 0 3 9 】

これにより、本発明は N M O S トランジスタのチャンネルを有するマルチ - ブリッジチャンネル型トランジスタだけではなく P M O S トランジスタのチャンネルを有するマルチ - ブリッジチャンネル型トランジスタを容易に製造することができる。特に、本発明は N M O S トランジスタのチャンネルと P M O S トランジスタのチャンネルとを共に有するマルチ - ブリッジチャンネル型相補型 M O S トランジスタを容易に製造することができる。

【発明を実施するための最良の形態】

20

【 0 0 4 0 】

図 3 は本発明の製造方法に従って製造されたマルチ - ブリッジチャンネル型 M O S トランジスタを示す平面図であり、図 4 及び図 5 はそれぞれ、図 3 の A - A ' 線及び B - B ' 線に対応する断面図である。

【 0 0 4 1 】

図 3 から図 5 に示すように、前記マルチ - ブリッジチャンネル型 M O S トランジスタは、半導体基板 1 0 の主表面上に垂直な上部方向に形成された複数個のチャンネル 4 4 a、4 4 b と、前記複数個のチャンネル 4 4 a、4 4 b の間に形成された複数個のトンネル 4 2 a、4 2 b とからなるアクティブチャンネルパターンを含む。特に、最下部に形成されたトンネル 4 2 a は最下部のチャンネル膜 4 4 a とその下に位置する半導体基板 1 0 の主表面との間に形成される。そして、最上部に位置するチャンネル膜 4 4 b 上にはトンネル形状のグループ 4 2 c が形成される。ここで、前記半導体基板 1 0 はシリコン ( S i )、シリコン - ゲルマニウム ( S i G e )、シリコン - オン - インシュレータ ( S O I )、シリコン - ゲルマニウム - オン - インシュレータ ( S G O I ) からなり、望ましくは、単結晶シリコンからなる。そして、前記複数個のチャンネル 4 4 a、4 4 b は半導体物質として、単結晶シリコンを使用して形成する。

30

【 0 0 4 2 】

前記アクティブパターン 3 0 の両側側面には前記チャンネル 4 4 a、4 4 b と連結されるソース / ドレイン領域 3 4 が形成される。また、前記ソース / ドレイン領域 3 4 と前記チャンネル 4 4 a、4 4 b との間にはソース / ドレイン拡張膜 3 2 が形成される。従って、アクティブパターン 3 0 は前記ソース / ドレイン拡張膜 3 2 及びソース / ドレイン領域 3 4 を含む。ここで、ソース / ドレイン領域 3 4 はポリシリコン、金属、金属シリサイドなどのような導電性物質から形成される。また、前記ソース / ドレイン拡張膜 3 2 は前記チャンネル 4 4 a、4 4 b と同一の物質を使用して前記チャンネル 4 4 a、4 4 b から延長されるように形成する。特に、前記ソース / ドレイン拡張膜 3 2 は望ましくは選択的にエピタキシャル単結晶シリコンで形成される。

40

【 0 0 4 3 】

前記チャンネル 4 4 a、4 4 b の間に形成されたトンネル 4 2 a、4 2 b と、トンネル形状のグループ 4 2 c とを埋立しながら前記チャンネル 4 4 a、4 4 b を縦方向に取り囲む複数個のゲート電極 4 8 a、4 8 b、4 8 c が形成される。ここで、前記ゲート電極 2

50

8 a、48 b、48 c はポリシリコンを使用して形成する。そして、前記ゲート電極 48 a、48 b、48 c と前記チャンネル 44 a、44 b との間（即ち、トンネル 42 及びトンネル上のグループ 42 c の内面とチャンネルの側壁）にはゲート絶縁膜 46 がそれぞれ形成される。前記ゲート絶縁膜 46 には熱酸化膜、ONO（Oxide-nitride-oxide）膜などを選択することができる。また、最上部に位置するゲート電極 48 a の上面にゲート抵抗を低くするための金属シリサイドからなるゲート積層膜 50 が形成される。

#### 【0044】

前記チャンネル 44 a、44 b からなるチャンネル領域を除いたソース/ドレイン領域 34 を取り囲むフィールド領域 22 が形成される。また、最下部に形成されたトンネル 42 a の下に位置する半導体基板 10 の主表面には高濃度ドーピング領域 12 が形成される。前記高濃度ドーピング領域 12 はショートチャンネル効果を誘発する可能性のある基底（bottom）トランジスタの動作を防止する役割をする。

10

#### 【0045】

特に、前記アクティブチャンネルパターンのチャンネル 44 a、44 b には導電型不純物がドーピングされる。このとき、前記導電型不純物の一例としては、ホウ素、インジウム、ガリウムなどを挙げるることができる。これらは単独に使用することが望ましいが2つ以上を混合して使用することもできる。また、前記導電型不純物の他の例としてはリン、砒素などを挙げるることができる。これらも単独に使用することが望ましいが、2つを混合して使用することもできる。そして、前記導電型不純物としてホウ素、インジウム、ガリウムなどを選択する場合には前記チャンネル 44 a、44 n は NMOS トランジスタのチャンネル に形成される。また、前記導電型不純物として、リン、砒素などを使用する場合には、前記チャンネル 44 a、44 b は PMOS トランジスタのチャンネル に形成される。

20

#### 【0046】

図6は本発明の製造方法により製造されたマルチ-ブリッジチャンネル型MOSトランジスタのアクティブチャンネルパターンを示す斜視図であり、図7は本発明の製造方法により製造されたマルチ-ブリッジチャンネル型MOSトランジスタのゲート電極を示す斜視図である。

#### 【0047】

図6に示すように、半導体基板（図示せず）の主表面上に形成されたアクティブチャンネルパターンは垂直方向に形成された複数個のチャンネル 4 a、4 b、4 c を具備する。ここで、前記チャンネル 4 a、4 b、4 c は3個のチャンネルを示しているが、2つまたはそれ以上の個数のチャンネルを形成することもできる。前記チャンネル 4 a、4 b、4 c は狭い幅を有し垂直方向に積層された形態を有する。そして、それぞれのチャンネル 4 a、4 b、4 c の間には複数個のトンネル 2 a、2 b、2 c が形成されている。前記アクティブチャンネルパターンの両側には前記チャンネル 4 a、4 b、4 c と連結されるソース/ドレイン領域 3 が形成される。前記ソース/ドレイン領域 3 は前記チャンネル 4 a、4 b、4 c より広い幅を有して形成される。前記ソース/ドレイン領域 3 と前記チャンネル 4 a、4 b、4 c との間には前記ソース/ドレイン領域 4 と前記チャンネル 4 a、4 b、4 c とを連結するソース/ドレイン拡張膜 5 を形成することもできる。

30

40

#### 【0048】

より具体的には、前記ソース/ドレイン領域 3 は前記アクティブチャンネルパターンの両側に比較的広い幅を有する直方体を有するように形成される。前記ソース/ドレイン領域 3 の間にはソース/ドレイン領域 3 に形成された直方体より狭い幅を有するチャンネル領域が形成され、前記ソース/ドレイン領域 3 を相互に連結する。そして、前記アクティブチャンネルパターンは2つのソース/ドレイン拡張膜 5 によって前記ソース/ドレイン領域 3 と連結される。このとき、前記2つのソース/ドレイン拡張膜 5 は垂直方向に形成された複数個のチャンネル 4 a、4 b、4 c によって相互に連結される。そして、前記チャンネル 4 a、4 b、4 c の間には複数個のトンネル 2 a、2 b、2 c が形成されている

50

。最下部に形成されたトンネル 2 a は最下部のチャンネル 4 a とその下に位置した半導体基板の表面部位との間に形成され、最上部のチャンネル 4 c 上にはトンネル形状のグループ 2 ' が形成される。

【 0 0 4 9 】

特に、前記チャンネル 4 a、4 b、4 c には導電型不純物がドーピングされる。このとき、前記導電型不純物の一例としてはホウ素、インジウム、ガリウムなどを挙げることができる。これらは単独に使用することが望ましいが 2 つ以上を混合して使用することができる。また、前記導電型不純物の他の例としてはリン、砒素などを挙げることができる。これらも単独に使用することが望ましいが、2 つを混合して使用することもできる。そして、前記導電型不純物としてホウ素、インジウム、ガリウムなどを選択する場合には前記チャンネル 4 a、4 b、4 c は N M O S トランジスタのチャンネル に形成される。また、前記導電型不純物としてリン、砒素などを使用する場合には前記チャンネル 4 a、4 b、4 c は P M O S トランジスタのチャンネル に形成される。

10

【 0 0 5 0 】

図 7 に示すように、前記トンネル 2 a、2 b、2 c と前記グループ 2 ' とを埋立しながら前記チャンネル 4 a、4 b、4 c を縦方向（ソース/ドレイン領域の形成方向と平面的に垂直である方向）に取り囲むゲート電極 6 が形成される。そして、前記ゲート電極 6 と前記チャンネル 4 a、4 b、4 c との間にはゲート絶縁膜 7 が形成される。また、前記ゲート電極 6 の上面にはゲート積層膜 8 を形成することができる。

【 0 0 5 1 】

20

従って、マルチ - ブリッジチャンネル型 M O S トランジスタは複数個の薄いチャンネル 4 a、4 b、4 c が一つのソース/ドレイン領域 3 に連結され、前記ソース/ドレイン領域 3 を前記チャンネル 4 a、4 b、4 c に対して垂直方向に一定のドーピングプロファイルを有するように形成することができる。従って、チャンネル数が増えても均一なソース/ドレイン接合キャパシタンスを保持することができ、前記接合キャパシタンスを十分に減少させながら電流を増加させ、素子の速度を向上させることができる。

【 0 0 5 2 】

また、前記ゲート電極 6 が前記チャンネル 4 a、4 b、4 c を取り囲むので、それぞれのチャンネルが有する幅より小さいゲート長さを有する M O S トランジスタを提供ことができ、素子の集積度を向上させることができる。また、前記ゲート電極 6 で埋め立てられるトンネル 2 の水平長さがゲート長さ領域に局限されることで、チャンネルが有する幅より小さいゲート長さを有する高集積 M O S トランジスタを具現することができる。

30

【 0 0 5 3 】

以下、本発明の望ましい複数の実施例を図面を参照して詳細に説明する。図面で、同一な参照符号は同一な部材を示す。

【 0 0 5 4 】

（実施例 1）

図 8 から図 2 6 は本発明の実施例 1 によるマルチ - ブリッジチャンネル型 M O S トランジスタの製造方法を示す断面図であり、図 2 7 から図 3 3 は本発明の実施例 1 によるマルチ - ブリッジチャンネル型 M O S トランジスタの製造方法を示す斜視図である。

40

【 0 0 5 5 】

図 8 に示すように、単結晶シリコンからなる半導体基板 1 0 の主表面に前記半導体基板のような導電型不純物をイオン注入する。これにより、前記半導体基板 1 0 の主表面には基底トランジスタの動作を防止するための高濃度ドーピング領域 1 2 が形成される。

【 0 0 5 6 】

図 9 に示すように、前記半導体基板 1 0 上に複数個のチャンネル層間膜 1 4 a、1 4 b、1 4 c 及び複数個のチャンネル膜 1 6 a、1 6 b を交互に積層する。以下、前記複数個のチャンネル層間膜 1 4 a、1 4 b、1 4 c はチャンネル層間膜 1 4 でも表現し、前記チャンネル膜 1 6 a、1 6 b はチャンネル膜 1 6 でも表現する。前記チャンネル層間膜 1 4 とチャンネル膜 1 6 は互いに異なるエッチング選択比を有する単結晶半導体物質で形成す

50

る。具体的に、前記チャンネル層間膜 14 は単結晶シリコン - ゲルマニウム物質を用いて約 300 の厚さを有するように形成し、前記チャンネル 16 は単結晶シリコン物質を用いて約 300 の厚さを有するように形成する。さらに、前記チャンネル層間膜 14 とチャンネル膜 16 はボロン (B) がドーピングされた単結晶半導体物質で形成する。これにより、前記チャンネル層間膜 14 は導電型チャンネル層間膜に形成され、前記チャンネル膜 16 は導電型チャンネル膜に形成される。

【0057】

また、前記チャンネル層間膜 14 とチャンネル膜 16 の厚さと反復回数は作ろうとするトランジスタの目的によって自由に調節することができる。本実施例においては前記チャンネル層間膜 14 とチャンネル膜 16 が有する全体厚さが約 1000 から 1500 になるように反復して積層する。

10

【0058】

図 10 に示すように、フォトレジストパターンを使用したエッチングを実施して前記チャンネル層間膜 14 とチャンネル膜 16 をパターンニングする。これにより、前記半導体基板 10 上には第 1 チャンネル層間膜パターン 14 a'、14 b'、14 c' と第 1 チャンネル膜パターン 16 a'、16 b' からなる予備アクティブパターン 18 が形成される。以下、前記第 1 チャンネル層間膜パターン 14 a'、14 b'、14 c' は第 1 チャンネル層間膜パターン 14' でも表現し、前記第 1 チャンネル膜 16 a'、16 b' は第 1 チャンネル膜パターン 16' でも表現する。

【0059】

20

そして、前記フォトレジストパターンを使用したエッチングを継続的に遂行して、半導体基板 10 表面下に形成された高濃度ドーピング領域 12 より深い深さを有する素子分離トレンチ 20 を形成する。続いて、化学気相蒸着を実施して、前記素子分離トレンチ 20 が形成された結果物上に酸化膜を形成した後、前記予備アクティブパターン 18 の表面が露出されるまでエッチバック、または化学機械的研磨のような平坦化工程を実施する。これにより、前記半導体基板 10 上には前記予備アクティブパターン 18 を取り囲むフィールド領域 22 が形成される。

【0060】

図 11 に示すように、前記予備アクティブパターン 18 とフィールド領域 22 上にエッチング阻止膜 23 を連続的に形成する。そして、前記エッチング阻止膜 23 上にダミーゲート膜 25 と反射防止膜 27 を順次に形成する。ここで、前記エッチング阻止膜 23 は前記ダミーゲート膜 25 に対して選択的に除去することができる物質を使用して約 150 の厚さを有するように形成する。前記物質の例としてシリコン窒化物を挙げることができる。これにより、前記エッチング阻止膜 23 は前記ダミーゲート膜 25 をエッチングするときその下に位置する構造物がエッチングされることを防止する。さらに、前記ダミーゲート膜 25 はゲート領域を限定するためのものであって、シリコン窒化物を使用して約 1000 の厚さを有するように形成する。そして、前記反射防止膜 27 はシリコン窒化物を使用して約 300 の厚さを有するように形成する。これにより、前記反射防止膜 27 はフォトリソグラフィ工程を遂行するとき下部構造物から光が反射されることを防止する。

30

40

【0061】

図 12 に示すように、前記フォトリソグラフィ工程を遂行して形成されたフォトレジストパターンをエッチングマスクとして使用し、前記反射防止膜 27、ダミーゲート膜 25 及びエッチング阻止膜 23 を順次に乾式エッチングする。これにより、前記半導体基板 10 上には反射防止膜パターン 28、ダミーゲート膜パターン 26 及びエッチング阻止膜パターン 24 を含むゲートハードマスク膜 29 が形成される。このとき、前記ゲートハードマスク膜 29 は約 0.25 μm の幅を有し、ソース/ドレイン領域とチャンネル領域を自動的にセルフアラインさせる役割をする。

【0062】

図 13 に示すように、前記ゲートハードマスク膜 29 をエッチングマスクとして使用し

50

、露出された予備アクティブパターン18を半導体基板10の表面が露出されるまでエッチングする。これにより、前記半導体基板にはソース/ドレーン領域が定義される。このように、前記ソース/ドレーン領域の定義によって前記予備アクティブパターン18はチャンネル領域のみに形成される。そして、前記高濃度ドーピング領域12の投射範囲下まで露出されるように前記エッチング工程をさらに遂行する。このように前記エッチング工程を遂行した結果、ゲートハードマスク膜29の下には複数個の第2チャンネル層間膜パターン14a'、14b'、14c'と複数個の第2チャンネル膜パターン16a'、16b'からなる予備アクティブチャンネルパターン18aが形成される。以下、前記第2チャンネル層間膜パターン14a'、14b'、14c'は第2チャンネル層間膜パターン14'でも表現し、前記第2チャンネル膜16a'、16b'は第2チャンネル膜パターン16'でも表現する。

10

**【0063】**

ここで、前記アクティブパターンをエッチングせずそのままソース/ドレーン領域に使用する従来のGGA構造では、チャンネル層間膜を等方性食刻するときトンネルが水平拡張され、ゲート電極の長さが大きくなるという問題が発生する。

**【0064】**

しかし、本実施例においてはアクティブパターン中でソース/ドレーン領域の定義のためのエッチングを実施した後、前記定義された領域30を導電物質で満たすことでソース/ドレーン領域を形成する。従って、前記予備アクティブチャンネルパターン18aを構成するチャンネル層間膜14の水平長さがゲート長さ領域に局限される。従って、前記第2チャンネル層間膜パターン14'を等方性食刻してトンネルを形成するとき、前記トンネルが水平方向に拡張されることを防止することができる。その結果、本実施例においてはチャンネルが有する幅より小さいゲート長さを有する高集積MOSトランジスタを具現することができる。

20

**【0065】**

図14に示すように、前記半導体基板10の前記定義された領域30の表面と前記予備アクティブチャンネルパターン18aの側面とに部分的に選択的エピタキシャル単結晶膜を約350の厚さを有するように成長させる。これにより、前記定義された領域30の表面と前記予備アクティブチャンネルパターン18aの側面とに前記選択的エピタキシャル単結晶膜からなるソース/ドレーン拡張膜32が形成される。そして、傾斜イオン注入を実施して前記ソース/ドレーン拡張膜32に不純物をドーピングする。

30

**【0066】**

また、水素雰囲気中で高温熱処理をさらに実施することで、前記ソース/ドレーン拡張膜32の表面粗さを改善することができる。

**【0067】**

図15に示すように、前記ソース/ドレーン拡張膜32が形成された前記定義された領域30を埋め立てるように導電膜を形成した後、前記導電膜を予備アクティブチャンネルパターン18aの表面までエッチバックする。これにより、前記定義された領域30には前記導電膜からなるソース/ドレーン領域34が形成される。ここで、前記ソース/ドレーン領域34を形成するための導電膜の例として選択的エピタキシャル単結晶膜、ポリシリコン膜、金属シリサイド膜などを挙げることができる。これらは単一薄膜で使用することが望ましいが、2つ以上が順次に積層された多層薄膜を使用することもできる。また、前記ソース/ドレーン領域を拡張するための導電膜は主に化学気相蒸着によって形成される。これにより、前記ソース/ドレーン領域34は前記予備アクティブチャンネルパターン18aに沿って垂直に均一なドーピングプロファイルを有するように形成することができる。このとき、前記ゲートハードマスク29の側面下部にソース/ドレーン領域34を形成するための導電膜のテール34aが残ることもある。特に、前記テール34aは前記ゲートハードマスク膜パターン29のエッチング阻止膜パターン24の側面に集中的に残る。

40

**【0068】**

50

図 16 に示すように、前記ソース/ドレイン領域 34 及びフィールド領域 22 上に前記反射防止膜パターン 28 と同じ物質であるシリコン窒化物を用いてマスク膜 35 を形成する。これによって、前記マスク膜 35 は、前記ゲートハードマスク膜 29 をカバーする。ここで、マスク膜 35 を形成する前に、熱酸化を進行して前記ソース/ドレイン領域 34 の表面部位と前記予備アクティブチャンネルパターン 18a の露出された表面部位とを酸化させて酸化膜を形成することもできる。前記酸化膜は、ストレスを緩衝させる役割を果たす。

【0069】

図 17 及び図 27 に示すように、前記ダミーゲート膜パターン 26 の表面が露出されるまで前記マスク膜 35 をエッチバック、又は化学機械的研磨のような平坦化工程を遂行して除去する。これによって、前記マスク膜 35 は、前記ダミーゲート膜パターン 26 の表面を露出させるマスク膜パターン 36 に形成される。

10

【0070】

図 18 及び図 28 に示すように、前記マスク膜パターン 36 と前記ダミーゲート膜パターン 26 が有する互いに異なるエッチング選択比を用いて前記ダミーゲート膜パターン 26 を選択的に除去する。これによって、前記エッチング阻止膜パターン 24 の表面を露出させるゲートトレンチ 38 が形成される。そして、前記エッチング阻止膜パターン 24 は、前記ゲートトレンチ 38 を得るためのエッチングにおいて、前記エッチング阻止膜パターン 24 の下部に形成されている予備アクティブチャンネルパターン 18a がエッチングされることを防止する。

20

【0071】

図 19 に示すように、前記ゲートマスク膜パターン 29 のエッチング阻止膜パターン 24 の側面にテール 34a が残っている場合、前記テール 34a は後続工程の実施によって形成されるゲート電極と合線される。従って、酸化工程を実施して前記テール 34a を絶縁膜 40 に変換させる。また、湿式エッチング工程を実施して前記テール 34a を除去することもできる。

【0072】

図 20 及び図 29 に示すように、前記ゲートトレンチ 38 を通じて露出されたエッチング阻止膜パターン 24 を除去する。そして、イオン注入を実施して前記予備アクティブチャンネルパターン 18a にドーピングを行うこともできる。ここで、前記ドーピングにおいては、ボロンのような不純物を用いる。また、前記予備アクティブチャンネルパターン 18a の第 2 チャンネル膜パターン 16a、16b それぞれにドーピング濃度が異なるようにイオン注入を実施することもできる。これは、ゲート電極に印加される電圧によるトランジスタの段階的動作を得るためである。

30

【0073】

そして、前記ソース/ドレイン領域 34 をエッチングマスクとして用いたエッチングを実施してフィールド領域 22 を選択的に除去する。これによって、図 6 に示したように、前記予備アクティブチャンネルパターン 18a の側面部分が露出される。

【0074】

図 21 及び図 30 に示すように、前記ソース/ドレイン拡張膜 32 の側面部位を部分的に露出させた後、前記予備アクティブチャンネルパターン 18a の第 2 チャンネル層間膜パターン 14 を選択的に除去する。前記第 2 チャンネル層間膜パターン 14 の選択的除去は前記第 2 チャンネル層間膜パターン 14 と第 2 チャンネル膜パターン 16 が有する互いに異なるエッチング選択比を用いたエッチングによって達成される。

40

【0075】

ここで、前記チャンネル膜に対して前記チャンネル層間膜が有するエッチング選択比を 10 ~ 150 : 1 に調整することが望ましい。そして、前記エッチング選択比が 30 ~ 150 : 1 に調整されることがより望ましく、前記エッチング選択比が 50 ~ 150 : 1 に調整されることが更に望ましく、前記エッチング選択比が 70 ~ 150 : 1 に調整されることがより更に望ましく、前記エッチング選択比が 100 ~ 150 : 1 に調整されること

50

が一番望ましい。

【0076】

従って、前記エッチングにおいては、前記第2チャンネル膜パターン16”に対して前記第2チャンネル層間膜パターン14”が有するエッチング選択比を約100～150：1に調整する。これにより、過硝酸、フッ酸が含まれた化合物、溶媒などを含み、約50の温度を有するエッチング溶液を用いる。特に、前記エッチングにおいては、ボロン(B)がドーピングされた第2チャンネル層間膜パターン14”を除去するため、特別な困難なしにエッチングを進行することができる。

【0077】

もし、前記チャンネル層間膜14とチャンネル膜16に導電型不純物がドーピングされていない場合にも、特別な困難なしに前記エッチングを進行することができる。

10

【0078】

その結果、予備アクティブチャンネルパターン18aを貫通する複数のトンネル42a、42bと最上部に位置するトンネルグループ42cとが形成される。また、前記予備アクティブチャンネルパターン18aの第2チャンネル膜パターン16”は複数のチャンネル44a、44bに形成される。従って、前記半導体基板には、前記複数のトンネル42a、42bとトンネルグループ42c、及び前記複数のチャンネル44a、44bを含むアクティブチャンネルパターン45が形成される。そして、前記複数のトンネル42a、42bと複数のチャンネル44a、44bは約50%の誤差範囲内で前記ダミーゲートパターン26の幅と同じ幅を有するように形成することができる。以下、前記トンネル42a、42bは、トンネル42とも示し、前記チャンネル44a、44bはチャンネル44とも示す。

20

【0079】

特に、前記チャンネル44の場合には、ホウ素(B)でドーピングされた単結晶半導体物質で形成されたチャンネル膜16で構成されるので、前記チャンネル44はNMOSトランジスタのチャンネルであると把握することができる。従って、前記チャンネル44を対象として後続工程を進行してゲート電極を形成する場合には最終的にN-MOSトランジスタが具現される。以下、前記チャンネル44はホウ素でドーピングされたチャンネルとも示す。

【0080】

30

従って、本実施例では、前記NMOSトランジスタのチャンネルをPMOSトランジスタのチャンネルに形成するための工程を更に進行する。ここで、前記PMOSトランジスタのチャンネルは前記NMOSトランジスタのチャンネルで形成された領域のうちに部分的に形成される。

【0081】

図22に示すように、前記ホウ素でドーピングされたチャンネル44にリン(P)をドーピングする。その結果、前記ホウ素でドーピングされたチャンネル44は、リンでドーピングされたチャンネル49に転換される。これは、前記ホウ素がドーピングされたチャンネル44が有するホウ素濃度より高い濃度でリンをドーピングすることによって達成される。ここで、前記リンでドーピングされたチャンネル49は複数のチャンネル49a、49bを含む。このように、前記リンでドーピングされたチャンネル49を獲得することで、本実施例では容易にPMOSトランジスタのチャンネルを形成することができる。前記リンのドーピングは主にプラズマ処理によって達成されるが、イオン注入によって達成することもできる。以下、前記ホウ素でドーピングされたチャンネル44を含むアクティブチャンネルパターン45を第1アクティブチャンネルパターンとも示し、前記リンでドーピングされたチャンネル49を含むアクティブチャンネルパターン47を第2アクティブチャンネルパターンとも示す。

40

【0082】

もし、前記チャンネル層間膜14とチャンネル膜16に導電型不純物がドーピングされていない場合には、前記トンネルの形成のためのエッチングを実施した後、前記NMOS

50

トランジスタのチャンネル又はPMOSトランジスタのチャンネルを形成するための不純物のドーピングを実施することもできる。また、前記アクティブチャンネルパターンの全てにNMOSトランジスタのチャンネルの形成のためのホウ素をドーピングした後、PMOSトランジスタのチャンネルの形成のためのリンをドーピングすることができる。そして、前記アクティブチャンネルパターンの一部にNMOSトランジスタのチャンネルの形成のためのホウ素をドーピングした後、残りのアクティブチャンネルパターンにPMOSトランジスタのチャンネルの形成のためのリンをドーピングすることができる。逆に、前記アクティブチャンネルパターンの全てにPMOSトランジスタのチャンネルの形成のためのリンをドーピングした後、NMOSトランジスタのチャンネルの形成のためのホウ素をドーピングすることができる。そして、前記アクティブチャンネルパターンの一部にPMOSトランジスタのチャンネルの形成のためのリンをドーピングした後、残りのアクティブチャンネルパターンにNMOSトランジスタのチャンネルの形成のためのホウ素をドーピングすることができる。

10

**【0083】**

図23及び図31に示すように、熱酸化工程を実施して前記リンでドーピングされたチャンネル49の表面部位、及びトンネルグループ42cの表面上にシリコン酸化窒化物(silicon oxide nitride)を用いて約50の厚さを有するゲート絶縁膜46を形成する。ここで、前記リンでドーピングされたチャンネル49によって露出されたソース/ドレイン拡張膜32の表面の一部にもゲート絶縁膜46が連続に形成される。

20

**【0084】**

そして、前記ゲート絶縁膜46を形成する前に、水素(H<sub>2</sub>)又はアルゴン(Ar)雰囲気高温熱処理を実施することもできる。このように、前記水素(H<sub>2</sub>)又はアルゴン(Ar)雰囲気高温熱処理を実施する場合、前記リンでドーピングされたチャンネル49の表面粗さが改善することで、前記ゲート絶縁膜46と前記リンでドーピングされたチャンネル49との間の粗さが減少する。

**【0085】**

図24に示すように、前記トンネル42とトンネルグループ42cを埋め立てながら、前記リンでドーピングされたチャンネル49を囲むようにゲート電極48を形成する。ここで、前記ゲート電極48は、ドーパポリシリコンを用いて形成する。

30

**【0086】**

図25及び図33に示すように、前記ゲート電極48の上面に金属シリサイドを用いてゲート積層膜50を形成する。そして、前記ゲート積層膜50はシリコン酸化物又はシリコン窒化物を用いて形成することもできる。このように、前記ゲート積層膜50を形成することで、ゲート抵抗を減少させることができ、ゲートのキャッピングの役割も果たすことができる。

**【0087】**

図26に示すように、前記マスクパターン36を除去した後、金属配線などの後続工程を進行してマルチブリッジチャンネル型MOSトランジスタを完成する。場合によっては、前記マスク膜36を除去せず、そのまま層間絶縁膜として用いることもできる。

40

**【0088】**

このように、本実施例では、NMOSトランジスタのチャンネルに該当する第1アクティブチャンネルパターンを前に形成した後、前記第1アクティブチャンネルパターンのホウ素でドーピングされたチャンネルをリンでドーピングされたチャンネル膜で形成する。従って、PMOSトランジスタのチャンネル、即ち、PMOSトランジスタのチャンネルを有するマルチブリッジチャンネル型トランジスタを容易に製造することができる。

**【0089】**

(実施例2)

図34から図51は、本発明の実施例2によるマルチブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。本実施例は、実施例1で説明したマルチ-

50

リッジチャンネル型MOSトランジスタの製造方法に基づいて具体的に説明する。

【0090】

図34に示すように、単結晶シリコンからなる半導体基板10を準備する。ここで、前記半導体基板10はN-MOSトランジスタを形成するためのN-MOS領域である第1領域と、P-MOSトランジスタを形成するためのP-MOS領域である第2領域とに区分することができる。その後、前記半導体基板10のN-MOS領域の主表面とP-MOS領域の主表面とのそれぞれに前記半導体基板10のような導電型不純物をイオン注入する。これによって、前記半導体基板10のN-MOS領域の主表面には第1高濃度ドーピング領域12が形成され、前記半導体基板10のP-MOS領域の主表面には第2高濃度ドーピング領域120が形成される。このように、前記第1高濃度ドーピング領域12と、第2高濃度ドーピング領域120を形成することは、基底トランジスタの動作を防止するためである。

10

【0091】

図35に示すように、前記半導体基板10上に複数のチャンネル層間膜14a、14b、14c及び複数のチャンネル膜16a、16bを交互に積層する。ここで、前記複数のチャンネル層間膜14a、14b、14c及び複数のチャンネル膜16a、16bはN-MOS領域とP-MOS領域上に連続に形成する。以下、前記複数のチャンネル層間膜14a、14b、14cは、チャンネル層間膜14とも示し、前記チャンネル膜16a、16bは、チャンネル膜16とも示す。前記チャンネル層間膜14とチャンネル膜16は互いに異なるエッチング選択比を有する単結晶半導体物質で形成する。具体的に、前記チャンネル層間膜14は、単結晶シリコン-ゲルマニウム物質を用いて約300の厚さを有するように形成し、前記チャンネル膜16は単結晶シリコン物質を用いて約300の厚さを有するように形成する。更に、前記チャンネル層間膜14とチャンネル膜16はボロン(B)でドーピングされた単結晶半導体物質で形成する。これによって、前記チャンネル層間膜は、ボロンがドーピングされた導電型チャンネル層間膜で形成され、前記チャンネル膜はボロンがドーピングされた導電型チャンネル膜で形成される。

20

【0092】

また、前記チャンネル層間膜14とチャンネル膜16の厚さと反復回数は製作しようとするトランジスタの目的によって自由に調節することができる。本実施例では、前記チャンネル層間膜14とチャンネル膜16が有する全体厚さが約1000~1500になるよう反復して積層する。

30

【0093】

図36に示すように、フォトリジストパターンを用いたエッチングを実施して、前記チャンネル層間膜14とチャンネル膜16をパターンニングする。これによって、前記N-MOS領域とP-MOS領域を有する半導体基板10上には第1チャンネル層間膜パターン14a'、14b'、14c'と第1チャンネル膜パターン16a'、16b'で構成された予備アクティブパターン18が形成される。ここで、前記N-MOS領域の半導体基板10上に形成された予備アクティブパターン18を第1予備アクティブパターンとし、前記P-MOS領域の半導体基板10上に形成された予備アクティブパターン18を第2予備アクティブパターンとして区分することができる。以下、前記第1チャンネル層間膜パターン14a'、14b'、14c'は、第1チャンネル層間膜パターン14'とも示し、前記第1チャンネル膜16a'、16b'は、第1チャンネル膜パターン16'とも示す。

40

【0094】

そして、前記フォトリジストパターンを用いたエッチングを継続して遂行し、半導体基板10の表面下に形成された高濃度ドーピング領域12、120より深い深さを有する素子分離トレンチ20を形成する。その後、化学気相蒸着を実施して、前記素子分離トレンチ20が形成された結果物上に酸化膜を形成した後、前記予備アクティブパターン18の表面が露出されるまでエッチバック、又は化学機械的研磨のような平坦化工程を実施する。これによって、前記半導体基板10上には前記予備アクティブパターン18を囲むフィ

50

ールド領域 22 が形成される。即ち、N-MOS 領域と P-MOS 領域のそれぞれにフィールド領域 20 が形成される。

【0095】

図 37 に示すように、前記予備アクティブパターン 18 とフィールド領域 22 上にエッチング阻止膜 23 を連続に形成する。そして、前記エッチング阻止膜 23 上にダミーゲート膜 25 と反射防止膜 27 を順次形成する。即ち、前記エッチング阻止膜 23、ダミーゲート膜 25 及び反射防止膜 27 は、前記 N-MOS 領域と P-MOS 領域に連続に形成される。ここで、前記エッチング阻止膜 23 は、前記ダミーゲート膜 25 に対して選択的に除去可能な物質を用いて約 150 の厚さを有するように形成し、前記物質の例としてはシリコン窒化物がある。これにより、前記エッチング阻止膜 23 は、前記ダミーゲート膜 25 をエッチングするとき、その下に位置する構造物がエッチングされることを防止する。また、前記ダミーゲート膜 25 はゲート領域を限定するためのものであって、シリコン酸化物を用いて約 1000 の厚さを有するよう形成する。そして、前記反射防止膜 27 は、シリコン窒化物を用いて約 300 の厚さを有するよう形成する。これによって、前記反射防止膜 27 は、フォトリソグラフィ工程を遂行するとき、下部構造物から光が反射されることを防止する。

10

【0096】

図 38 に示すように、前記フォトリソグラフィ工程を遂行して形成されたフォトレジストパターンをエッチングマスクとして用い、前記反射防止膜 27、ダミーゲート膜 25 及びエッチング阻止膜 23 を順次乾式エッチングする。これによって、前記半導体基板 10 上には反射防止膜パターン 28、ダミーゲート膜パターン 26 及びエッチング阻止膜パターン 24 を含むゲートハードマスク膜 29 が形成される。ここで、前記ゲートハードマスク膜 29 は、約 0.25  $\mu\text{m}$  の幅を有し、ソース/ドレイン領域とチャンネル領域を自動的にセルフアラインさせる役割を果たす。

20

【0097】

図 39 に示すように、前記ゲートハードマスク膜 29 をエッチングマスクとして用い、露出された予備アクティブパターン 18 を半導体基板 10 の表面が露出するまでエッチングする。これによって、前記半導体基板にはソース/ドレイン領域が定義される。ここで、前記 N-MOS 領域に定義されたソース/ドレイン領域を第 1 ソース/ドレイン領域とし、前記 P-MOS 領域に定義されたソース/ドレイン領域を第 2 ソース/ドレイン領域として区分することができる。

30

【0098】

このように、前記ソース/ドレイン領域の定義によって前記予備アクティブパターン 18 はチャンネル領域にのみ形成される。そして、前記高濃度ドーピング領域 12、120 の投射範囲 (projected range) の下まで露出されるように前記エッチング工程を更に遂行する。このように、前記エッチング工程を遂行した結果、ゲートハードマスク膜 29 の下には複数の第 2 チャンネル層間膜パターン 14a"、14b"、14c" と複数の第 2 チャンネル膜パターン 16a"、16b" で構成された予備アクティブチャンネルパターン 18a が形成される。即ち、前記 N-MOS 領域と P-MOS 領域のそれぞれに前記予備アクティブチャンネルパターン 18a が形成される。ここで、前記 N-MOS 領域に形成された予備アクティブチャンネルパターン 18a を第 1 予備アクティブチャンネルパターンとし、前記 P-MOS 領域に形成された予備アクティブチャンネルパターン 18a を第 2 予備アクティブチャンネルパターンとして区分することもできる。以下、前記第 2 チャンネル層間膜パターン 14a"、14b"、14c" は、第 2 チャンネル層間膜パターン 14" とし、前記第 2 チャンネル膜 16a"、16b" は、第 2 チャンネル膜パターン 16" とし表現する。

40

【0099】

ここで、前記アクティブパターンをエッチングせず、そのままソース/ドレイン領域に用いる従来の GGA 構造においては、チャンネル層間膜を等方性エッチングするときトンネルが水平拡張され、ゲート電極の長さが長くなる問題が発生する。

50

## 【 0 1 0 0 】

しかし、本実施例においては、アクティブパターンのうち、ソース/ドレイン領域の定義のためのエッチングを実施した後、定義された領域 3 0 に導電物質を詰めることでソース/ドレイン領域を形成する。従って、前記予備アクティブチャンネルパターン 1 8 a を構成するチャンネル層間膜 1 4 の水平長さがゲート長さ領域に局限される。従って、前記第 2 チャンネル層間膜パターン 1 4 " を等方性エッチングしてトンネルを形成するとき、前記トンネルが水平方向に拡張されることを防止することができる。その結果、本実施例では、チャンネルが有する幅より小さいゲート長さを有する高集積相補型 MOS ( CMOS ) トランジスタを具現することができる。

## 【 0 1 0 1 】

図 4 0 に示すように、前記半導体基板 1 0 の前記定義された領域 3 0 の表面と前記予備アクティブチャンネルパターン 1 8 a の側面とに部分的に選択的エピタキシャル単結晶膜を約 3 5 0 の厚さを有するよう成長させる。ここで、前記 N - MOS 領域の予備アクティブチャンネルパターン 1 8 a には第 1 選択的エピタキシャル単結晶膜が形成され、前記 P - MOS 領域の予備アクティブチャンネルパターン 1 8 には第 2 選択的エピタキシャル単結晶膜が形成される。これによって、前記 N - MOS 領域での前記定義された領域 3 0 の表面と前記予備アクティブチャンネルパターン 1 8 a の側面とには第 1 ソースドレイン拡張膜 3 2 が形成され、前記 P - MOS 領域での前記定義された領域 3 0 の表面と前記予備アクティブチャンネルパターン 1 8 a の側面とには第 2 ソースドレイン拡張膜 3 2 0 が形成される。

## 【 0 1 0 2 】

そして、傾斜イオン注入を実施して前記ソース/ドレイン拡張膜 3 2 、 3 2 0 に不純物をドーピングする。また、水素雰囲気中で高温熱処理を更に実施して前記ソース/ドレイン拡張膜 3 2 、 3 2 0 の表面粗さ ( roughness ) を改善することができる。

## 【 0 1 0 3 】

図 4 1 に示すように、前記第 1 ソース/ドレイン拡張膜 3 2 が形成された前記定義された領域 3 0 と前記第 2 ソース/ドレイン拡張膜 3 2 0 が形成された前記定義された領域 3 0 が埋め立てられるよう導電膜を形成した後、前記導電膜を予備アクティブチャンネルパターン 1 8 a の表面までエッチバックする。これによって、前記 N - MOS 領域の定義された領域 3 0 には前記導電膜で構成される第 1 ソース/ドレイン領域 3 4 が形成され、前記 P - MOS 領域の定義された領域 3 0 には前記導電膜で構成される第 2 ソース/ドレイン領域 3 4 0 が形成される。ここで、前記ソース/ドレイン領域 3 4 、 3 4 0 を形成するための導電膜の例としては選択的エピタキシャル単結晶膜、ポリシリコン膜、金属シリサイド膜などを挙げることができる。これらは、単一薄膜として用いることが望ましいが、二つ以上が順次積層された多層薄膜を用いることもできる。また、前記第 1 ソース/ドレイン領域 3 4 を形成するための導電膜と前記第 2 ソース/ドレイン領域 3 4 0 を形成するための導電膜の場合にはそれらのそれぞれにドーピングされる物質の濃度と種類などを異なるようにして形成することもできる。前記ソース/ドレイン領域 3 4 、 3 4 0 を拡張するための導電膜は、主に化学気相蒸着によって形成される。従って、前記ソース/ドレイン領域 3 4 、 3 4 0 は、前記予備アクティブチャンネルパターン 1 8 a に沿って垂直に均一なドーピングプロファイルを有するように形成することができる。ここで、前記ゲートハードマスク 2 9 の側面下部にソース/ドレイン領域 3 4 、 3 4 0 を形成するための導電膜のテール 3 4 a が残る場合もある。特に、前記テール 3 4 a は、前記ゲートハードマスク膜パターン 2 9 のエッチング阻止膜パターン 2 4 の側面に集中的に残る。

## 【 0 1 0 4 】

図 4 2 に示すように、前記ソース/ドレイン領域 3 4 、 3 4 0 及びフィールド領域 2 2 上に前記反射防止膜パターン 2 8 と同じ物質であるシリコン窒化物を用いてマスク膜 3 5 を形成する。これによって、前記マスク膜 3 5 は、前記ゲートハードマスク膜 2 9 をカバーする。ここで、前記マスク膜 3 5 を形成する前に、熱酸化を進行して前記ソース/ドレイン領域 3 4 、 3 4 0 の表面部位と前記予備アクティブチャンネルパターン 1 8 a の露出

10

20

30

40

50

された表面部位とを酸化させて酸化膜を形成することもできる。前記酸化膜は、ストレスを緩衝させる役割を果たす。

【0105】

図43に示すように、前記ダミーゲート膜パターン26の表面が露出されるまで前記マスク膜35をエッチバック、又は化学機械的研磨のような平坦化工程を遂行して除去する。これによって、前記マスク膜35は前記ダミーゲート膜パターン26の表面を露出させるマスク膜パターン36に形成される。即ち、前記N-MOS領域とP-MOS領域のそれぞれにマスク膜パターン36が形成される。

【0106】

図44に示すように、前記マスク膜パターン36と前記ダミーゲート膜パターン26が有する互いに異なるエッチング選択比を用いて前記ダミーゲート膜パターン26を選択的に除去する。これによって、前記エッチング阻止膜パターン24の表面を露出させるゲートトレンチ38を得る。即ち、前記N-MOS領域とP-MOS領域のそれぞれにゲートトレンチ38を得ることができる。そして、前記エッチング阻止膜パターン24は、前記ゲートトレンチ38を得るためのエッチングにおいて、前記エッチング阻止膜パターン24の下部に形成されている予備アクティブチャンネルパターン18aがエッチングされることを防止する。

10

【0107】

図45に示すように、前記ゲートマスク膜パターン29のエッチング阻止膜パターン24の側面にテール34aが残っている場合、前記テール34aは、後続工程の実施によって形成されるゲート電極と合線される。従って、酸化工程を実施して前記テール34aを絶縁膜40に変換させる。また、湿式エッチング工程を実施して前記テール34aを除去することもできる。

20

【0108】

図46に示すように、前記ゲートトレンチ38を通じて露出されたエッチング阻止膜パターン24を除去する。そして、イオン注入を実施して前記予備アクティブチャンネルパターン18aにドーピングを行うこともできる。ここで、前記ドーピングにおいては、ボロンのような不純物を用いる。その後、前記ソース/ドレイン領域34をエッチングマスクとして用いたエッチングを実施してフィールド領域22を選択的に除去する。これによって、前記予備アクティブチャンネルパターン18aの側面部分が露出される。

30

【0109】

図47に示すように、前記予備アクティブチャンネルパターン18aの第2チャンネル層間膜パターン14''を選択的に除去する。即ち、前記N-MOS領域とP-MOS領域のそれぞれに形成されている第2チャンネル層間膜パターン14''を選択的に除去する。ここで、前記第2チャンネル層間膜パターン14''の選択的除去は前記第2チャンネル層間膜パターン14''と第2チャンネル膜パターン16''が有する互いに異なるエッチング選択比を用いたエッチングによって達成される。

【0110】

ここで、前記第1導電型チャンネル膜に対して前記第1導電型チャンネル層間膜が有するエッチング選択比を10~150:1に調整することが望ましい。そして、前記エッチング選択比が30~150:1に調整されることがより望ましく、前記エッチング選択比が50~150:1に調整されることがより更に望ましく、前記エッチング選択比が70~150:1に調整されることがより更に望ましく、前記エッチング選択比が100~150:1に調整されることが一番望ましい。

40

【0111】

具体的に、前記エッチングにおいては、前記第2チャンネル膜パターン16''に対して前記第2チャンネル層間膜パターン14''が有するエッチング選択比を約100~150:1に調整する。これにより、過硝酸、フッ素が含まれた化合物、溶媒などを含み、20~70の温度を有するエッチング溶液を用いる。特に、前記エッチングにおいては、ボロン(B)がドーピングされた第2チャンネル層間膜パターン14''を除去するため、特

50

別な困難なしにエッチングを進行することができる。

【 0 1 1 2 】

その結果、前記N - MOS領域には、前記予備アクティブチャンネルパターン18aを貫通する複数のトンネル42a、42bと最上部に位置するトンネルグループ42cとが形成される。また、前記N - MOS領域の予備アクティブチャンネルパターン18aの第2チャンネル膜パターン16"は、複数のチャンネル44a、44bに形成される。従って、前記N - MOS領域の半導体基板には前記複数のトンネル42a、42bとトンネルグループ42c、及び前記複数のチャンネル44a、44bを含む第1アクティブチャンネルパターン45が形成される。また、前記P - MOS領域には、前記予備アクティブチャンネルパターン18aを貫通する複数のトンネル420a、420bと最上部に位置するトンネルグループ420cが形成される。また、前記P - MOS領域の予備アクティブチャンネルパターン18aの第2チャンネル膜パターン16"は複数のチャンネル440a、440bに形成される。従って、前記P - MOS領域の半導体基板10上には前記複数のトンネル420a、420bとトンネルグループ420c、及び前記複数のチャンネル440a、440bを含む第2アクティブチャンネルパターン450が形成される。

10

【 0 1 1 3 】

そして、前記N - MOS領域の第1アクティブチャンネルパターン45の複数のトンネル42a、42bと複数のチャンネル44a、44b、及び前記P - MOS領域の第2アクティブチャンネルパターン450の複数のトンネル420a、420bと複数のチャンネル440a、440bは、約50%の誤差範囲内で前記ダミーゲートパターン26の幅と同じ幅を有するよう形成することができる。以下、前記第1アクティブチャンネルパターン45のトンネル42a、42bは第1トンネル42とも示し、前記チャンネル44a、44bは第1チャンネル44とも示す。これと共に、前記第2アクティブチャンネルパターン450のトンネル420a、420bは、第2トンネル420とも示し、前記チャンネル440a、440bは第2チャンネル440とも示す。

20

【 0 1 1 4 】

このように、前記第1アクティブチャンネルパターン45を形成することで、前記第1ソース/ドレイン拡張膜32の側面部位が部分的に露出され、前記第2アクティブチャンネルパターン450を形成することで、前記第2ソース/ドレイン拡張膜320の側面部位が部分的に露出される。

30

【 0 1 1 5 】

図48に示すように、前記第2アクティブチャンネルパターン450の第2チャンネル440にリンをドーピングする。即ち、ホウ素でドーピングされた第2チャンネル440は、リンでドーピングされた第2チャンネル490に転換される。ここで、前記リンでドーピングされた第2チャンネル490は、複数のチャンネル490a、490bを含む。このように、前記リンでドーピングされた第2チャンネル490を獲得することで、本実施例では容易にP MOSトランジスタのチャンネルを形成することができる。即ち、前記N - MOS領域にはホウ素でドーピングされた第1チャンネル44を獲得することで容易にN MOSトランジスタのチャンネルを形成し、前記P - MOS領域にはリンでドーピングされた第2チャンネル490を獲得することで容易にP MOSトランジスタのチャンネルを形成する。

40

【 0 1 1 6 】

前記リンのドーピングは、主にプラズマ処理によって達成されるが、イオン注入によって達成することもできる。また、前記リンのドーピングにおいては、N - MOS領域にフォトレジストパターン37を形成して、前記第1アクティブチャンネルパターン45にリンがドーピングされることをマスクングする。このように、前記P - MOS領域にリンをドーピングした後、前記フォトレジストパターンを除去する。

【 0 1 1 7 】

図49に示すように、熱酸化工程を実施して、前記第1アクティブチャンネルパターン45の第1チャンネル44の表面部位、及びトンネルグループ42cの表面上にシリコン

50

酸化窒化物を用いて約50 nmの厚さを有するゲート絶縁膜46を形成する。更に、前記第2アクティブチャンネルパターン450の第2チャンネル490の表面部位、及びトンネルグループ420cの表面上にシリコン酸化窒化物を用いて約50 nmの厚さを有するゲート絶縁膜46を形成する。ここで、前記第1チャンネル44によって露出された第1ソース/ドレイン拡張膜32の表面の一部と、前記第2チャンネル490によって露出された第2ソース/ドレイン拡張膜320にもゲート絶縁膜46が連続して形成される。

【0118】

そして、前記ゲート絶縁膜46を形成する前に、水素(H<sub>2</sub>)又はアルゴン(Ar)雰囲気で行った高温熱処理を実施することもできる。このように、前記水素(H<sub>2</sub>)又はアルゴン(Ar)雰囲気で行った高温熱処理を実施する場合、前記第1チャンネル44と第2チャンネル490の表面粗さが改善することによって、前記第1チャンネル44と第2チャンネル490のそれぞれと前記ゲート絶縁膜46との間の粗さが減少する。

10

【0119】

図50に示すように、前記第1アクティブチャンネルパターン45の前記第1トンネル42とトンネルグループ42cを埋め立てながら、前記第1チャンネル49を囲むようにゲート電極48を形成する。これと共に、前記第2アクティブチャンネルパターン450の前記第2トンネル420とトンネルグループ420cを埋め立てながら前記第1チャンネル490を囲むようにゲート電極480を形成する。ここで、前記ゲート電極48、480はドーパポリシリコンを用いて形成する。これによって、前記N-MOS領域にはNMOSTランジスタのチャンネルを有するゲート電極48が形成され、前記P-MOS領域にはPMOSTランジスタのチャンネルを有するゲート電極480が形成される。

20

【0120】

図51に示すように、前記ゲート電極48、480の上面に金属シリサイドを用いてゲート積層膜50を形成する。そして、前記ゲート積層膜50は、シリコン酸化物又はシリコン窒化物を用いて形成することもできる。このように、前記ゲート積層膜50を形成することによってゲート抵抗を減少させることができ、ゲートのキャッピング役割も果たすことができる。

【0121】

そして、前記マスクパターン36を除去した後、金属配線の後続工程を進行してマルチブリッジチャンネル型相補型MOSトランジスタを完成する。場合によっては、前記マスク膜36を除去せずそのまま層間絶縁膜として用いることもできる。

30

【0122】

このように、本実施例では、NMOSTランジスタのチャンネルに該当する第1アクティブチャンネルパターンとPMOSTランジスタのチャンネルに該当する第2アクティブチャンネルパターンとを単一基板上に容易に形成することができる。即ち、前記N-MOS領域にはN-MOSTランジスタが形成され、前記P-MOS領域にはP-MOSTランジスタが形成される。これは、PMOSTランジスタのチャンネルに該当する第2アクティブチャンネルパターンを容易に形成することができるためである。従って、単一基板上にNMOSTランジスタのチャンネルとPMOSTランジスタのチャンネルを有するマルチブリッジチャンネル型相補型MOSトランジスタを容易に製造することができる。

40

【0123】

(実施例3)

図52は、図26のA部分の拡大図である。

【0124】

図52に示すように、実施例1によるマルチブリッジチャンネル型MOSトランジスタでは、ゲート電極48と、ソース/ドレイン領域34(具体的にはソース/ドレイン拡張膜32)との間にゲート絶縁膜46が存在することによってゲート電極48とソース/ドレイン領域34との間にオーバーラップキャパシタンスが発生する。従って、本実施例では、前記オーバーラップキャパシタンスの発生を十分減少させるための方法を提案している。

50

## 【 0 1 2 5 】

図 5 3 は、本発明の実施例 3 による製造方法で製造されたマルチ - ブリッジチャンネル型 MOS トランジスタを示す斜視図であり、図 5 4 は、図 5 3 の C - C ' 線に沿って見た断面図であり、図 5 5 は、図 5 4 の B 部分の拡大図である。

## 【 0 1 2 6 】

本実施例では、前記実施例 1 で、ゲート電極 4 8 とソース / ドレイン領域 3 4 との間でオーバーラップキャパシタンス ( 図 8 参照 ) が増加することを防止するために、ゲート電極 4 8 とソース / ドレイン領域 3 4 との間に絶縁物質からなるゲートスペーサ 5 4 を更に形成する。そして、本実施例では、実施例 1 と同じ部材に対しては同じ参照符号で示す。

## 【 0 1 2 7 】

図 5 3 及び図 5 4 に示すように、半導体基板 1 0 の主表面上に垂直方向に形成されたチャンネル 4 4 が形成される。そして、前記チャンネル 4 4 の両側面には前記チャンネル 4 4 と連結されるソース / ドレイン領域 3 4 が形成される。

## 【 0 1 2 8 】

ここで、チャンネル 4 4 の間には、前記チャンネルの長さより短い長さを有するトンネル 4 2 が形成される。そして、最下部に形成されたトンネル 4 2 a は、最下部のチャンネル 4 4 a とその下に位置する半導体基板の表面部位である不純物領域 1 2 との間に形成される。また、最上部のチャンネル 4 4 b 上にはトンネル形状のトンネルグループ 4 2 c が形成される。

## 【 0 1 2 9 】

図 5 5 に示すように、トンネル 4 2 の両側壁及びトンネルグループ 4 2 c の両側壁には、前記チャンネル 4 4 の長さとトンネル 4 2 の長さとの差の半分に該当する厚さ ( d ) で絶縁物質からなるゲートスペーサ 5 4 が形成される。図 5 5 には、前記第 1 チャンネル 4 4 a と第 2 チャンネル 4 4 b との間の第 2 トンネル 4 2 a に形成されたゲートスペーサ 5 4 を示す。また、前記トンネル 4 2 の側壁及びトンネルグループ 4 2 c の側壁を除いたトンネル 4 2 の上部面と下部面、及びトンネルグループ 4 2 c の下部面にはゲート絶縁膜 4 6 が形成される。

## 【 0 1 3 0 】

そして、後続工程の遂行によって前記トンネル 4 2 とトンネルグループ 4 2 c を埋め立てながら前記チャンネル 4 4 を囲むようにゲート電極 4 8 を形成する。ここで、前記ゲート電極 4 8 はポリシリコンを用いて形成する。また、前記ゲート電極 4 8 を形成した後、前記ゲート電極 4 8 の上面に金属シリサイドを用いてゲート積層膜 5 0 を更に形成する。ここで、前記ゲート積層膜 5 0 をゲート電極 4 8 の側壁上部を囲むように形成することによって、歯車型 ( n o t c h e d ) ゲート電極を得ることができる。また、前記ソース / ドレイン領域 3 4 を囲むようにフィールド領域 2 2 が形成される。また、前記半導体基板 1 0 の主な表面には、基底トランジスタの動作を防止するための高濃度のドーピング領域 1 2 が形成される。

## 【 0 1 3 1 】

このように、本実施例では、オーバーラップキャパシタンスが増加することを防止するために、ゲート電極 4 8 とソース / ドレイン領域 3 4 との間に絶縁物質からなるゲートスペーサ 5 4 を更に形成することで、より電気的特性が優れたマルチ - ブリッジチャンネル型 MOS トランジスタを得ることができる。

## 【 0 1 3 2 】

図 5 6 から図 6 9 は、本発明の実施例 3 によるマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法を示す断面図である。

## 【 0 1 3 3 】

図 5 6 に示すように、実施例 1 の図 8 から図 1 3 で説明したものと同一工程を実施する。これによって、半導体基板上に第 2 チャンネル層間膜パターン 1 4 " と第 2 チャンネル膜パターン 1 6 " を含む予備アクティブチャンネルパターン 1 8 a が形成され、ソース / ドレイン領域が定義される。また、反射防止膜パターン 2 8、ダミーゲート膜パターン 2

10

20

30

40

50

6 及びエッチング阻止膜パターン 24 を含むゲートハードマスク膜 29 が前記予備アクティブチャンネルパターン 18 a の上面に形成される。また、前記予備アクティブチャンネルパターン 18 a が形成された外郭にフィールド領域 22 が形成される。

【0134】

図 57 に示すように、前記予備アクティブチャンネルパターン 18 a の露出された側面に形成された第 2 チャンネル層間膜パターン 14 " を選択的に水平エッチングする。これによって、前記第 2 チャンネル層間膜パターン 14 " が形成された領域にはアンダーカット領域 31 が形成される。前記アンダーカット領域は前記第 2 チャンネル層間膜パターン 14 " の両側面を約 600 で除去することによって得ることができる。即ち、前記アンダーカット領域 31 は、前記第 2 チャンネル層間膜パターン 14 " が減少した領域に形成される。これによって、前記第 2 チャンネル層間膜パターン 14 " は第 2 チャンネル膜パターン 16 " より狭い幅を有する第 3 チャンネル層間膜パターン 15 に形成される。ここで、前記第 3 チャンネル層間膜パターン 15 は複数の第 3 チャンネル層間膜パターン 15 a、15 b、15 c を含む。以下、前記複数の第 3 チャンネル層間膜パターン 15 a、15 b、15 c は、第 3 チャンネル層間膜 15 と示す。

10

【0135】

図 58 に示すように、前記第 3 チャンネル層間膜パターン 15 を有する結果物上に絶縁膜を連続に形成する。即ち、前記予備アクティブチャンネルパターン 18 a の側壁と表面、及び前記定義された領域 30 の表面上に連続に絶縁膜 52 を形成する。これによって、前記アンダーカット領域 31 は、前記絶縁膜で埋め立てられる。また、前記絶縁膜は酸化シリコン物を用いて形成する。

20

【0136】

図 59 に示すように、前記絶縁膜 52 をエッチバックする。これによって、前記アンダーカット領域にはゲートスペーサ 54 が形成される。

【0137】

図 60 に示すように、実施例 1 の図 14 及び図 15 と同じ方法で、前記定義された領域 30 の表面、及び前記予備アクティブチャンネルパターン 18 a の両側面上に部分的に選択的エピタキシャル単結晶膜を成長させる。その結果、前記半導体基板にはソース/ドレイン拡張膜 32 が形成される。そして、前記ソース/ドレイン拡張膜 32 が形成された前記定義された領域 30 を埋め立てる導電膜を形成した後、前記導電膜を予備アクティブチャンネルパターン 18 a の表面までエッチバックする。これによって、前記定義された領域 30 には前記導電膜で構成されるソース/ドレイン領域が形成される。ここで、前記ゲートハードマスク 29 の側面下部にソースドレイン領域 34 を形成するための導電膜のテール 34 a が残る場合もある。特に、前記テール 34 a は前記ゲートハードマスク膜パターン 29 のエッチング阻止膜パターン 24 の側面に集中的に残る。

30

【0138】

図 61 に示すように、実施例 1 の図 16 及び図 17 と同じ方法で、前記ソース/ドレイン領域 34、前記予備アクティブチャンネルパターン 18 a 及び基板 10 上にマスク膜を形成した後、前記ダミーゲートパターン 26 の表面が露出されるまで前記マスク膜を平坦化する。その結果、前記マスク膜はダミーゲート膜パターン 26 を露出させるマスク膜パターン 36 を形成する。

40

【0139】

図 62 に示すように、実施例 1 の図 18 及び図 19 と同じ方法で、前記マスク膜パターン 36 を用いて前記ダミーゲート膜パターンを選択的に除去する。これによって、前記エッチング阻止膜パターン 24 の表面が露出されるゲートトレンチ 38 が形成される。ここで、前記エッチング阻止膜パターン 24 は前記ダミーゲート膜パターン 26 を除去するとき、前記エッチング阻止膜パターンの下部に位置した予備アクティブチャンネルパターン 18 a の損傷を防止する。そして、前記エッチング阻止膜パターン 24 の側面にテール 34 a が残っている場合、酸化工程を実施して前記テール 34 a を絶縁膜 40 に形成する。

【0140】

50

図63に示すように、実施例1の図20と同じ方法で、前記露出されたエッチング阻止膜パターン24を除去する。その後、前記マスク膜パターン36を有する結果物上に酸化シリコンを用いて薄膜を形成した後、前記薄膜をエッチバックする。その結果、前記ゲートトレンチ38の側壁に絶縁膜スペーサ56が形成される。ここで、前記絶縁膜スペーサ56は前記ゲートスペーサ54の幅より少し大きい幅を有するよう形成する。

【0141】

図64に示すように、実施例1の図21と同じ方法で、前記ソース/ドレイン領域34をエッチングマスクとして用い、フィールド領域22を選択的にエッチングして前記予備アクティブチャンネルパターン18aの両側面を露出させた後、前記予備アクティブチャンネルパターン18aの第3チャンネル層間膜パターン15を選択的に除去する。前記第3チャンネル層間膜パターン15の選択的除去は前記第3チャンネル層間膜パターン15と第2チャンネル膜パターン16"が有する互いに異なるエッチング選択比を用いたエッチングによって達成される。特に、前記エッチングにおいては、ボロン(B)でドーピングされた第3チャンネル層間膜パターン15を除去するため、特別の困難なしに進行することができる。

10

【0142】

その結果、前記予備アクティブチャンネルパターン18aを貫通する複数のトンネル42a、42bと最上部に位置するトンネルグループ42cとが形成される。また、前記予備アクティブチャンネルパターン18aの第2チャンネル膜パターン16"は、複数のチャンネル44a、44bに形成される。従って、前記半導体基板には前記複数のトンネル42a、42bとトンネルグループ42c、及び前記複数のチャンネル44a、44bを含むアクティブチャンネルパターン45が形成される。そして、前記トンネル42は両側壁に形成されたゲートスペーサ54によって前記チャンネル44の水平長さより短い長さで形成される。以下、前記トンネル42a、42bはトンネル42とも示し、前記チャンネル44a、44bは、チャンネル44とも示す。

20

【0143】

特に、前記チャンネル44の場合には、ホウ素(B)でドーピングされた単結晶半導体物質で形成されたチャンネル膜16で構成されるので、前記チャンネル44はNMOSトランジスタのチャンネルとして把握することができる。従って、前記チャンネル44を対象として後続工程を進行してゲート電極を形成する場合には、最終的にN-MOSトランジスタが具現される。以下、前記チャンネル44はホウ素でドーピングされたチャンネルとも示す。

30

【0144】

従って、本実施例では、前記NMOSトランジスタのチャンネルをPMOSトランジスタのチャンネルに形成するための工程を更に進行する。ここで、前記PMOSトランジスタのチャンネルは前記NMOSトランジスタのチャンネルで形成された領域のうちに部分的に形成する。

【0145】

図65に示すように、実施例1の図22と同じ方法で、前記ホウ素でドーピングされたチャンネル44にリン(P)をドーピングする。その結果、前記ホウ素でドーピングされたチャンネル44はリンでドーピングされたチャンネル49に変換される。ここで、前記リンでドーピングされたチャンネル49は、複数のチャンネル49a、49bを含む。このように、前記リンでドーピングされたチャンネル49を獲得することによって、本実施例では容易にPMOSトランジスタのチャンネルを形成することができる。前記リンのドーピングは主にプラズマ処理によって達成されるが、イオン注入によって達成することもできる。以下、前記ホウ素でドーピングされたチャンネル44を含むアクティブチャンネルパターン45を第1アクティブチャンネルパターンとも示し、前記リンでドーピングされたチャンネル49を含むアクティブチャンネルパターン47を第2アクティブチャンネルパターンとも示す。

40

【0146】

50

図 6 6 に示すように、実施例 1 の図 2 3 と同じ方法で、熱酸化工程を実施する。これによって、前記トンネル 4 2 の上部表面と下部表面、及びトンネルグループ 4 2 c の底面上にシリコン酸化窒化物からなり約 5 0 ㎎ の厚さを有するゲート絶縁膜 4 6 を形成する。

【 0 1 4 7 】

そして、前記ゲート絶縁膜 4 6 を形成する前に、水素 ( H <sub>2</sub> ) 又はアルゴン ( A r ) 雰囲気中で高温熱処理を実施することもできる。このように、前記水素 ( H <sub>2</sub> ) 又はアルゴン ( A r ) 雰囲気中で高温熱処理を実施する場合、前記リンでドーピングされたチャンネル 4 9 の表面粗さが改善することによって、前記ゲート絶縁膜 4 6 と前記リンでドーピングされたチャンネル 4 9 との間の粗さが減少される。

【 0 1 4 8 】

図 6 7 に示すように、実施例 1 の図 2 4 と同じ方法で、前記トンネル 4 2 とトンネルグループ 4 2 c を埋め立てながら、前記リンでドーピングされたチャンネル 4 9 を囲むようにゲート電極 4 8 を形成する。ここで、前記ゲート電極 4 8 は、ドーパポリシリコンを用いて形成する。

【 0 1 4 9 】

図 6 8 に示すように、前記絶縁膜スペーサ 5 6 を選択的に除去して前記ゲート電極 4 8 の上面及び側壁の一部を露出させる。その結果、ゲート電極 4 8 の側壁下部上にはスペーサ残留物 5 6 a が残る。

【 0 1 5 0 】

図 6 9 に示すように、前記露出されたゲート電極 4 8 の上面に金属シリサイドを用いてゲート積層膜 5 0 を形成する。そして、前記ゲート積層膜 5 0 はシリコン酸化物又はシリコン窒化物を用いて形成することもできる。このように、前記ゲート積層膜 5 0 を形成することでゲート抵抗を減らすことができ、ゲートのキャッピング役割を果たすことができる。ここで、前記ゲート電極 4 8 が有する幅は、前記トンネル 4 2 の長さと同じである。そして、前記ゲート積層膜 5 0 が有する幅は前記チャンネル 4 4 の長さと同じである。従って、前記ゲート積層膜 5 0 がゲート電極 4 8 に比べて突出した歯車型プロファイルが形成される。前記歯車型プロファイルの場合には前記ゲート電極 4 8 とゲート積層膜 5 0 との間の接触抵抗を減少させることができる。また、前記ゲート電極 4 8 とソース / ドレイン領域 3 4 との間にゲートスペーサ 5 4 を形成することで、前記ゲート電極 4 8 とソース / ドレイン領域 3 4 との間のオーバーラップキャパシタンスを減らすことができる。

【 0 1 5 1 】

その後、前記絶縁膜スペーサ 5 6 及びマスク膜パターン 3 6 を除去した後、金属配線などの後続工程を進行してマルチ - ブリッジチャンネル型 M O S トランジスタを完成する。場合によっては、前記マスク膜 3 6 を除去せず、そのまま層間絶縁膜として用いることもできる。

【 0 1 5 2 】

このように、本実施例では、N M O S トランジスタのチャンネルに該当する第 1 アクティブチャンネルを前に形成した後、前記第 1 アクティブチャンネルパターンのホウ素でドーピングされたチャンネルをリンでドーピングされたチャンネル膜に形成する。従って、P M O S トランジスタのチャンネルを有するマルチ - ブリッジチャンネル型トランジスタを容易に製造することができる。

【 0 1 5 3 】

( 実施例 4 )

図 7 0 は、本発明の実施例 4 による製造方法で製造されたマルチブリッジチャンネル型 M O S トランジスタを示す断面図である。本実施例は、実施例 2 で説明したマルチ - ブリッジチャンネル型 M O S トランジスタの製造方法に基づいて具体的に説明する。

【 0 1 5 4 】

図 7 0 に示すように、前記第 1 アクティブチャンネルパターン 4 5 の前記第 1 トンネル 4 2 とトンネルグループ 4 2 c を埋め立てながら前記第 1 チャンネル 4 4 を囲むようにゲート電極 4 8 を形成する。これと共に、前記第 2 アクティブチャンネルパターン 4 5 0 の

10

20

30

40

50

前記第2トンネル420とトンネルグループ420cを埋め立てながら前記第1チャンネル490を囲むようにゲート電極480を形成する。これによって、前記N-MOS領域にはN-MOSトランジスタのチャンネルを有するゲート電極48が形成され、前記P-MOS領域にはP-MOSトランジスタのチャンネルを有するゲート電極480が形成される。

【0155】

そして、絶縁膜スペーサを選択的に除去して前記ゲート電極48、480の上面及び側壁の一部を露出させる。その結果、前記ゲート電極48、480それぞれの側壁下部にはスペーサ残留物56aが残る。その後、前記露出されたゲート電極48、480の上面に金属シリサイドを用いてゲート積層膜50を形成する。このように、前記ゲート積層膜50を形成することでゲート抵抗を減少させることができ、ゲートのキャッピング役割も果たすことができる。ここで、前記ゲート電極48、480が有する幅はトンネルの長さと同じである。そして、前記ゲート積層膜50が有する幅は前記チャンネル44、490の長さと同じである。従って、前記ゲート積層膜50がゲート電極48、480に比べて突出した歯車型プロファイルが形成される。前記歯車型プロファイルの場合には前記ゲート電極48、480とゲート積層膜50との間の接触抵抗を減少させることができる。また、前記ゲート電極48、480とソース/ドレイン領域34との間にゲートスペーサ54を形成することで、前記ゲート電極48、480とソース/ドレイン領域34との間のオーバーラップキャパシタンスを減少させることができる。

【0156】

その後、前記絶縁膜スペーサ56及びマスク膜パターン36を除去した後、金属配線などの後続工程を進行してマルチブリッジチャンネル型相補型(CMOS)トランジスタを完成する。場合によっては、前記マスク膜36を除去せず、そのまま層間絶縁膜として用いることもできる。

【0157】

このように、本実施例では、N-MOSトランジスタのチャンネルに該当する第1アクティブチャンネルパターンと、P-MOSトランジスタのチャンネルに該当する第2アクティブチャンネルパターンを単一基板上に容易に形成することができる。即ち、前記N-MOS領域には、N-MOSトランジスタが形成され、前記P-MOS領域にはP-MOSトランジスタが形成される。これは、P-MOSトランジスタのチャンネルに該当する第2アクティブチャンネルパターンを容易に形成することができるためである。従って、単一基板上にN-MOSトランジスタのチャンネルとP-MOSトランジスタのチャンネルとを有するマルチブリッジチャンネル型相補型MOSトランジスタを容易に製造することができる。特に、前記ゲート電極とゲート積層膜との間の接触抵抗が十分低く、前記ゲート電極とソース/ドレイン領域との間のオーバーラップキャパシタンスが十分減少したマルチブリッジチャンネル型相補型MOSトランジスタを容易に製造することができる。

【0158】

(実施例5)

図71は、本発明の実施例5による製造方法で製造されたマルチブリッジチャンネル型MOSトランジスタを示す断面図である。本実施例は、実施例3で説明したマルチブリッジチャンネル型MOSトランジスタの製造方法に基づいて具体的に説明する。

【0159】

図71に示すように、ゲート電極48と金属シリサイドからなるゲート積層膜50aとが同じ幅を有することを除いては、実施例3の方法によって製造されたマルチブリッジチャンネル型MOSトランジスタと同じである。

【0160】

実施例3の方法によってゲート絶縁膜46を形成する。その後、前記トンネルとトンネルグループを埋め立てながら、前記チャンネル44を取り囲むようにゲート電極48を形成する。従って、前記ゲート電極48は、前記トンネルの幅と同じ幅を有するように形成される。その後、前記ゲート電極48上にゲート積層膜50を形成した後、ゲートトレン

チ 3 8 の側壁に形成された絶縁膜スペーサを除去する。その結果、前記ゲート積層膜 5 0 もゲート電極 4 8 と同じ幅を有するように形成される。

【 0 1 6 1 】

本実施例の場合にも、まず、N M O S トランジスタのチャンネルに該当する第 1 アクティブチャンネルパターンを形成した後、前記第 1 アクティブチャンネルパターンのホウ素でドーピングされたチャンネルをリンでドーピングされたチャンネル膜に形成する。従って、P M O S トランジスタのチャンネルを有するマルチ - ブリッジチャンネル型トランジスタを容易に製造することができる。

【 0 1 6 2 】

( 実施例 6 )

図 7 2 は、本発明の実施例 6 による製造方法で製造されたマルチ - ブリッジチャンネル型 M O S トランジスタを示す断面図である。本実施例は、実施例 3 と実施例 5 で説明したマルチ - ブリッジチャンネル型 M O S トランジスタの製造方法に基づいて具体的に説明する。

【 0 1 6 3 】

図 7 2 に示すように、実施例 2 の方法によって N M O S トランジスタのチャンネルに該当する第 1 アクティブチャンネルパターンと P M O S トランジスタのチャンネルに該当する第 2 アクティブチャンネルパターンとを単一基板上に形成する。そして、実施例 5 の方法によって前記ゲート電極 4 8 とゲート積層膜を前記トンネルの幅と同じ幅を有するように形成する。

【 0 1 6 4 】

従って、単一基板上に N M O S トランジスタのチャンネルと P M O S トランジスタのチャンネルを有し、電気的特性に優れたマルチ - ブリッジチャンネル型相補型 M O S トランジスタを容易に製造することができる。

【 0 1 6 5 】

( 実施例 7 )

図 7 3 から図 8 3 は、本発明の実施例 7 によるマルチ - ブリッジチャンネル型 M O S トランジスタの製造方法を示す断面図である。本実施例は、実施例 1 で説明したマルチ - ブリッジチャンネル型 M O S トランジスタの製造方法に基づいて具体的に説明する。

【 0 1 6 6 】

図 7 3 に示すように、実施例 1 と同じ方法で、半導体基板上に第 2 チャンネル層間膜パターン 1 4 " と第 2 チャンネル膜パターン 1 6 " を含む予備アクティブチャンネルパターン 1 8 a が形成され、ソース / ドレイン領域が定義される。又、反射防止膜パターン 2 8 、ダミーゲート膜パターン 2 6 及びエッチング阻止膜パターン 2 4 を含むゲートハードマスク膜 2 9 が前記予備アクティブチャンネルパターン 1 8 a の上面に形成される。又、前記予備アクティブチャンネルパターン 1 8 a が形成された外郭にフィールド領域 2 2 が形成される。

【 0 1 6 7 】

そして、前記予備アクティブチャンネルパターン 1 8 a の側壁と表面、前記定義された領域 3 0 の表面、及びフィールド領域 2 2 の表面上に酸化抑制膜 5 8 を連続的に形成する。ここで、前記酸化抑制膜 5 8 は、前記フィールド領域に対してエッチング選択比を有する物質であって、シリコン酸化物で形成される。

【 0 1 6 8 】

図 7 4 に示すように、前記酸化抑制膜 5 8 を異方性エッチングする。その結果、前記予備アクティブチャンネルパターン 1 8 a の側壁と前記定義された領域 3 0 の内側面とに酸化防止スペーサ 5 8 a が形成される。又、前記半導体基板の表面 5 9 は露出される。

【 0 1 6 9 】

図 7 5 に示すように、熱酸化工程を実施して、前記露出された半導体基板の表面 5 9 を酸化させる。その結果、前記露出された半導体基板の表面 5 9 上には、酸化シリコンからなる絶縁膜パターン 6 0 が形成される。

10

20

30

40

50

## 【 0 1 7 0 】

図 7 6 に示すように、リン酸等を用いたウェットエッチングを実施して、前記酸化防止スペーサ 5 8 a を選択的に除去する。その結果、前記露出された半導体基板の表面 5 9 上にはのみ絶縁膜パターン 6 0 が残留する。

## 【 0 1 7 1 】

図 7 7 に示すように、前記定義された部分 3 0 の表面、及び前記予備アクティブチャンネルパターン 1 8 a の両方側面上に部分的に選択的エピタキシャル単結晶膜を成長させる。その結果、前記半導体基板には、ソース/ドレイン拡張膜 3 2 a が形成される。この際、前記ソース/ドレイン拡張膜 3 2 a は、前記絶縁膜パターン 6 0 を除いた領域でのみ成長する。即ち、前記シリコン物質からなる部分でのみ成長する。その結果、前記ソース/ドレイン拡張膜 3 2 a は、前記予備アクティブチャンネルパターン 1 8 a の側面より厚く成長する。又、本実施例では、前記ダミーゲートパターン 2 6 の側壁にテール 3 4 a が残留しない。

10

## 【 0 1 7 2 】

そして、前記ソース/ドレイン拡張膜 3 2 a が形成された前記定義された領域 3 0 を埋め立てるように導電膜を形成した後、前記導電膜を予備アクティブチャンネルパターン 1 8 a の表面までエッチバックする。その結果、前記定義された領域 3 0 には、前記導電膜からなるソース/ドレイン領域 3 4 0 a が形成される。

## 【 0 1 7 3 】

図 7 8 に示すように、前記ソース/ドレイン領域 3 4 0 a と予備アクティブチャンネルパターン 1 8 a、及び基板 1 0 上にシリコン窒化物を用いてマスク膜を形成した後、前記ダミーゲート膜パターン 2 6 の表面が露出されるまで、前記マスク膜を平坦化させる。その結果、前記半導体基板 1 0 上にはマスク膜パターン 3 6 が形成される。

20

## 【 0 1 7 4 】

図 7 9 に示すように、前記ダミーゲート膜パターン 2 6 を選択的に除去してゲートトレンチ 3 8 を形成する。その後、前記ゲートトレンチ 3 8 を通じて露出されたエッチング阻止膜パターン 2 4 を除去する。

## 【 0 1 7 5 】

図 8 0 に示すように、実施例 1 の図 2 1 と同じ方法で前記ソース/ドレイン領域 3 4 をエッチングマスクとして用いて、フィールド領域 2 2 を選択的にエッチングし、前記予備アクティブチャンネルパターン 1 8 a の両方側面を露出させた後、前記予備アクティブチャンネルパターン 1 8 a の第 2 チャンネル層間膜パターン 1 4 " を選択的に除去する。前記第 2 チャンネル層間膜パターン 1 4 " の選択的除去は、前記第 2 チャンネル層間膜パターン 1 4 " と第 2 チャンネル膜パターン 1 6 " が有する互いに異なるエッチング選択比を用いたエッチングによって達成される。特に、前記エッチングではボロン B でドーピングされた第 2 チャンネル層間膜パターン 1 4 " を除去するので、エッチングを容易に進行することができる。

30

## 【 0 1 7 6 】

その結果、前記予備アクティブチャンネルパターン 1 8 a を貫通する複数個のトンネル 4 2 a、4 2 b と最上部に位置するトンネルグループ 4 2 c とが形成される。又、前記予備アクティブチャンネルパターン 1 8 a の第 2 チャンネルパターン 1 6 " は、複数個のチャンネル 4 4 a、4 4 b に形成される。従って、前記半導体基板には、前記複数個のトンネル 4 2 a、4 2 b とトンネルグループ 4 2 c、及び前記複数個のチャンネル 4 4 a、4 4 b を含むアクティブチャンネルパターン 4 5 が形成される。以下、前記トンネル 4 2 a、4 2 b はトンネル 4 2 と表現し、前記チャンネル 4 4 a、4 4 b はチャンネル 4 4 と表現する。

40

## 【 0 1 7 7 】

特に、前記チャンネル 4 4 の場合には、ホウ素 ( B ) でドーピングされた単結晶半導体物質で形成されたチャンネル膜で構成されるので、前記チャンネル 4 4 は N M O S トランジスタのチャンネル として把握することができる。従って、前記チャンネル 4 4 を対象と

50

して後続工程を進行してゲート電極を形成する場合には、最終的にN-MOSトランジスタが具現される。以下、前記チャンネル44はホウ素でドーピングされたチャンネルとも表現する。

【0178】

従って、本実施例では前記NMOSトランジスタのチャンネルをPMOSトランジスタのチャンネルに形成するための工程を更に進行する。この際、前記PMOSトランジスタのチャンネルは前記NMOSトランジスタのチャンネルに形成された領域のうちで部分的に形成する。

【0179】

図81に示すように、実施例1の図22と同じ方法で前記ホウ素でドーピングされたチャンネル44にリン(P)をドーピングする。その結果、前記ホウ素でドーピングされたチャンネル44は、リンでドーピングされたチャンネル49に変換される。ここで、前記リンでドーピングされたチャンネル49は、複数個のチャンネル49a、49bを含む。このように、前記リンでドーピングされたチャンネル49を得ることにより、本実施例では容易にPMOSトランジスタのチャンネルを形成することができる。前記リンのドーピングは主にプラズマ処理によって達成されるが、イオン注入によって達成することもできる。以下、前記ホウ素でドーピングされたチャンネル44を含むアクティブチャンネルパターン45を第1アクティブチャンネルパターンとも表現し、前記リンでドーピングされたチャンネル49を含むアクティブチャンネルパターン47を第2アクティブチャンネルパターンとも表現する。

10

20

【0180】

図82に示すように、実施例1の図23と同じ方法で熱酸化工程を実施する。これによって、前記トンネル42の上部表面と下部表面、及びトンネルグループ42cの底面上にシリコン酸化窒化物(silicon oxide nitride)からなり約50の厚さを有するゲート絶縁膜46を形成する。そして、前記ゲート絶縁膜46を形成する前に、水素(H<sub>2</sub>)又はアルゴン(Ar)雰囲気で行う高温熱処理を実施することもできる。このように、前記水素(H<sub>2</sub>)又はアルゴン(Ar)雰囲気で行う高温熱処理を実施する場合、前記リンでドーピングされたチャンネル49の表面粗さが改善されるので、前記ゲート絶縁膜46と前記リンでドーピングされたチャンネル49との間の粗さが減少される。

【0181】

30

その後、実施例1の図24と同じ方法で前記トンネル42とトンネルグループ42cを埋め立てながら、前記リンでドーピングされたチャンネル49を取り囲むようにゲート電極48を形成する。この際、前記ゲート電極48は、ドーブポリシリコンを用いて形成する。そして、前記ゲート電極48の上面に金属シリサイドを用いてゲート積層膜50を形成する。

【0182】

図83に示すように、前記マスクパターン36を除去した後、金属配線等の後続工程を進行して、マルチブリッジチャンネル型MOSトランジスタを完成する。

【0183】

特に、本実施例では、半導体基板の表面に絶縁膜パターン60を形成して、ソース/ドレイン接合キャパシタンスを減少させることができる。従って、接合キャパシタンスを十分に減少させたマルチブリッジチャンネル型トランジスタを容易に製造することができる。

40

【0184】

(実施例8)

図84は、本発明の実施例8による製造方法で製造されたマルチブリッジチャンネル型MOSトランジスタを示す断面図である。本実施例は、実施例2と実施例7で説明したマルチブリッジチャンネル型MOSトランジスタの製造方法に基づいて具体的に説明する。

【0185】

50

図 8 4 に示すように、実施例 2 の方法によって、NMOS トランジスタのチャンネルに該当する第 1 アクティブチャンネルパターンと PMOS トランジスタのチャンネルに該当する第 2 アクティブチャンネルパターンを単一基板上に形成する。そして、実施例 7 の方法によって、半導体基板 1 0 の露出された表面上に絶縁膜パターン 6 0 を形成する。

【 0 1 8 6 】

従って、単一基板上に NMOS トランジスタのチャンネルと PMOS トランジスタのチャンネルを有し、接合キャパシタンスを十分に減少させたマルチ - ブリッジチャンネル型相補型 MOS トランジスタを容易に製造することができる。

【 0 1 8 7 】

( 実施例 9 )

図 8 5 は、本発明の実施例 9 による製造方法で製造されたマルチ - ブリッジチャンネル型 MOS トランジスタを示す断面図である。本実施例は、実施例 1、実施例 3 及び実施例 7 で説明したマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法に基づいて説明する。

【 0 1 8 8 】

図 8 5 に示すように、本実施例は前記定義された領域 3 0 をエピタキシャル方法で完全に埋め立ててソース / ドレイン領域 3 4 を形成することを除いては、実施例 1 と同じである。従って、別のソース / ドレイン拡張膜を形成する必要がない。又、実施例 3 の方法を適用して、ゲート電極 4 8 とソース / ドレイン領域 3 4 との間に絶縁物質からなるゲートスペーサ 5 4 を形成することもでき、実施例 7 の方法を適用して半導体基板の表面に絶縁膜パターン 6 0 を形成することもできる。

【 0 1 8 9 】

これによって、NMOS トランジスタのチャンネルのみならず PMOS トランジスタのチャンネルを有し、電気的特性に優れたチャンネル型 MOS トランジスタを容易に製造することができる。

【 0 1 9 0 】

又、本実施例は実施例 2 の方法も適用が可能である。これにより、単一基板上に NMOS トランジスタのチャンネルと PMOS トランジスタのチャンネルを有し、電気的特性に優れたマルチ - ブリッジチャンネル型相補型 MOS トランジスタを容易に製造することができる。

【 0 1 9 1 】

( 実施例 1 0 )

図 8 6 は、本発明の実施例 1 0 による製造方法で製造されたマルチ - ブリッジチャンネル型 MOS トランジスタを示す断面図である。本実施例は、実施例 1、実施例 3 及び実施例 7 のマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法に基づいて具体的に説明する。

【 0 1 9 2 】

図 8 6 に示すように、本実施例は前記定義された領域 3 0 を導電膜で埋め立ててソース / ドレイン領域 3 4 を形成することを除いては、実施例 1 と同じである。ここで、前記導電膜は、ポリシリコン、金属、金属シリサイド等のような物質を用いて形成する。従って、本実施例の場合にも別のソース / ドレイン拡張膜を形成する必要がない。又、実施例 3 の方法を適用して、ゲート電極 4 8 とソース / ドレイン領域 3 4 との間に絶縁物質からなるゲートスペーサ 5 4 を形成することもでき、実施例 7 の方法を適用して半導体基板の表面に絶縁膜パターン 6 0 を形成することもできる。

【 0 1 9 3 】

これによって、NMOS トランジスタのチャンネルのみならず PMOS トランジスタのチャンネルを有し、電気的特性に優れたチャンネル型 MOS トランジスタを容易に製造することができる。

【 0 1 9 4 】

又、本実施例は実施例 2 の方法も適用が可能である。これにより、単一基板上に NMOS

10

20

30

40

50

SトランジスタのチャンネルとPMOSトランジスタのチャンネルを有し、電気的特性に優れたマルチ-ブリッジチャンネル型相補型MOSトランジスタを容易に製造することができる。

【0195】

(実施例11)

図87は、本発明の実施例11による製造方法で製造されたマルチ-ブリッジチャンネル型MOSトランジスタを示す断面図である。本実施例は、実施例1、実施例3及び実施例7で説明したマルチブリッジチャンネル型MOSトランジスタの製造方法に基づいて説明する。

【0196】

図87に示すように、本実施例はチャンネル層間膜とチャンネル膜の厚さ及び反復回数  
10  
の調節により、チャンネルの個数とトンネルの厚さとが異なることを除いては、実施例1と同じである。又、実施例3の方法を適用して、ゲート電極48とソース/ドレイン領域34との間に絶縁物質からなるゲートスペーサ54を形成することもでき、実施例7の方法を適用して半導体基板の表面に絶縁膜パターン60を形成することもできる。

【0197】

これによって、NMOSトランジスタのチャンネルのみならずPMOSトランジスタのチャンネルを有し、電気的特性に優れたチャンネル型MOSトランジスタを容易に製造することができる。

【0198】

又、本実施例は実施例2の方法も適用が可能である。これにより、単一基板上にNMOSトランジスタのチャンネルとPMOSトランジスタのチャンネルを有し、電気的特性に優れたマルチ-ブリッジチャンネル型相補型MOSトランジスタを容易に製造することができる。

【0199】

(実施例12)

図88は、本発明の実施例12による製造方法で製造されたマルチ-ブリッジチャンネル型MOSトランジスタを示す断面図である。本実施例は、実施例2で説明したマルチ-ブリッジチャンネル型MOSトランジスタの製造方法に基づいて具体的に説明する。

【0200】

図88に示すように、本実施例はシリコン-オン-インシュレータ基板の酸化膜70を用いることを除いては、実施例1と同じである。これによって、NMOSトランジスタのチャンネルのみならずPMOSトランジスタのチャンネルを有し、電気的特性に優れたチャンネル型MOSトランジスタを容易に製造することができる。

【0201】

又、本実施例は実施例2の方法も適用が可能である。これにより、単一基板上にNMOSトランジスタのチャンネルとPMOSトランジスタのチャンネルを有し、電気的特性に優れたマルチ-ブリッジチャンネル型相補型MOSトランジスタを容易に製造することができる。

【0202】

(実施例13)

図89は、本発明の実施例13による製造方法で製造されたマルチ-ブリッジチャンネル型MOSトランジスタを示す断面図である。本実施例は、実施例1で説明したマルチ-ブリッジチャンネル型MOSトランジスタの製造方法に基づいて具体的に説明する。

【0203】

図89に示すように、本実施例は最下に位置するトンネルが有する高さ $t$ を残りのトンネルが有する高さより高くして、ゲート電極48を形成することを除いては、実施例1と類似である。即ち、本実施例は半導体基板10上に複数個のチャンネル層間膜14及び複数個のチャンネル膜16を反復して積層する時、最下に積層するチャンネル層間膜の厚さ $t$ を残りのチャンネル層間膜の厚さより厚く形成することにより得られる。実施例9のよ  
50

うに前記定義された領域 30 をエピタキシャル方法で完全に埋め立ててソース/ドレイン領域 34 を形成することもできる。

【0204】

これによって、NMOSトランジスタのチャンネルのみならずPMOSトランジスタのチャンネルを有し、電気的特性に優れたチャンネル型MOSトランジスタを容易に製造することができる。

【0205】

又、本実施例は実施例2の方法も適用が可能である。これにより、単一基板上にNMOSトランジスタのチャンネルとPMOSトランジスタのチャンネルを有し、電気的特性に優れたマルチ-ブリッジチャンネル型相補型MOSトランジスタを容易に製造することができる。

10

【0206】

(実施例14)

図90から図97は、本発明の実施例14によるマルチ-ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。本実施例は、実施例1で説明したマルチ-ブリッジチャンネル型MOSトランジスタの製造方法に基づいて具体的に説明する。

【0207】

図90から図94に示すように、本実施例はソース/ドレイン拡張膜32を形成する工程まで実施例1と同様に進行する。その後、前記フィールド領域22、ソース/ドレイン拡張膜32及びゲートハードマスク膜29の表面上に第1絶縁膜62を連続的に形成する。この際、前記第1絶縁膜62は、前記フィールド領域22に対してエッチング選択比を有するシリコン窒化物を用いて形成する。

20

【0208】

前記ソース/ドレイン領域を形成するための定義された領域30を十分に埋め立てるように第2絶縁膜64を形成する。前記第2絶縁膜64は、前記第1絶縁膜62に対してエッチング選択比を有するシリコン酸化物を用いて形成する。そして、前記第2絶縁膜64を最下に位置した第2チャンネル層間膜パターン14a"までエッチバックする。これによって、前記定義された領域30の底面に第2絶縁膜パターン64aが形成される。その後、前記第2絶縁膜パターン64aをエッチングマスクとして用いて、前記第1絶縁膜62をエッチバックする。その結果、前記第2絶縁膜パターン64aの下部に第1絶縁膜パターン62aが形成される。そして、前記定義された領域30を導電膜で埋め立てることにより、ソース/ドレイン領域34を形成する。

30

【0209】

図95に示すように、マスク膜パターン36を用いてゲートハードマスク膜パターン29を選択的に除去して、ゲートトレンチを形成する。その後、前記ソース/ドレイン領域34をエッチングマスクとして用いて、フィールド領域22を選択的にエッチングして、前記予備アクティブチャンネルパターン18aの両方側面を露出させた後、前記予備アクティブチャンネルパターン18aの第2チャンネル層間膜パターン14"を選択的に除去する。前記第2チャンネル層間膜パターン14"の選択的除去は、前記第2チャンネル層間膜パターン14"と第2チャンネル膜パターン16"が有する互いに異なるエッチング選択比を用いたエッチングによって達成される。特に、前記エッチングではボロン(B)でドーピングされた第2チャンネル層間膜パターン14"を除去するので、エッチングを容易に進行することができる。

40

【0210】

その結果、前記予備アクティブチャンネルパターン18aを貫通する複数個のトンネル42a、42bと最上部に位置するトンネルグループ42cとが形成される。又、前記予備アクティブチャンネルパターン18aの第2チャンネル膜パターン16"は、複数個のチャンネル44a、44bに形成される。従って、前記半導体基板10上には、前記複数個のトンネル42a、42bとトンネルグループ42c、及び前記複数個のチャンネル44a、44bを含むアクティブチャンネルパターン45が形成される。以下、前記トンネ

50

ル 4 2 a、4 2 b はトンネル 4 2 とともに表現し、前記チャンネル 4 4 a、4 4 b はチャンネル 4 4 とともに表現する。

【 0 2 1 1 】

特に、前記チャンネル 4 4 の場合には、ホウ素 ( B ) でドーピングされた単結晶半導体物質で形成されたチャンネル膜 1 6 で構成されるので、前記チャンネル 4 4 は N M O S トランジスタのチャンネル として把握することができる。従って、前記チャンネル 4 4 を対象として後続工程を進行して、ゲート電極を形成する場合には、最終的に N - M O S トランジスタが具現される。以下、前記チャンネル 4 4 は ホウ素 でドーピングされたチャンネルとも表現する。

【 0 2 1 2 】

従って、本実施例では、前記 N M O S トランジスタのチャンネル を P M O S トランジスタのチャンネル に形成するための工程を更に進行する。この際、前記 P M O S トランジスタのチャンネル は、前記 N M O S トランジスタのチャンネル で形成された領域のうちで部分的に形成する。

【 0 2 1 3 】

図 9 6 に示すように、実施例 1 の図 2 2 と同じ方法で、前記 ホウ素 でドーピングされたチャンネル 4 4 にリン ( P ) をドーピングする。その結果、前記 ホウ素 でドーピングされたチャンネル 4 4 は、リンでドーピングされたチャンネル 4 9 に変換される。ここで、前記リンでドーピングされたチャンネル 4 9 は、複数個のチャンネル 4 9 a、4 9 b を含む。このように、前記リンでドーピングされたチャンネル 4 9 を得ることにより、実施例 3 20  
では容易に P M O S トランジスタのチャンネル を形成することができる。前記リンのドーピングは主にプラズマ処理によって達成されるが、イオン注入によって達成することもできる。以下、前記 ホウ素 でドーピングされたチャンネル 4 4 を含むアクティブチャンネルパターン 4 5 を第 1 アクティブチャンネルパターンとも表現し、前記リンでドーピングされたチャンネル 4 9 を含むアクティブチャンネルパターン 4 7 を第 2 アクティブチャンネルパターンとも表現する。

【 0 2 1 4 】

図 9 7 に示すように、熱酸化工程を実施する。これによって、前記トンネル 4 2 の上部表面と下部表面、及びトンネルグループ 4 2 c の底面上にシリコン酸化窒化物からなり約 5 0 の厚さを有するゲート絶縁膜 4 6 を形成する。その後、前記トンネル 4 2 とトンネル 30  
グループ 4 2 c を埋め立てながら、前記リンでドーピングされたチャンネル 4 9 を取り囲むようにゲート電極 4 8 を形成する。この際、前記ゲート電極 4 8 は、ドーブポリシリコンを用いて形成する。そして、前記露出されたゲート電極 4 8 の上面に金属シリサイドを用いてゲート積層膜 5 0 を形成する。そして、前記ゲート積層膜 5 0 は、シリコン酸化物又はシリコン窒化物を用いて形成することもできる。その後、前記絶縁膜スペーサ 5 6 及びマスク膜パターン 3 6 を除去した後、金属配線等の後続工程を進行して、マルチ - ブリッジチャンネル型 M O S トランジスタを完成する。場合によっては、前記マスク膜 3 6 を除去せず、そのまま層間絶縁膜として用いることもできる。

【 0 2 1 5 】

このように、本実施例では N M O S トランジスタのチャンネル に該当する第 1 アクティブチャンネルパターンをまず形成した後、前記第 1 アクティブチャンネルパターンの ホウ素 でドーピングされたチャンネルをリンでドーピングされたチャンネル膜に形成する。従って、P M O S トランジスタのチャンネル を有するマルチ - ブリッジチャンネル型トランジスタを容易に製造することができる。又、半導体基板の表面に第 1 絶縁膜パターン 6 2 a と第 2 絶縁膜パターン 6 4 a を形成することにより、ソース / ドレイン領域の接合キャパシタンスを十分に減少させることもできる。

【 0 2 1 6 】

( 実施例 1 5 )

図 9 8 は、本発明の実施例 1 5 による製造方法で製造されたマルチ - ブリッジチャンネル型 M O S トランジスタを示す断面図である。本実施例は、実施例 2 と実施例 1 4 で説明 50

10

20

30

40

50

したマルチ - ブリッジチャンネル型MOSトランジスタの製造方法に基づいて具体的に説明する。

【0217】

図98に示すように、実施例2の方法によって、NMOSトランジスタのチャンネルに該当する第1アクティブチャンネルパターンとPMOSトランジスタのチャンネルに該当する第2アクティブチャンネルパターンを単一基板上に形成する。そして、実施例14の方法によって前記半導体基板の表面に第1絶縁膜パターン62aと第2絶縁膜パターン64aを形成する

【0218】

従って、単一基板上にNMOSトランジスタのチャンネルとPMOSトランジスタのチャンネルを有し、ソース/ドレイン領域の接合キャパシタンスに優れたマルチ - ブリッジチャンネル型相補型MOSトランジスタを容易に製造することができる。

【0219】

(実施例16)

図99から図103は、本発明の実施例16によるマルチ - ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【0220】

図99及び図100に示すように、半導体基板10上に酸化膜80を形成する。そして、前記酸化膜80上にフォトレジストパターン82を形成する。この際、フォトレジストパターンは、マルチ - ブリッジチャンネル領域Mを露出させる。その後、前記フォトレジストパターン82をエッチングマスクとして用いて前記酸化膜80をエッチングする。これによって、マルチ - ブリッジチャンネル領域Mと単一チャンネル領域Sを限定する酸化膜パターン80aが形成される。この際、前記酸化膜パターン80aは、単一チャンネル領域S上のみ残る。その後、マルチ - ブリッジチャンネル領域Mの露出された基板表面に高濃度ドーピング領域12を形成する。

【0221】

図101に示すように、前記フォトレジストパターン82を除去した後、選択的エピタキシャル成長法を用いて、前記マルチ - ブリッジチャンネル領域Mの基板上に複数個のチャンネル層間膜14a、14b、14c及び複数個のチャンネル膜16a、16bを交互に積層する。この際、複数個のチャンネル層間膜14a、14b、14c及び複数個のチャンネル膜16a、16bにはボロンがドーピングされる。以下、前記複数個のチャンネル層間膜14a、14b、14cは、チャンネル層間膜14とも表現し、複数個のチャンネル膜16a、16bはチャンネル膜16とも表現する。

【0222】

このように、前記チャンネル層間膜14とチャンネル膜16を形成した結果、単一チャンネル領域S上にはエピタキシャル膜が成長しない。反面、前記マルチ - ブリッジチャンネル領域Mにのみ前記チャンネル層間膜14とチャンネル膜16を含む予備アクティブチャンネルパターン18が形成される。

【0223】

図102に示すように、前記予備アクティブチャンネルパターン18aのチャンネル層間膜14を選択的に除去する。前記チャンネル層間膜14の選択的除去は、前記チャンネル層間膜14とチャンネル膜16が有する互いに異なるエッチング選択比を用いたエッチングによって達成される。特に、前記エッチングではボロン(B)でドーピングされたチャンネル層間膜14を除去するので、エッチングを容易に進行することができる。

【0224】

その結果、前記予備アクティブチャンネルパターン18aを貫通する複数個のトンネル42a、42b、42cが形成される。又、前記予備アクティブチャンネルパターン18aのチャンネル膜16は、複数個のチャンネル44a、44bに形成される。従って、前記半導体基板10上には、前記複数個のトンネル42a、42b、42cと前記複数個のチャンネル44a、44bを含むアクティブチャンネルパターン45が形成される。以下

、前記トンネル42a、42bはトンネル42とも表現し、前記トンネル44a、44bはチャンネル44とも表現する。

【0225】

特に、前記チャンネル44の場合には、ホウ素(B)でドーピングされた単結晶半導体物質で形成されたチャンネル膜16で構成されるので、前記チャンネル44はNMOSトランジスタのチャンネルとして把握することができる。従って、前記チャンネル44を対象として後続工程を進行して、ゲート電極を形成する場合には、最終的にN-MOSトランジスタが具現される。以下、前記チャンネル44は、ホウ素でドーピングされたチャンネルとも表現する。

【0226】

従って、本実施例では前記NMOSトランジスタのチャンネルをPMOSトランジスタのチャンネルに形成するための工程を更に進行する。この際、前記PMOSトランジスタのチャンネルは前記NMOSトランジスタのチャンネルで形成された領域のうちで部分的に形成する。

【0227】

図103に示すように、実施例1の図22と同じ方法で、前記ホウ素でドーピングされたチャンネル44にリン(P)をドーピングする。その結果、前記ホウ素でドーピングされたチャンネル44は、リンでドーピングされたチャンネル49に変換される。ここで、前記リンでドーピングされたチャンネル49は、複数個のチャンネル49a、49bを含む。このように、前記リンでドーピングされたチャンネル49を得ることにより、本実施例では容易にPMOSトランジスタのチャンネルを形成することができる。前記リンのドーピングは主にプラズマ処理によって達成されるが、イオン注入によって達成することもできる。以下、前記ホウ素でドーピングされたチャンネル44を含むアクティブチャンネルパターン45を第1アクティブチャンネルパターンとも表現し、前記リンでドーピングされたチャンネル49を含むアクティブチャンネルパターン47を第2アクティブチャンネルパターンとも表現する。

【0228】

その後、前記トンネル42とトンネルグループ42cを埋め立てながら、前記リンでドーピングされたチャンネル49を取り囲むようにゲート電極を形成する。

【0229】

従って、本実施例では、NMOSトランジスタのチャンネルに該当する第1アクティブチャンネルパターンをまず形成した後、前記第1アクティブチャンネルパターンのホウ素でドーピングされたチャンネルをリンでドーピングされたチャンネル膜に形成する。そのため、PMOSトランジスタのチャンネルを有するマルチ-ブリッジチャンネル型トランジスタを容易に製造することができる。又、実施例2に本実施例の方法を適用することにより、マルチ-ブリッジチャンネル型相補型MOSトランジスタの製造も可能である。

【0230】

(実施例17)

図104から図106は、本発明の実施例17によるマルチ-ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。本実施例は、実施例1で説明したマルチ-ブリッジチャンネル型MOSトランジスタの製造方法に基づいて具体的に説明する。

【0231】

図104に示すように、不純物がドーピングされないチャンネル膜とチャンネル層間膜を交互に積層することを除いては、実施例1の図8から図21で説明した工程と同様な工程を進行する。これによって、基板10上には不純物がドーピングされないチャンネル膜によって形成されるチャンネル544a、544bと、不純物がドーピングされないチャンネル層間膜の選択的除去によって形成されるトンネル542a、542b及びトンネルグループ542cとを含むアクティブチャンネルパターン545が形成される。以下、前記トンネル542a、542bはトンネル542とも表現し、前記チャンネル544a、544bはチャンネル544とも表現する。

10

20

30

40

50

## 【 0 2 3 2 】

図 1 0 5 に示すように、前記アクティブチャンネルパターン 5 4 5 に導電型不純物のドーピングを実施する。この際、前記導電型不純物としてはボロンを選択するか、リンを選択することができる。ここで、前記ボロンのドーピングをまず実施する場合には、リンのドーピングを以後に実施する。そして、前記リンのドーピングをまず実施する場合には、ボロンのドーピングを以後に実施する。

## 【 0 2 3 3 】

本実施例では、ボロンをまずドーピングする。前記ボロンのドーピングは、プラズマ処理によって達成されるが、イオン注入によって達成することもできる。又、前記アクティブチャンネルパターン 5 4 5 に前記ボロンのドーピングを実施するか、又は前記アクティブチャンネルパターン 5 4 5 の一部に前記ボロンのドーピングを実施することができる。

10

## 【 0 2 3 4 】

仮に、前記アクティブチャンネルパターンの一部に前記ボロンのドーピングを実施する場合には、残りの他のアクティブチャンネルパターンに前記ボロンのドーピングを遮断するためのフォトレジストパターンのようなマスクを形成する。

## 【 0 2 3 5 】

このように、前記ボロンのドーピングを実施することにより、前記アクティブチャンネルパターン 5 4 5 は、ボロンがドーピングされたアクティブチャンネルパターン 5 4 5 ' に転換される。即ち、前記チャンネル 5 4 5 がボロンがドーピングされたチャンネル 5 4 4 ' に転換される。

20

## 【 0 2 3 6 】

図 1 0 6 に示すように、前記ボロンのドーピングを実施した後、前記アクティブチャンネルパターン 5 4 5 ' にリンをドーピングする。この際、前記リンのドーピングはプラズマ処理によって達成されるが、イオン注入によって達成することもできる。

## 【 0 2 3 7 】

そして、前記ボロンがドーピングされたアクティブチャンネルパターン 5 4 5 ' に前記リンのドーピングを実施するか、又は前記ボロンがドーピングされたアクティブチャンネルパターン 5 4 5 ' の一部に前記リンのドーピングを実施することができる。

## 【 0 2 3 8 】

仮に、前記ボロンがドーピングされたアクティブチャンネルパターンの一部に前記リンのドーピングを実施する場合には、残りの他のボロンがドーピングされたアクティブチャンネルパターンに前記リンのドーピングを遮断するためのフォトレジストパターンのようなマスクを形成する。

30

## 【 0 2 3 9 】

このように、前記リンのドーピングを実施することにより、前記ボロンがドーピングされたアクティブチャンネルパターン 5 4 5 ' は、リンがドーピングされたアクティブチャンネルパターン 5 4 5 " に転換される。即ち、前記ボロンがドーピングされたチャンネル 5 4 5 ' がリンがドーピングされたチャンネル 5 4 4 " に転換される。

## 【 0 2 4 0 】

その後、図 2 4 から図 2 6 で説明した工程を進行して、ゲート電極を形成することにより、マルチ - ブリッジチャンネル型 MOS トランジスタを形成する。

40

## 【 0 2 4 1 】

本実施例では、不純物がドーピングされないチャンネル膜によって形成されるチャンネルと、不純物がドーピングされないチャンネル層間膜の選択的除去によって形成されるトンネルとを含むアクティブチャンネルパターンを形成した後、ボロン又はリンのドーピングを実施する。特に、前記不純物がドーピングされないチャンネル層間膜を選択的に除去するので、選択的除去を容易に進行することができる。又、アクティブチャンネルパターンの一部にボロンをドーピングし、残りのアクティブチャンネルパターンにリンをドーピングする場合、N - MOS と P - MOS を有するマルチ - ブリッジチャンネル型相補型 MOS トランジスタを容易に形成することができる。

50

(産業上の利用可能性)

【0242】

本発明は、マルチ・ブリッジチャンネル型MOSトランジスタを製造する時、P MOS トランジスタのチャンネルの容易な形成を図ることができる。従って、マルチ・ブリッジチャンネル型相補型MOSトランジスタの製造も容易な効果がある。

【0243】

以上、本発明の実施例を詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明の実施例を修正または変更できる。

【図面の簡単な説明】

10

【0244】

【図1】従来の方法によって製造されたマルチ・ブリッジチャンネル型MOSトランジスタのアクティブチャンネルパターンを示す写真である。

【図2】従来の方法によって製造されたマルチ・ブリッジチャンネル型MOSトランジスタのアクティブチャンネルパターンを示す写真である。

【図3】本発明の製造方法によって製造されたマルチ・ブリッジチャンネル型MOSトランジスタを示す平面図である。

【図4】図3のA - A'線に沿って切断した断面図である。

【図5】図3のB - B'線に沿って切断した断面図である。

【図6】本発明の製造方法によって製造されたマルチ・ブリッジチャンネル型MOSトランジスタのアクティブチャンネル型パターンを示す斜視図である。

20

【図7】本発明の製造方法によって製造されたマルチ・ブリッジチャンネル型MOSトランジスタのゲート電極を示す斜視図である。

【図8】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図9】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図10】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図11】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

30

【図12】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図13】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図14】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図15】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図16】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

40

【図17】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図18】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図19】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図20】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図21】本発明の実施例1によるマルチ・ブリッジチャンネル型MOSトランジスタの

50



製造方法を示す断面図である。

【図47】本発明の実施例2によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図48】本発明の実施例2によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図49】本発明の実施例2によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図50】本発明の実施例2によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図51】本発明の実施例2によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図52】図26のA部分の拡大図である。

【図53】本発明の実施例3による製造方法で製造されたマルチ・ブリッジチャンネル型MOSトランジスタを示す斜視図である。

【図54】図53のC-C'線によって切断した断面図である。

【図55】図54のB部分の拡大図である。

【図56】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図57】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図58】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図59】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図60】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図61】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図62】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図63】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図64】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図65】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図66】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図67】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図68】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図69】本発明の実施例3によるマルチ・ブリッジチャンネル型MOSトランジスタの製造方法を示す断面図である。

【図70】本発明の実施例4の製造方法で製造されたマルチ・ブリッジチャンネル型MOSトランジスタを示す断面図である。

【図71】本発明の実施例5の製造方法で製造されたマルチ・ブリッジチャンネル型MOSトランジスタを示す断面図である。

【図72】本発明の実施例6の製造方法で製造されたマルチ・ブリッジチャンネル型MOSトランジスタを示す断面図である。

10

20

30

40

50



【図 9 8】本発明の実施例 1 5 の製造方法で製造されたマルチ - ブリッジチャンネル型 MOS トランジスタを示す断面図である。

【図 9 9】本発明の実施例 1 6 によるマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法を示す断面図である。

【図 1 0 0】本発明の実施例 1 6 によるマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法を示す断面図である。

【図 1 0 1】本発明の実施例 1 6 によるマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法を示す断面図である。

【図 1 0 2】本発明の実施例 1 6 によるマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法を示す断面図である。

10

【図 1 0 3】本発明の実施例 1 6 によるマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法を示す断面図である。

【図 1 0 4】本発明の実施例 1 7 によるマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法を示す断面図である。

【図 1 0 5】本発明の実施例 1 7 によるマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法を示す断面図である。

【図 1 0 6】本発明の実施例 1 7 によるマルチ - ブリッジチャンネル型 MOS トランジスタの製造方法を示す断面図である。

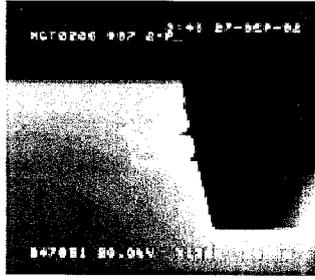
【符号の説明】

【 0 2 4 5 】

20

1 0 半導体基板、1 2 高濃度ドーピング領域、1 4 a、1 4 b、1 4 c チャンネル層間膜、1 6 a、1 6 b チャンネル膜、1 8 予備アクティブパターン、2 0 素子分離トレンチ、2 2 フィールド領域、2 3 エッチング阻止膜、2 5 ダミーゲート膜、2 6 ダミーゲート膜パターン、2 7 反射防止膜、2 8 反射防止膜パターン、2 9 ゲートハードマスク膜、3 2 ソース/ドレイン拡張膜、3 4 ソース/ドレイン領域、3 4 a テール、3 5 マスク膜、3 6 マスク膜パターン、3 8 ゲートトレンチ、4 0 絶縁膜、4 2 a、4 2 b トンネル、4 4 a、4 4 b チャンネル、4 8 ゲート電極

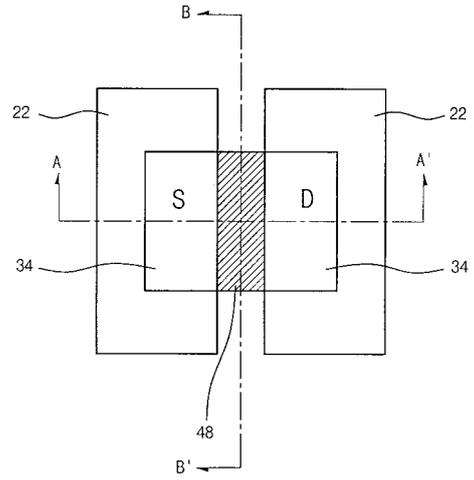
【 図 1 】



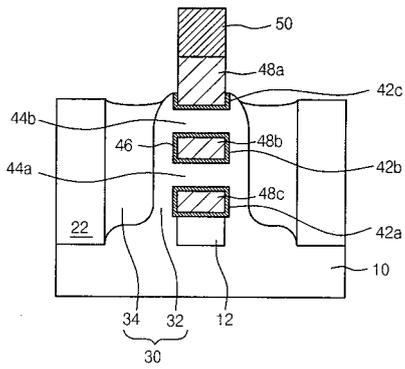
【 図 2 】



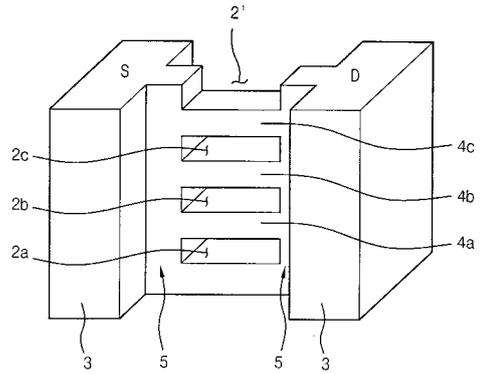
【 図 3 】



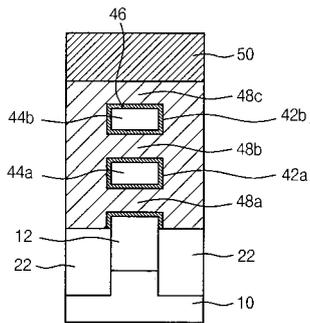
【 図 4 】



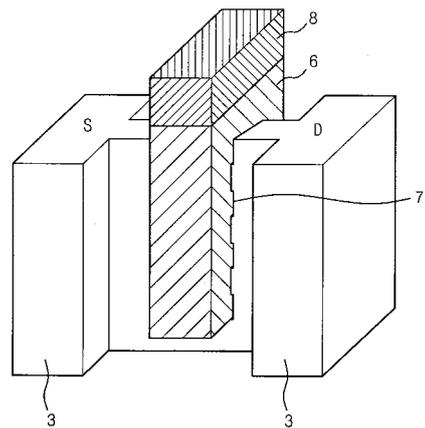
【 図 6 】



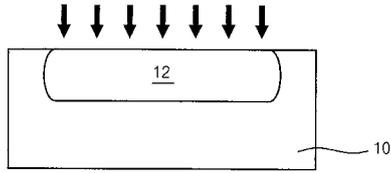
【 図 5 】



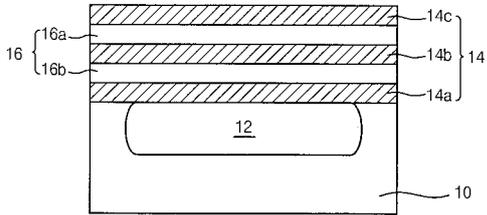
【 図 7 】



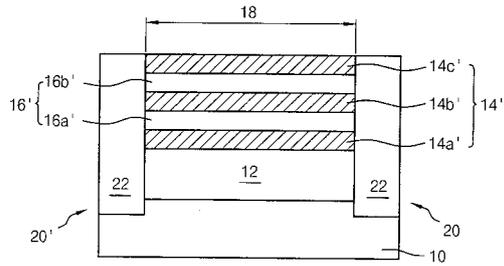
【 図 8 】



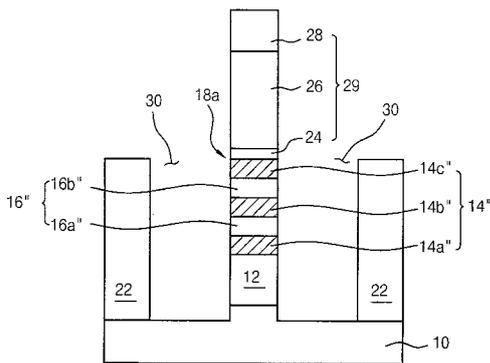
【 図 9 】



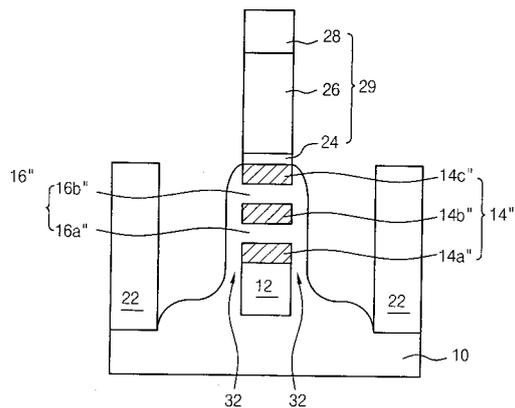
【 図 10 】



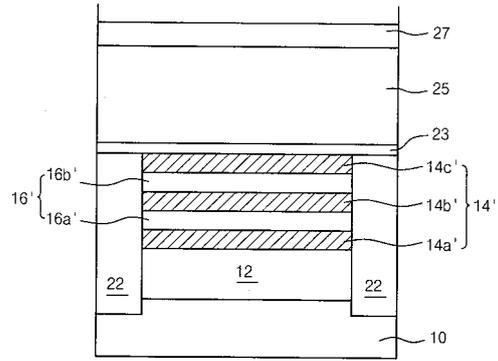
【 図 13 】



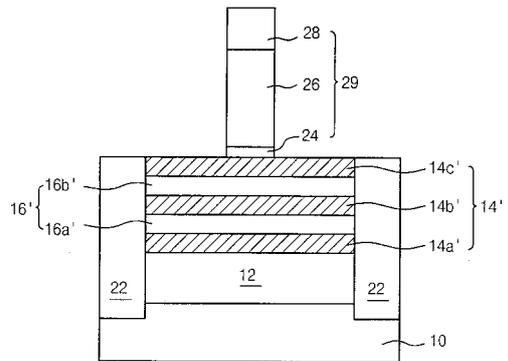
【 図 14 】



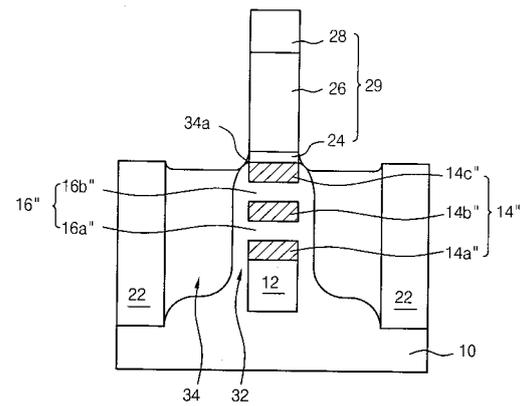
【 図 11 】



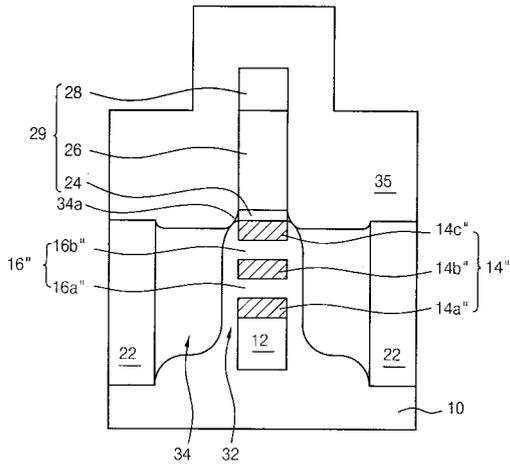
【 図 12 】



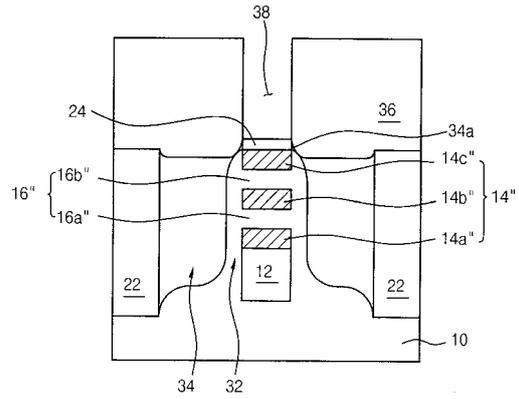
【 図 15 】



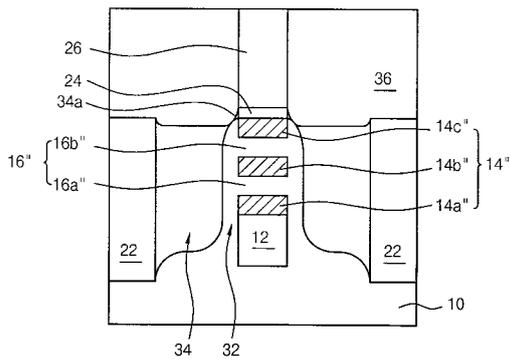
【 図 1 6 】



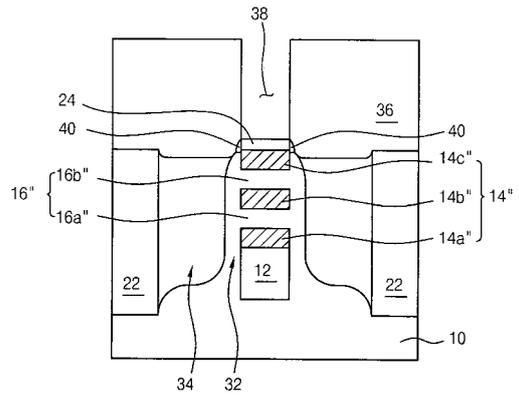
【 図 1 8 】



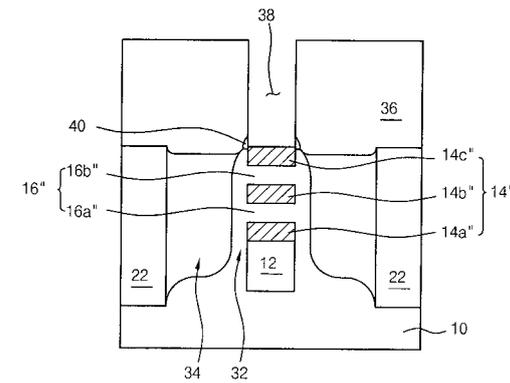
【 図 1 7 】



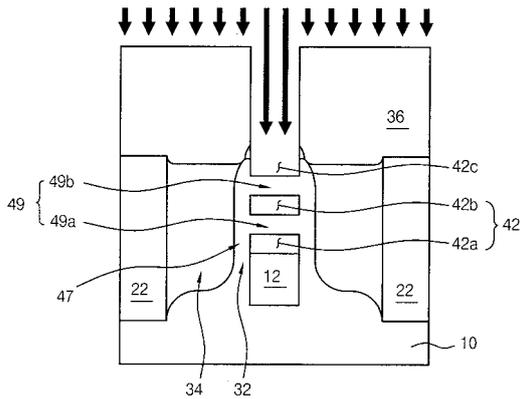
【 図 1 9 】



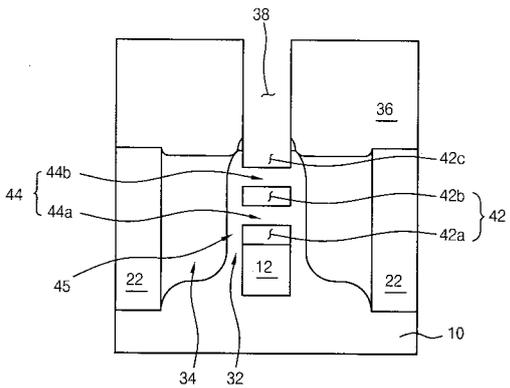
【 図 2 0 】



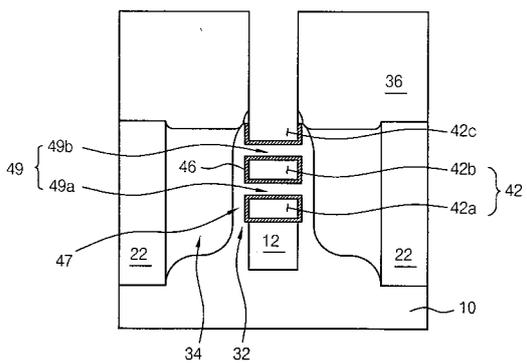
【 図 2 2 】



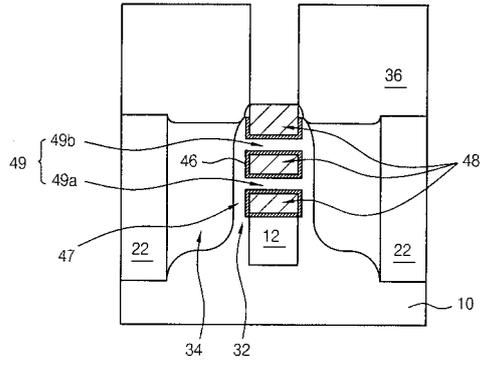
【 図 2 1 】



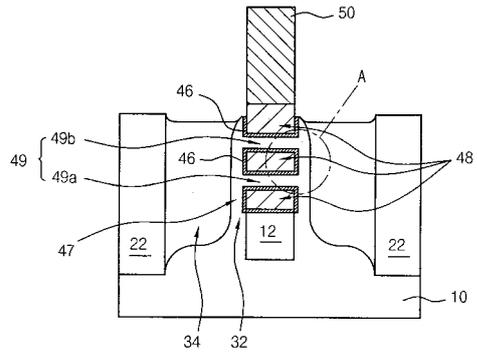
【 図 2 3 】



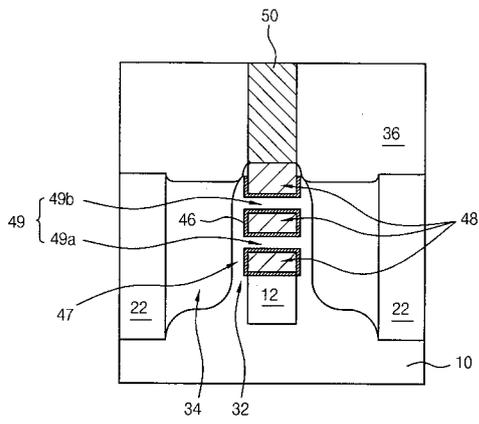
【 図 2 4 】



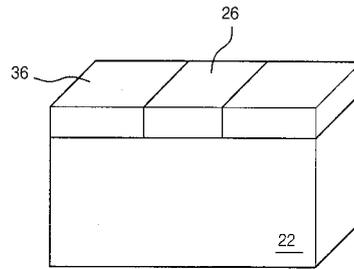
【 図 2 6 】



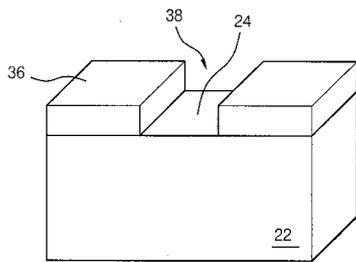
【 図 2 5 】



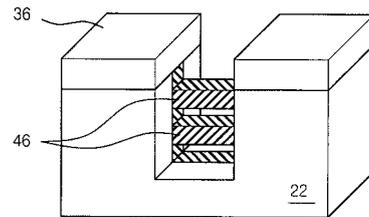
【 図 2 7 】



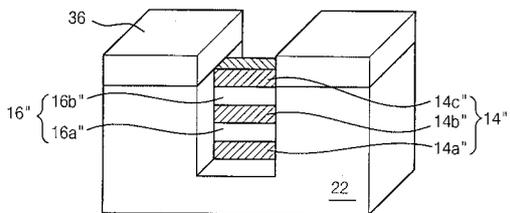
【 図 2 8 】



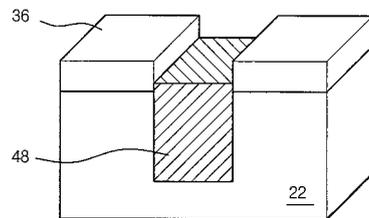
【 図 3 1 】



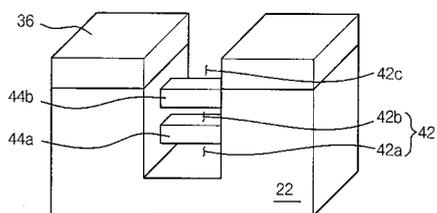
【 図 2 9 】



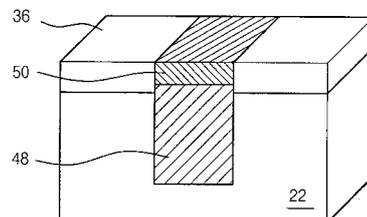
【 図 3 2 】



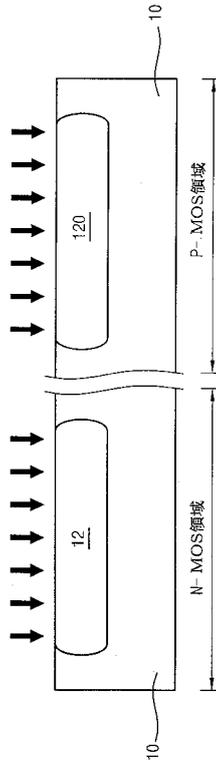
【 図 3 0 】



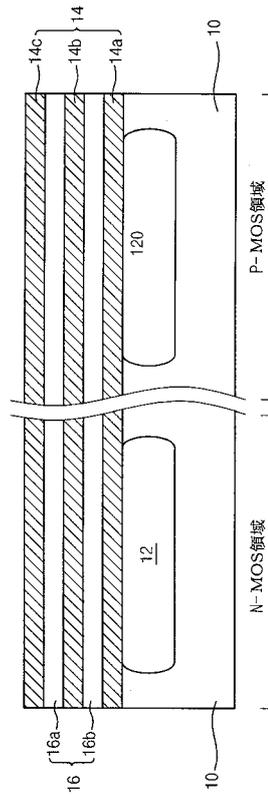
【 図 3 3 】



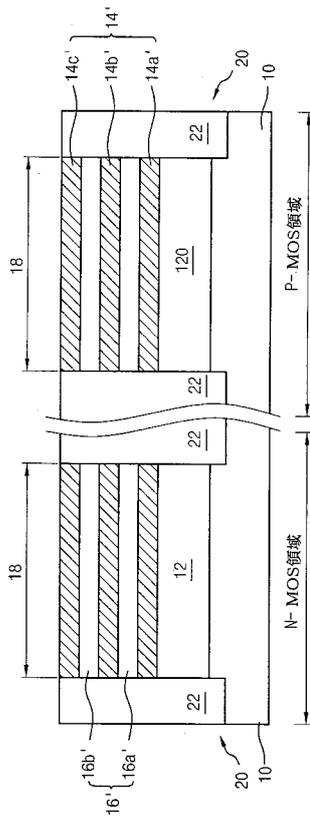
【 図 3 4 】



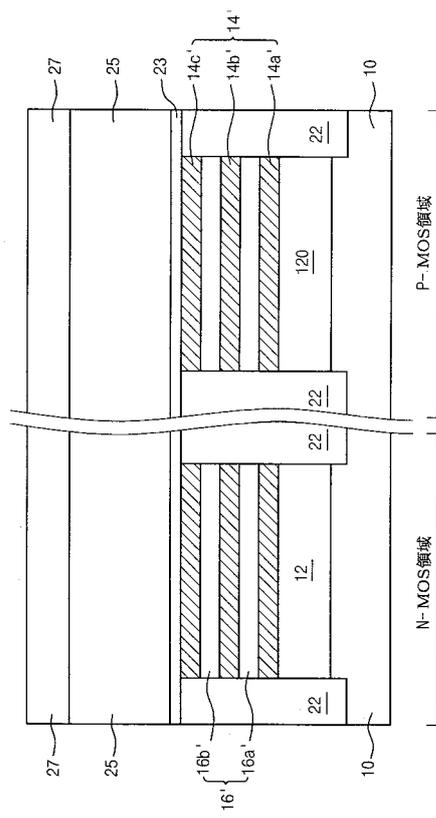
【 図 3 5 】



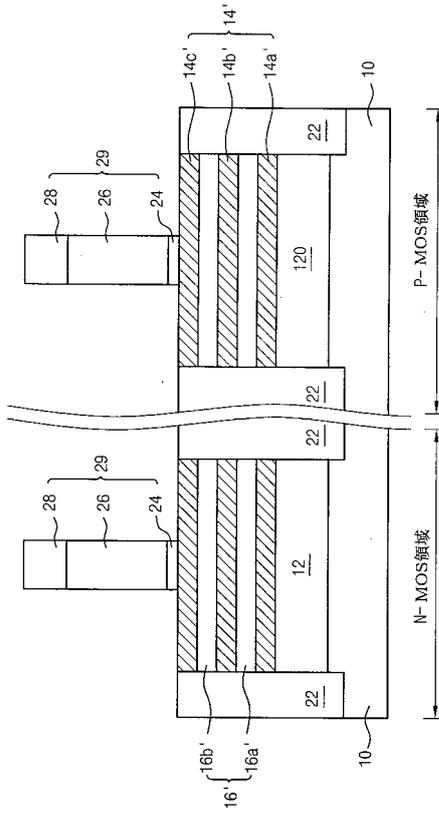
【 図 3 6 】



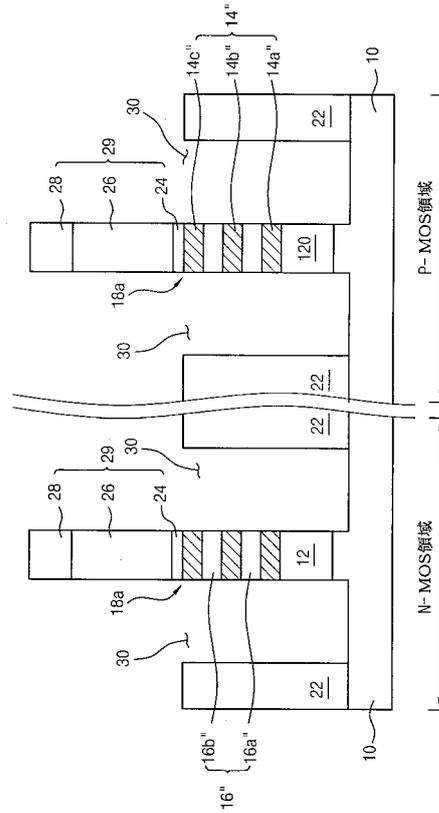
【 図 3 7 】



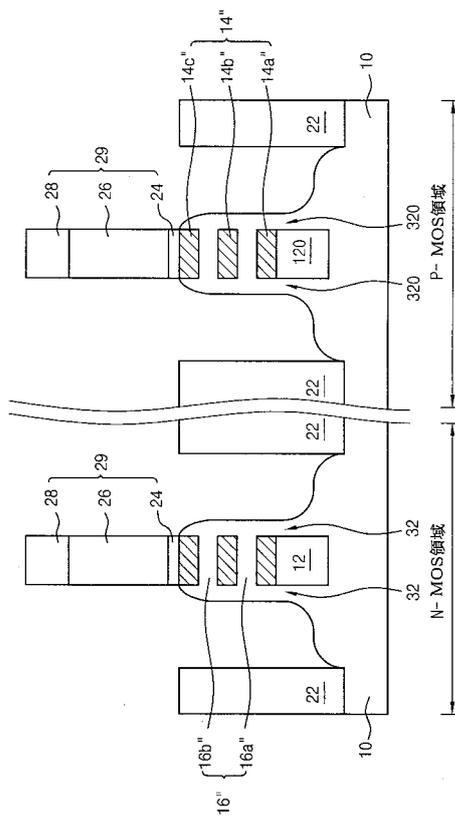
【 図 3 8 】



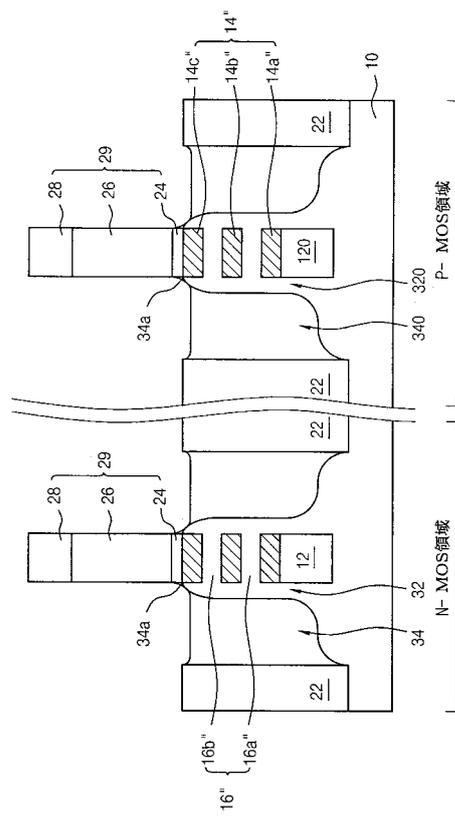
【 図 3 9 】



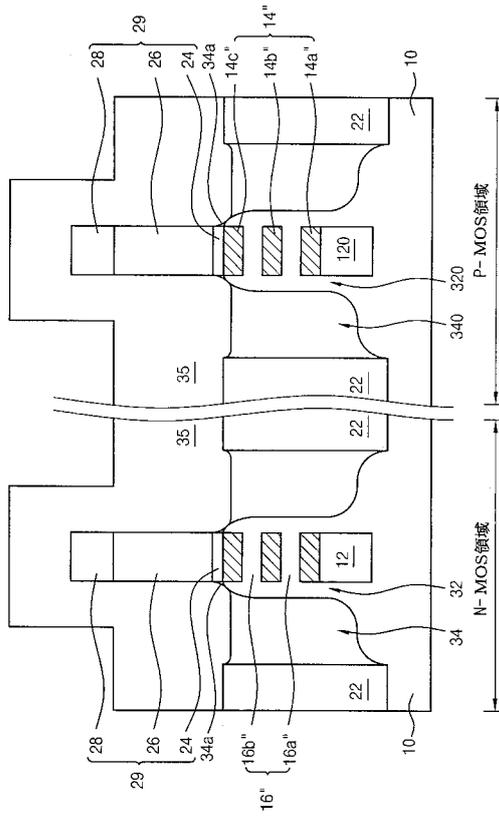
【 図 4 0 】



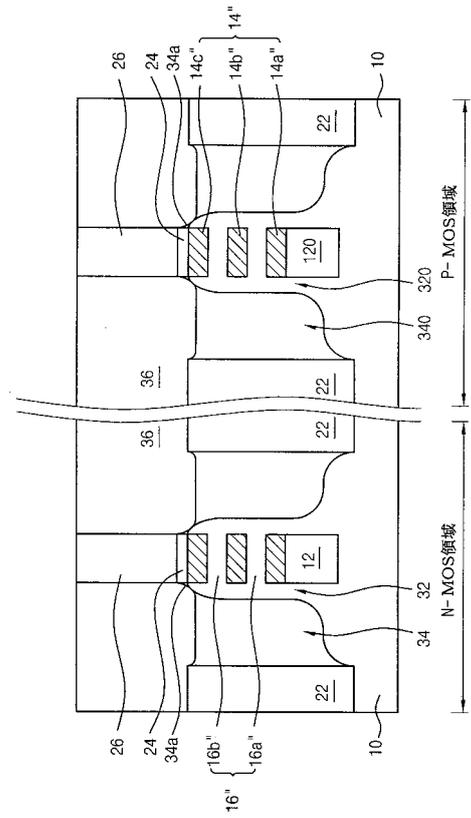
【 図 4 1 】



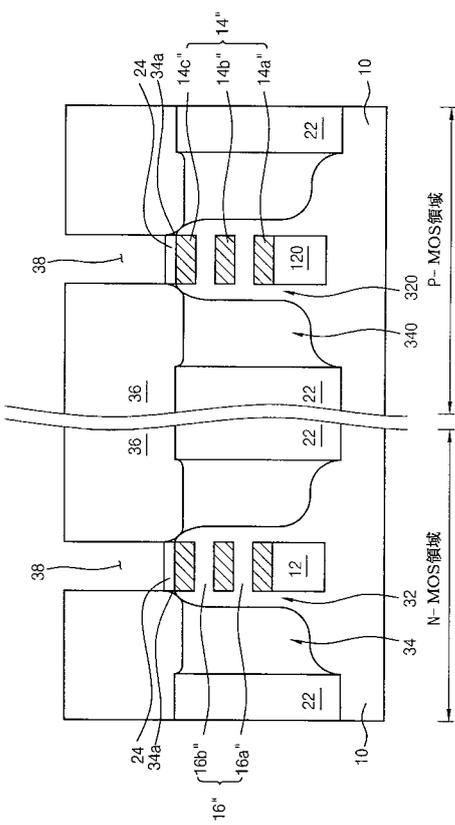
【 図 4 2 】



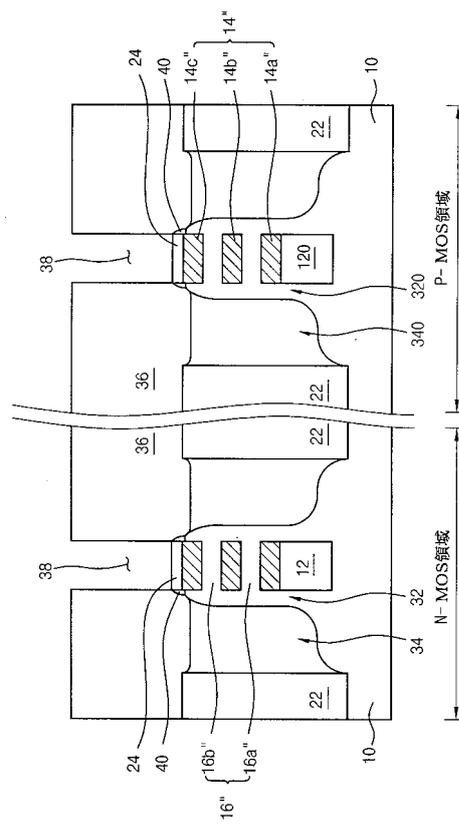
【 図 4 3 】



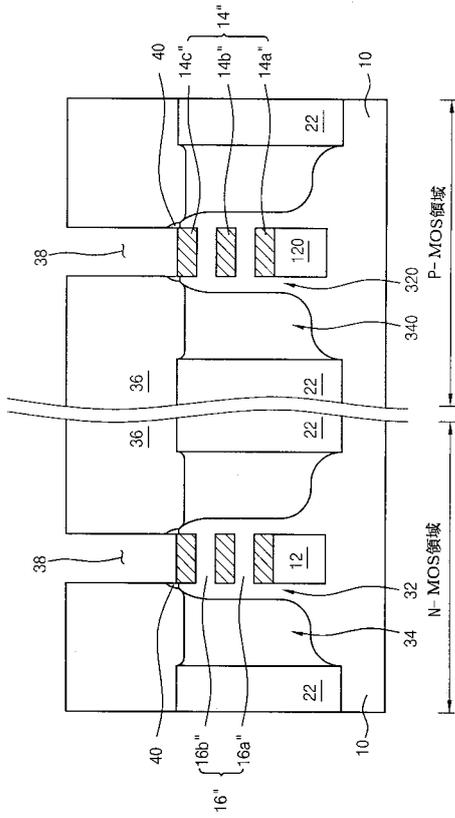
【 図 4 4 】



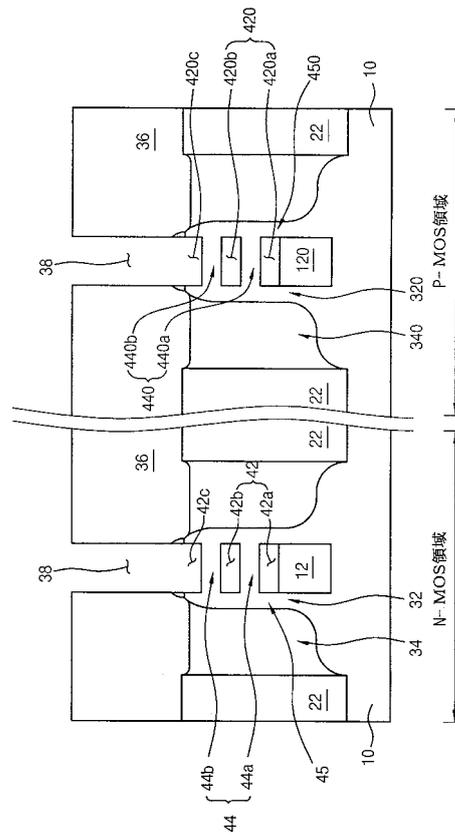
【 図 4 5 】



【 図 4 6 】

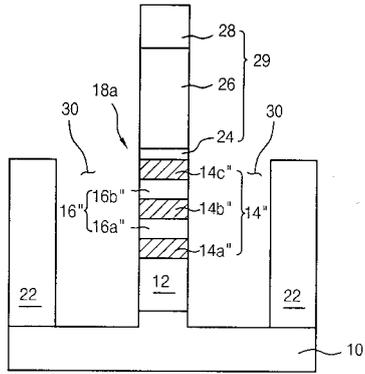


【 図 4 7 】

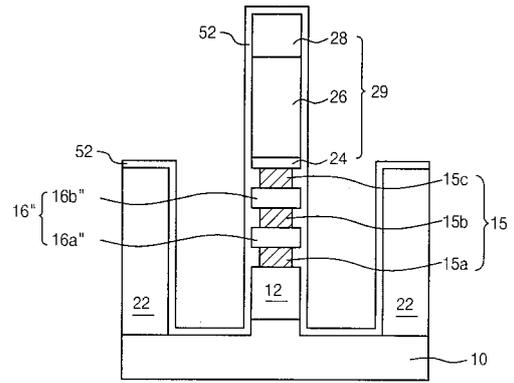




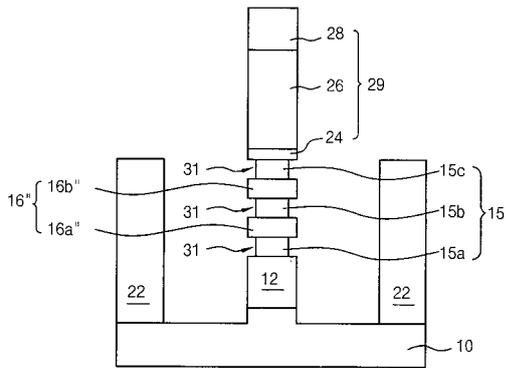
【 図 5 6 】



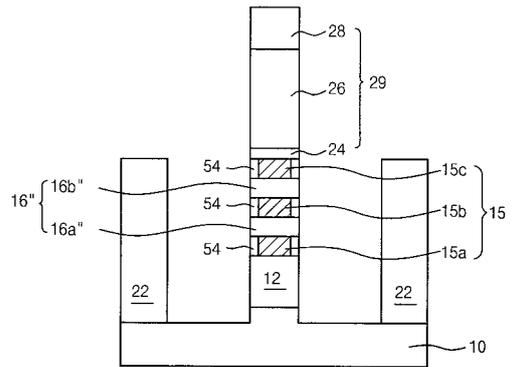
【 図 5 8 】



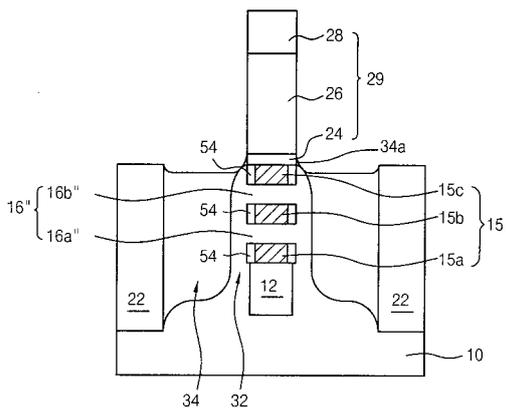
【 図 5 7 】



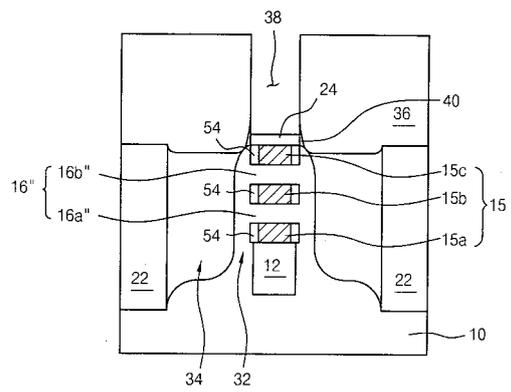
【 図 5 9 】



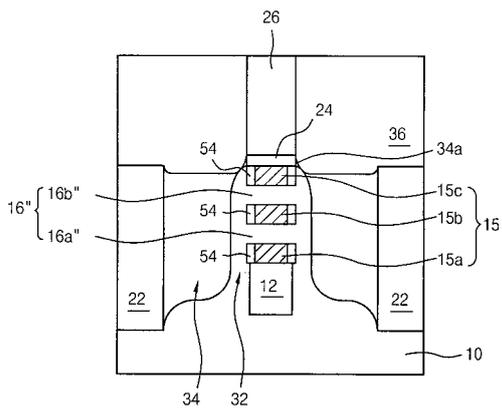
【 図 6 0 】



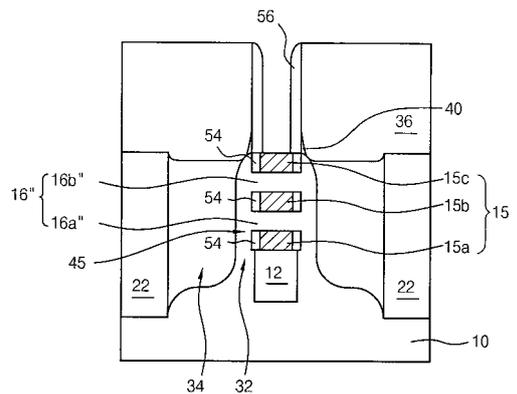
【 図 6 2 】



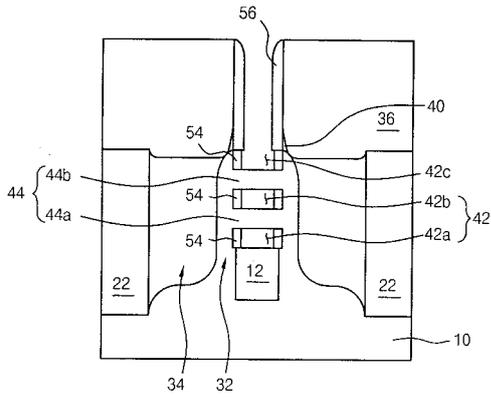
【 図 6 1 】



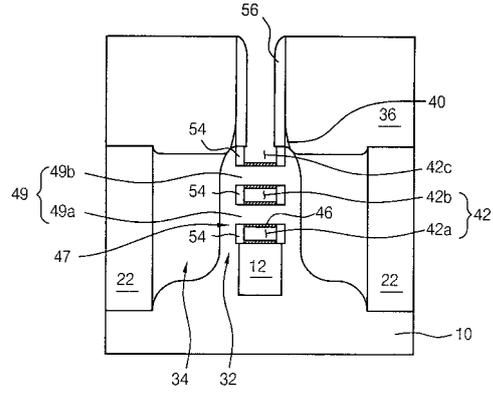
【 図 6 3 】



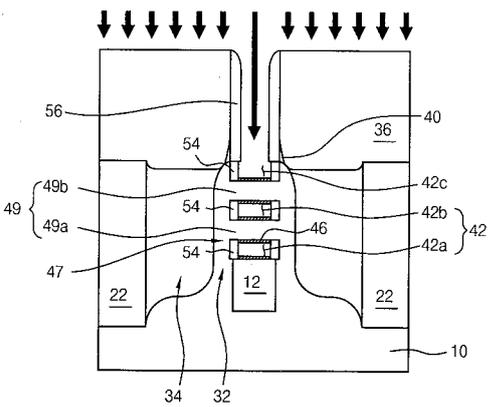
【図64】



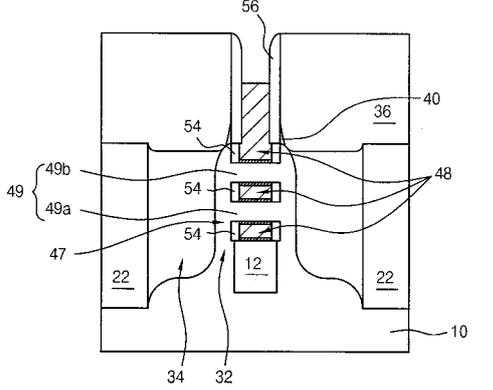
【図66】



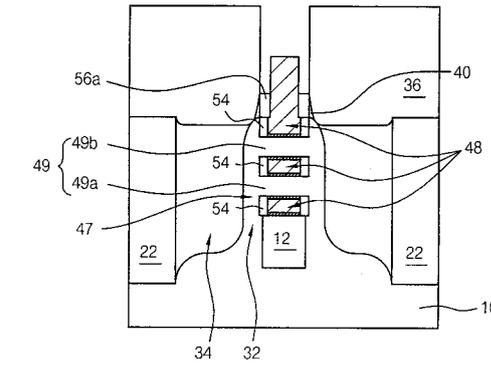
【図65】



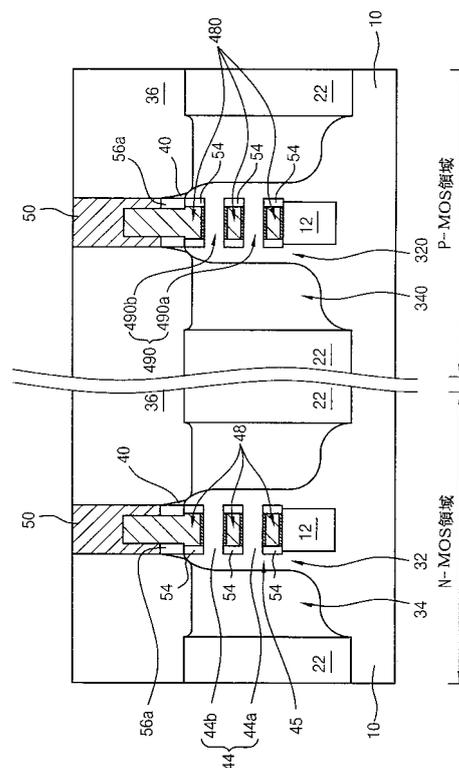
【図67】



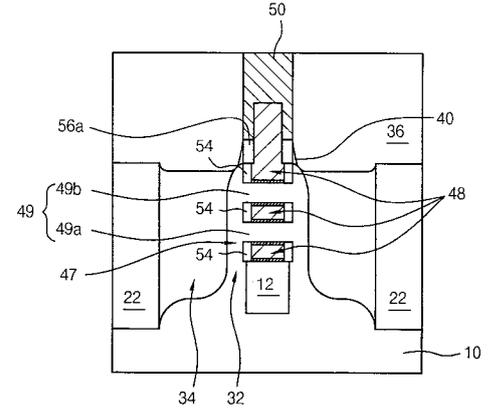
【図68】



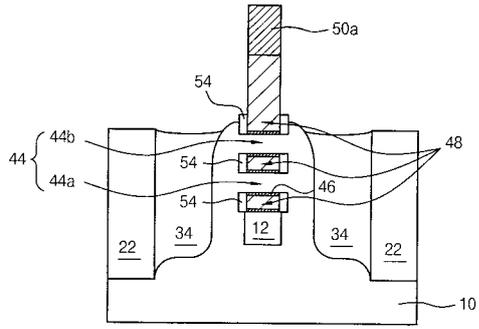
【図70】



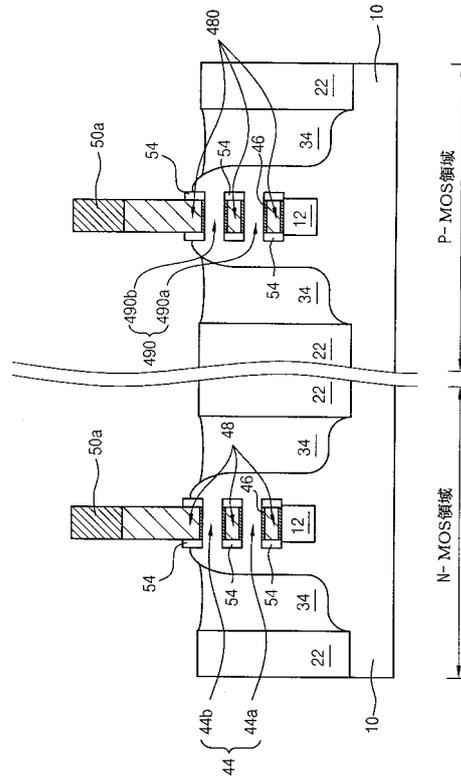
【図69】



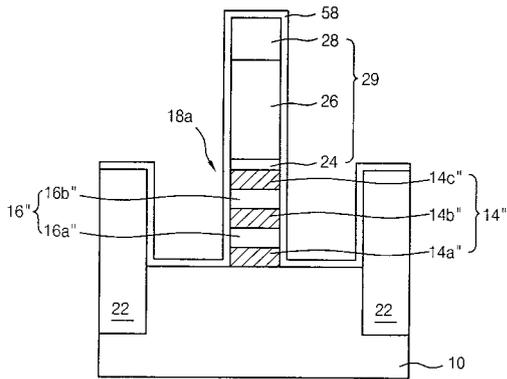
【 図 7 1 】



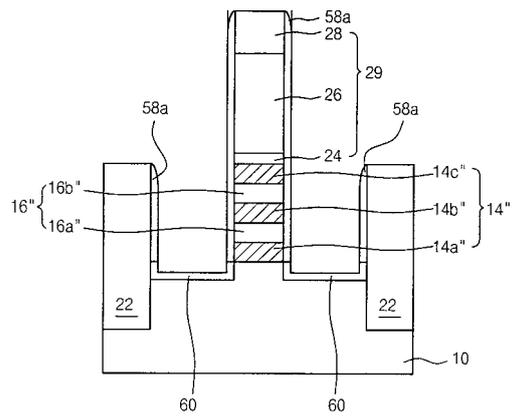
【 図 7 2 】



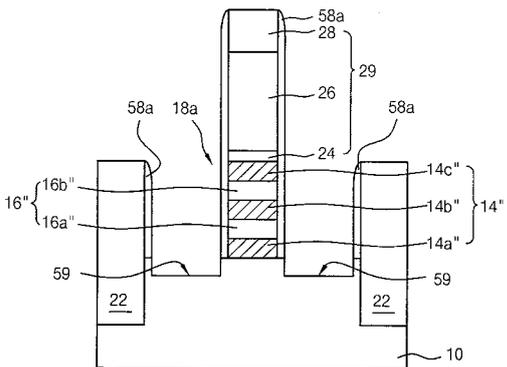
【 図 7 3 】



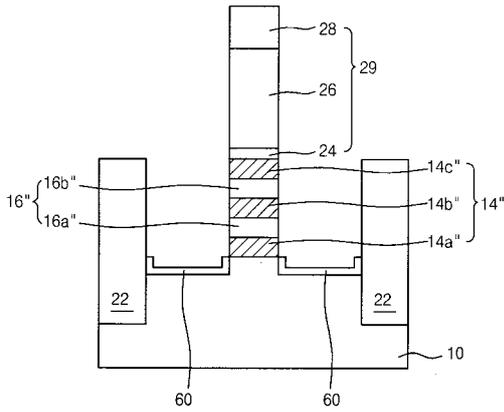
【 図 7 5 】



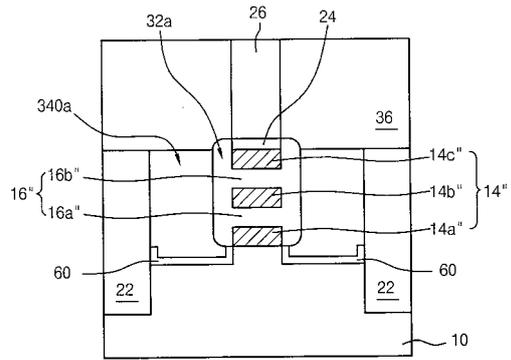
【 図 7 4 】



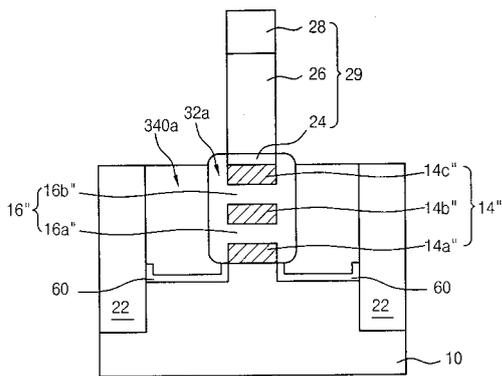
【 図 7 6 】



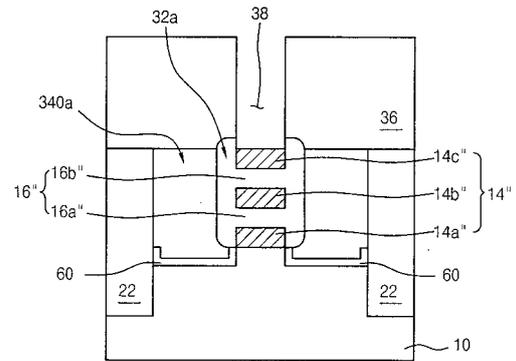
【 図 7 8 】



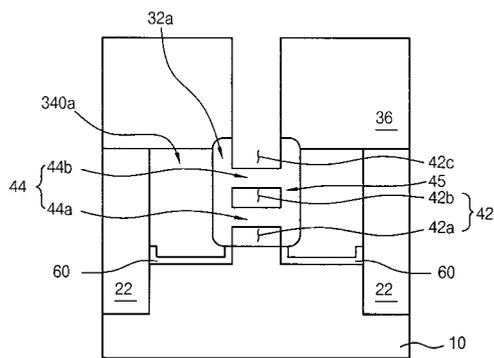
【 図 7 7 】



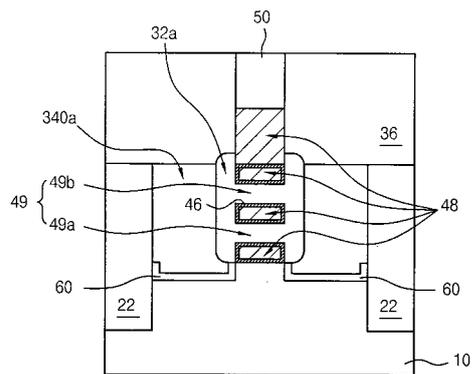
【 図 7 9 】



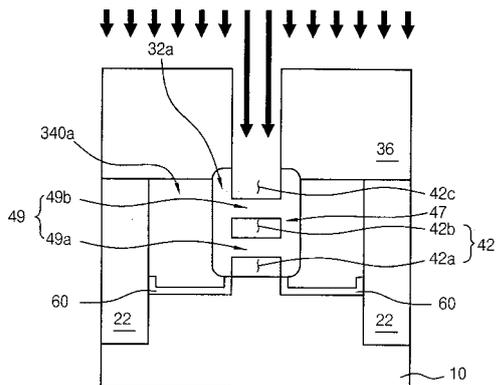
【 図 8 0 】



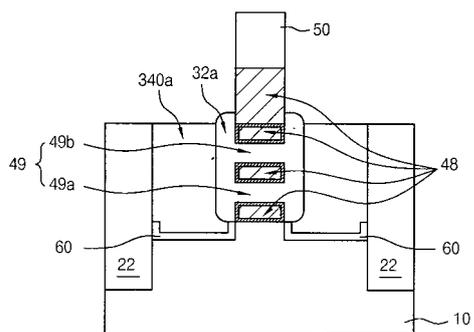
【 図 8 2 】



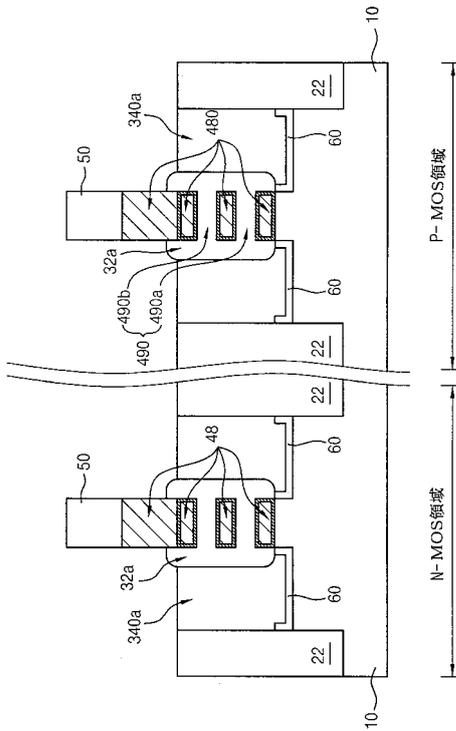
【 図 8 1 】



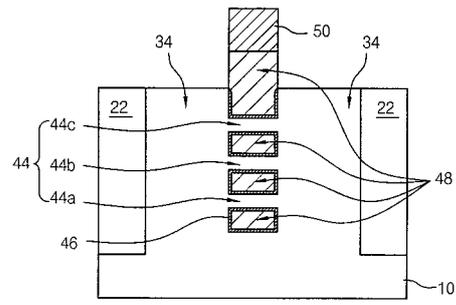
【 図 8 3 】



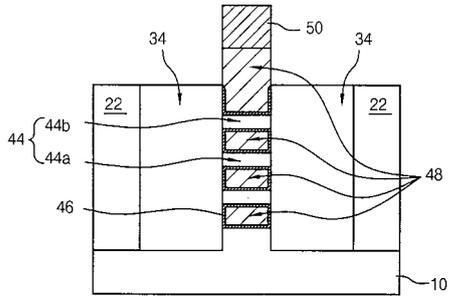
【 8 4 】



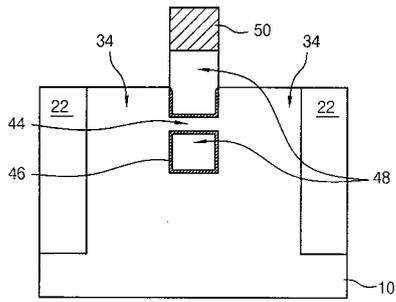
【 8 5 】



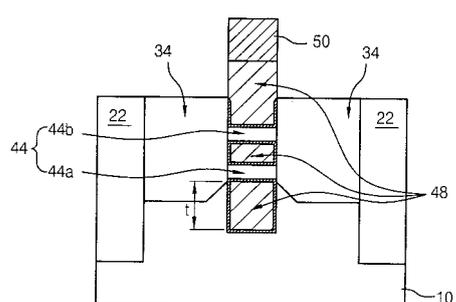
【 8 6 】



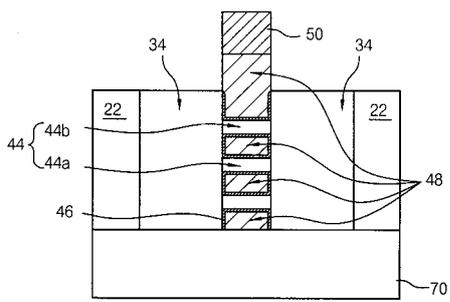
【 8 7 】



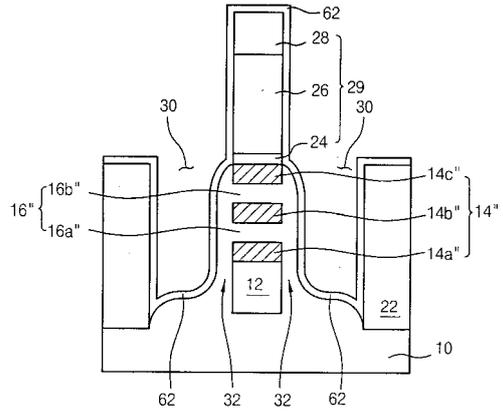
【 8 9 】



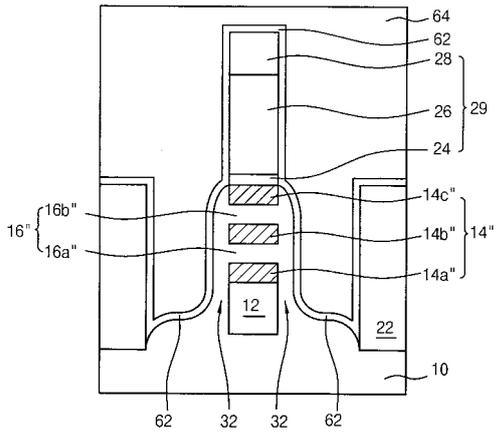
【 8 8 】



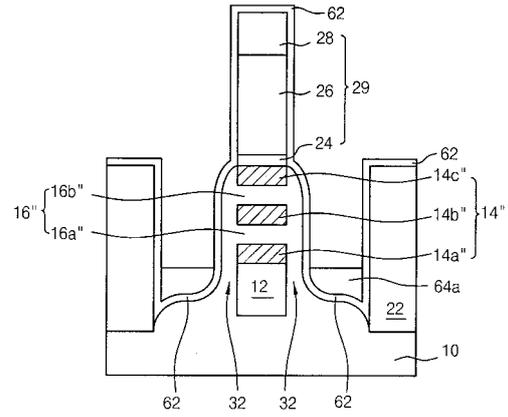
【 9 0 】



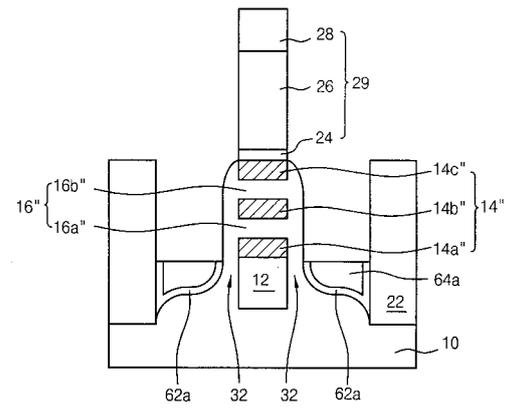
【 図 9 1 】



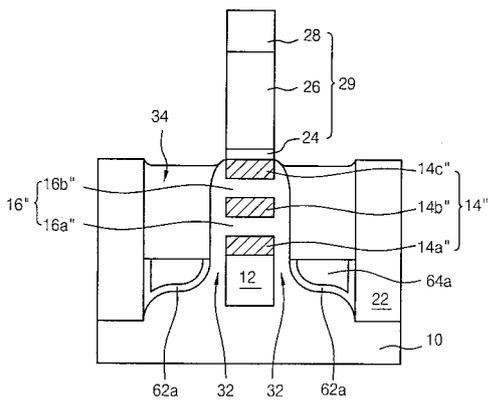
【 図 9 2 】



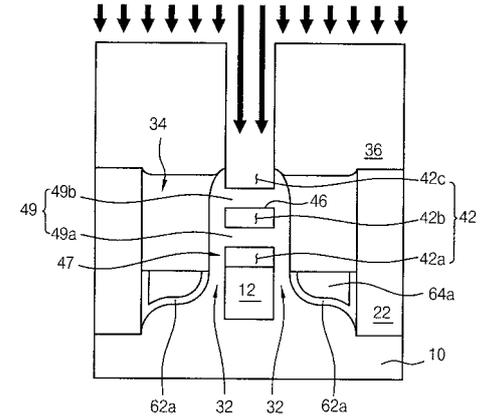
【 図 9 3 】



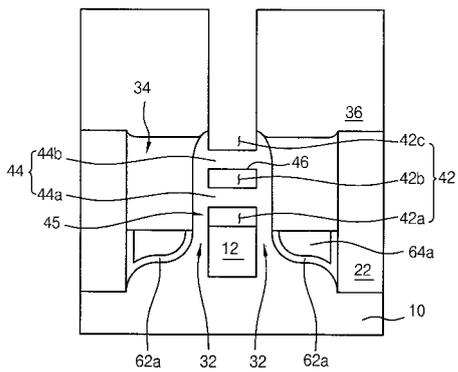
【 図 9 4 】



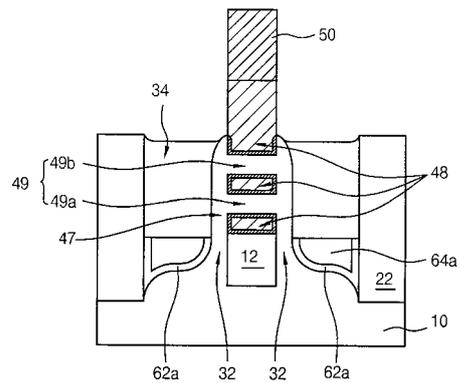
【 図 9 6 】



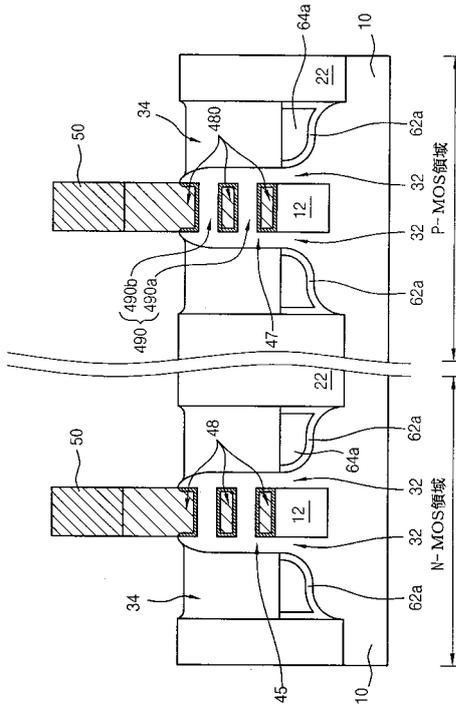
【 図 9 5 】



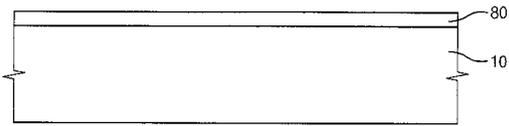
【 図 9 7 】



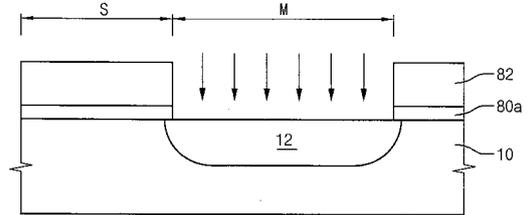
【図98】



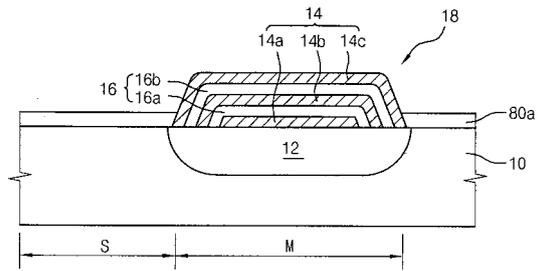
【図99】



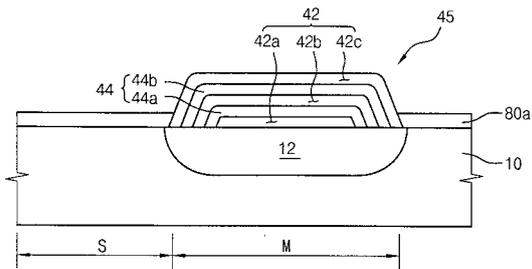
【図100】



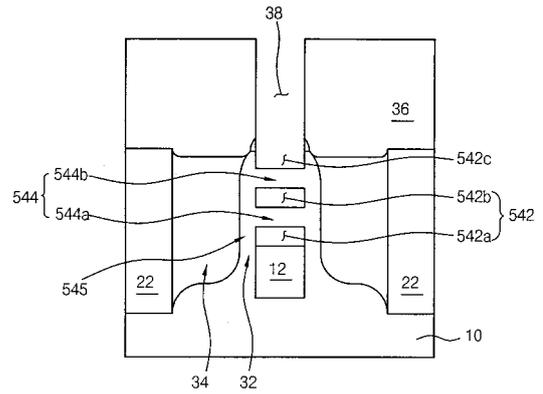
【図101】



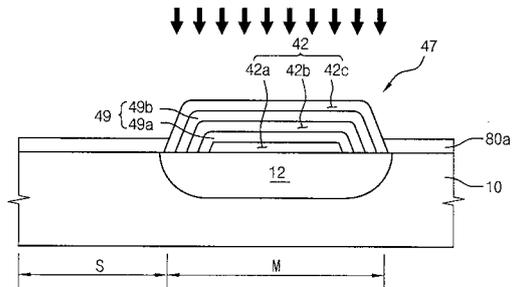
【図102】



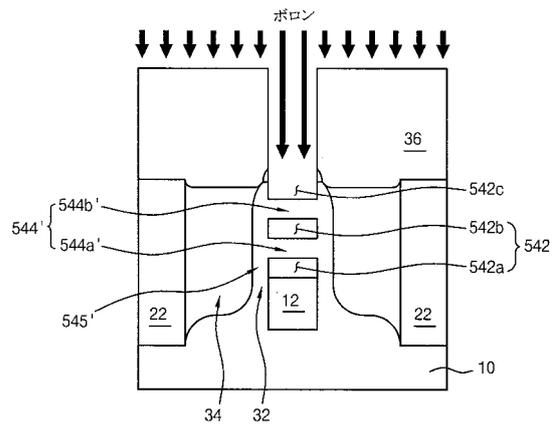
【図104】



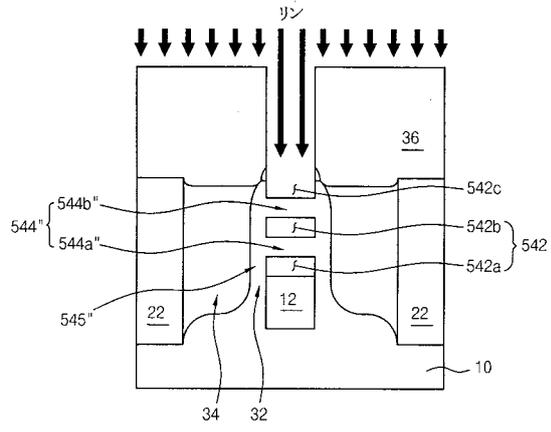
【図103】



【図105】



【 図 1 0 6 】



フロントページの続き

|                |                          |                |              |                |
|----------------|--------------------------|----------------|--------------|----------------|
| (51)Int.Cl.    |                          | F I            |              |                |
| <i>H 0 1 L</i> | <i>21/336 (2006.01)</i>  | <i>H 0 1 L</i> | <i>29/78</i> | <i>6 1 8 C</i> |
| <i>H 0 1 L</i> | <i>21/8234 (2006.01)</i> | <i>H 0 1 L</i> | <i>29/78</i> | <i>6 2 7 C</i> |
| <i>H 0 1 L</i> | <i>27/088 (2006.01)</i>  | <i>H 0 1 L</i> | <i>29/78</i> | <i>6 1 3 A</i> |
|                |                          | <i>H 0 1 L</i> | <i>29/78</i> | <i>6 1 8 B</i> |
|                |                          | <i>H 0 1 L</i> | <i>27/08</i> | <i>1 0 2 B</i> |

審査官 松本 陶子

- (56)参考文献 特開2004-128508(JP,A)  
 特開平10-308503(JP,A)  
 特開平11-008390(JP,A)  
 特開2003-324200(JP,A)  
 特開平09-008291(JP,A)  
 特開2000-068517(JP,A)

(58)調査した分野(Int.Cl., DB名)

*H 0 1 L* *2 9 / 7 8*  
*H 0 1 L* *2 1 / 3 3 6*  
*H 0 1 L* *2 1 / 8 2 3 4*  
*H 0 1 L* *2 1 / 8 2 3 8*  
*H 0 1 L* *2 7 / 0 8*  
*H 0 1 L* *2 7 / 0 8 8*  
*H 0 1 L* *2 7 / 0 9 2*  
*H 0 1 L* *2 9 / 7 8 6*