

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-130646

(P2017-130646A)

(43) 公開日 平成29年7月27日(2017.7.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/115 (2017.01)	HO 1 L 27/10 4 3 4	5 B 2 2 5
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 3 Z	5 F 0 8 3
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 Z	5 F 1 0 1
HO 1 L 29/788 (2006.01)	G 1 1 C 17/00 6 1 2 F	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	

審査請求 有 請求項の数 15 O L 外国語出願 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2016-226404 (P2016-226404)
 (22) 出願日 平成28年11月22日 (2016.11.22)
 (31) 優先権主張番号 62/280, 683
 (32) 優先日 平成28年1月19日 (2016.1.19)
 (33) 優先権主張国 米国 (US)

(71) 出願人 510199683
 力旺電子股▲ふん▼有限公司
 eMemory Technology
 Inc.
 台湾新竹科學園區園區二路47號305室
 Rm. 305, No. 47, Yuanqu 2nd Rd., Science-Based Industrial
 Park, Hsinchu 300,
 Taiwan, R. O. C.

(74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦

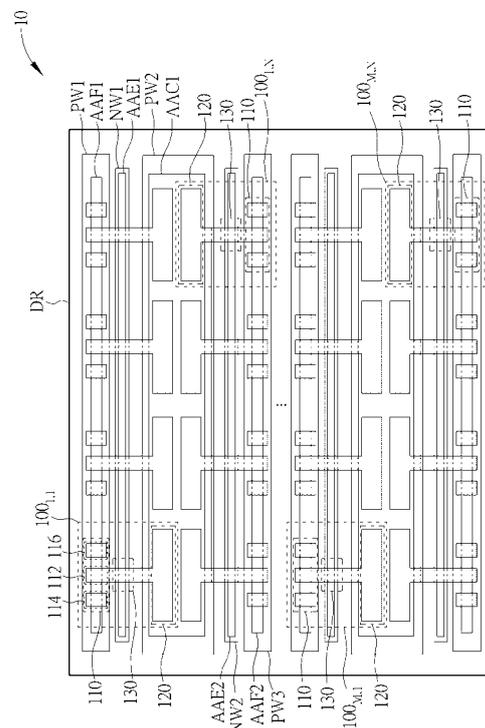
最終頁に続く

(54) 【発明の名称】一つの共有されたディーブドープ領域を備えたメモリアレイ

(57) 【要約】

【課題】メモリアレイの回路領域を小さくする。
 【解決手段】メモリアレイは、複数のメモリページを含み、各メモリページは、複数のメモリセルを含み、各メモリセルは、フローティングゲートモジュールと、制御エレメントと、消去エレメントと、を含む。そのフローティングゲートモジュールは、第一ウェル内に配置され、その消去エレメントは、第二ウェル内に配置され、その制御エレメントは、第三ウェル内に配置されている。その第一ウェル、その第二ウェル及びその第三ウェルは、ディーブドープ領域内に配置されており、その複数のメモリページのメモリセルは全てそのディーブドープ領域内に配置されている。このため、複数のディーブドープ領域間のスペーシングルールはもはやメモリアレイの回路領域を制限するのに使用されず、メモリアレイの回路領域を小さくすることができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数のメモリページを含むメモリアレイであって、
各メモリページは、複数のメモリセルを含み、
各メモリセルは、

フローティングゲートモジュールであって、フローティングゲートトランジスタを含み、ソース線、ビット線及びワード線に従って、該フローティングゲートトランジスタを制御するように構成され、該フローティングゲートトランジスタが、第一端子と、第二端子と、フローティングゲートとを有する、フローティングゲートモジュールと、

制御エレメントであって、制御線に結合されたボディ端子と、該ボディ端子に結合された第一端子と、該ボディ端子に結合された第二端子と、フローティングゲートに結合された制御端子と、を有する制御エレメントと、

消去エレメントであって、該メモリセルのプログラム動作時及びプログラム禁止動作時に第一電圧を受け、該メモリセルの消去動作時に第二電圧を受けるように構成されたボディ端子と、消去線に結合された第一端子と、該消去エレメントの第一端子に結合された、又はフローティングしている第二端子と、前記フローティングゲートに結合された制御端子と、を有する消去エレメントと、

を含み、

前記フローティングゲートモジュールは、第一ウェル内に配置され、

前記消去エレメントは、第二ウェル内に配置され、

前記制御エレメントは、第三ウェル内に配置され、

前記第一ウェル、前記第二ウェル及び前記第三ウェルはディーブドープ領域内に配置され、

前記複数のメモリページの複数のメモリセルは、全て前記ディーブドープ領域内に配置され、

前記制御線は、前記プログラム動作時に前記第一電圧にあり、

前記消去線は、前記消去動作時に前記第二電圧にある、メモリアレイ。

【請求項 2】

同一のメモリページ内にある複数のメモリセルは、同一の制御線、同一の消去線及び同一のワード線に結合されており、

前記同一のメモリページ内にある複数のメモリセルは、異なるソース線及び異なるビット線に結合されている、請求項 1 に記載のメモリアレイ。

【請求項 3】

前記メモリセルのプログラム動作時、

前記制御線は、前記第一電圧にあり、

前記消去線は、第三電圧にあり、

前記ワード線は、第四電圧にあり、

前記ソース線は、第五電圧にあり、

前記ビット線は、前記第五電圧にあり、

前記第一電圧は、前記第三電圧より大きく、前記第三電圧は、前記第四電圧より大きく、前記第四電圧は、前記第五電圧より大きく、

前記第三電圧と前記第五電圧との差は、前記第一電圧と前記第五電圧との差の半分よりも大きく、

前記第四電圧と前記第五電圧との差は、前記第一電圧と前記第五電圧との差の半分よりも小さい、請求項 1 に記載のメモリアレイ。

【請求項 4】

前記メモリセルのプログラム動作時、

非選択メモリページ内の非選択メモリセルに結合された制御線は、第六電圧にあり、

前記非選択メモリセルに結合された消去線は、前記第三電圧にあり、

前記非選択メモリセルに結合されたワード線は、前記第四電圧にあり、

前記第三電圧は、前記第六電圧よりも大きく、前記第六電圧は、前記第五電圧よりも大きく、

前記第六電圧と前記第五電圧との差は、前記第一電圧と前記第五電圧との差の半分よりも小さい、請求項3に記載のメモリアレイ。

【請求項5】

前記メモリセルのプログラム禁止動作時、

前記制御線は、前記第一電圧にあり、

前記消去線は、前記第三電圧にあり、

前記ワード線は、前記第四電圧にあり、

前記ソース線は、前記第四電圧又は第七電圧にあり、

前記ビット線は、前記第四電圧又は前記第七電圧にあり、

前記第一電圧は、前記第七電圧よりも大きく、前記第七電圧は前記第四電圧よりも大きい、又はこれと等しく、

前記第七電圧と前記第五電圧との差は、前記フローティングゲートトランジスタのソース/ドレイン接合ブレークダウン電圧よりも小さい、請求項3に記載のメモリアレイ。

【請求項6】

前記フローティングゲートモジュールは、さらに、

前記ソース線に結合された第一端子と、前記フローティングゲートトランジスタの第一端子に結合された第二端子と、前記ワード線に結合された制御端子と、を有するソーストランジスタと、

前記フローティングゲートトランジスタの第二端子に結合された第一端子と、前記ビット線に結合された第二端子と、前記ワード線に結合された制御端子と、を有するビットトランジスタと、を含む、請求項1に記載のメモリアレイ。

【請求項7】

異なるメモリページ内にある複数のメモリセルは、異なる制御線、異なるワード線及び前記消去線に結合されており、

前記メモリセルの消去動作時、

前記消去線は、前記第二電圧にあり、

前記制御線は、第五電圧にあり、

前記ソース線及び前記ビット線は、いずれも第四電圧又は前記第五電圧にあるとともに、前記ワード線は、前記第四電圧又は前記第五電圧にあり、

前記第二電圧は、前記第四電圧よりも大きく、前記第四電圧は、前記第五電圧よりも大きく、

前記第四電圧と前記第五電圧との差は、前記第二電圧と前記第五電圧との差の半分よりも小さい、請求項6に記載のメモリアレイ。

【請求項8】

異なるメモリページ内にある複数のメモリセルは、異なる制御線、異なるワード線及び異なる消去線に結合されており、

前記メモリセルの消去動作時、

前記消去線は、前記第二電圧にあり、

前記制御線は、第五電圧にあり、

前記ソース線及び前記ビット線は、いずれも第四電圧又は前記第五電圧にあるとともに、前記ワード線は、前記第四電圧又は前記第五電圧にあり、

前記第二電圧は、前記第四電圧よりも大きく、前記第四電圧は、前記第五電圧よりも大きく、

前記第四電圧と前記第五電圧との差は、前記第二電圧と前記第五電圧との差の半分よりも小さい、請求項6に記載のメモリアレイ。

【請求項9】

前記メモリセルの消去動作時、

非選択メモリページ内にある非選択メモリセルに結合された消去線は、第三電圧にあ

10

20

30

40

50

り、

前記非選択メモリセルに結合された制御線は、第六電圧にあり、

前記第二電圧は、前記第三電圧よりも大きく、前記第三電圧は、前記第六電圧よりも大きく、前記第六電圧は、前記第五電圧よりも大きく、

前記第三電圧と前記第五電圧との差は、前記第二電圧と前記第五電圧との差の半分よりも大きく、

前記第六電圧と前記第五電圧との差は、前記第二電圧と前記第五電圧との差の半分よりも小さい、請求項 8 に記載のメモリアレイ。

【請求項 10】

前記フローティングゲートモジュールは、さらに、

10

前記ソース線に結合された第一端子と、前記フローティングゲートトランジスタの第一端子に結合された第二端子と、前記ワード線に結合された制御端子と、を有するソーストランジスタを有し、

前記フローティングゲートトランジスタの第二端子は、前記ビット線に結合されている、請求項 1 に記載のメモリアレイ。

【請求項 11】

異なるメモリページ内にある複数のメモリセルは、異なる制御線、異なるワード線及び前記消去線に結合されており、

前記メモリセルの消去動作時、

前記消去線は、前記第二電圧にあり、

20

前記制御線は、第五電圧にあり、

前記ワード線は、第四電圧又は前記第五電圧にあり、

前記ソース線及び前記ビット線は、いずれも前記第四電圧又は前記第五電圧にあり、

前記第二電圧は、前記第四電圧よりも大きく、前記第四電圧は、前記第五電圧よりも大きく、

前記第四電圧と前記第五電圧との差は、前記第二電圧と前記第五電圧との差の半分よりも小さい、請求項 10 に記載のメモリアレイ。

【請求項 12】

異なるメモリページ内にある複数のメモリセルは、異なる制御線、異なるワード線及び異なる消去線に結合されており、

30

前記メモリセルの消去動作時、

前記消去線は、前記第二電圧にあり、

前記制御線は、第五電圧にあり、

前記ワード線は、第四電圧又は前記第五電圧にあり、

前記ソース線及び前記ビット線は、いずれも第四電圧又は前記第五電圧にあり、

前記第二電圧は、前記第四電圧よりも大きく、前記第四電圧は、前記第五電圧よりも大きく、

前記第四電圧と前記第五電圧との差は、前記第二電圧と前記第五電圧との差の半分よりも小さい、請求項 10 に記載のメモリアレイ。

【請求項 13】

40

前記メモリセルの消去動作時、

非選択メモリページ内にある非選択メモリセルに結合された消去線は、第三電圧にあり、

前記非選択メモリセルに結合された制御線は、第六電圧にあり、

前記第二電圧は、前記第三電圧よりも大きく、前記第三電圧は、前記第六電圧よりも大きく、前記第六電圧は、前記第五電圧よりも大きく、

前記第三電圧と前記第五電圧との差は、前記第一電圧と前記第五電圧との差の半分よりも大きく、

前記第六電圧と前記第五電圧との差は、前記第一電圧と前記第五電圧との差の半分よりも小さい、請求項 12 に記載のメモリアレイ。

50

【請求項 1 4】

前記ディープドープ領域は、ディープNウェル又はN型埋め込み層であり、
前記第一ウェル及び前記第三ウェルは前記ディープドープ領域内に配置されたPウェルであり、
前記第二ウェルは、前記ディープドープ領域内に配置されたNウェルである、請求項1に記載のメモリアレイ。

【請求項 1 5】

同一のメモリページ内にある複数のメモリセルの複数の制御エレメントは、同一の第三ウェル内に配置されている、請求項1に記載のメモリアレイ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、メモリアレイに関連し、より詳細には、一つのディープドープ領域を共有する複数のメモリセルを備えたメモリアレイに関連する。

【背景技術】**【0002】**

電氣的に書き込み可能な不揮発性メモリは、電力がメモリブロックに共有されないときでも、それが記憶する情報を保持し、プログラムのオンボード(on-board)での書き込みを許容するタイプのメモリである。様々な使用のための用途が広範囲であるため、特に、回路領域に厳しい要件を有するパーソナル電子デバイスについて、メイン回路とともに同一のチップ内に埋め込まれる不揮発性メモリの要望が高まっている。

【0003】

先行技術の不揮発性メモリセルは、データを保持する一つのフローティングゲートトランジスタと、そのフローティングゲートトランジスタが対応する動作を行うことを可能にする一つ又は二つの選択トランジスタと、を含む。そのフローティングゲートは、プログラム動作及び消去動作のためのエレメントを結合することによって制御されることができる。異なるメモリページ内にあるメモリセルは独立して制御されるべきであるため、異なるメモリページ内にあるメモリセルは、通常、分離した領域に配置される。しかし、製造のスペーシングルール(spacing rule)により、異なる分離領域間のスペア領域が回路領域を実質的に大きくしてしまう可能性がある。さらに、何らかのエレメントがそのスペア領域に配置されることが許容されないため、回路領域の大きくなった分は単純に無駄である。したがって、回路領域を小さくし、回路領域をより効率的に使用する方法が、解決されるべき問題となっている。

【発明の概要】**【0004】**

本発明の一つの実施形態は、メモリアレイを開示する。そのメモリアレイは、複数のメモリページを含み、各メモリページは複数のメモリセルを含み、各メモリセルは、フローティングゲートモジュールと、制御エレメントと、消去エレメントと、を含む。

【0005】

そのフローティングゲートモジュールは、フローティングゲートトランジスタを含む。そのフローティングゲートモジュールは、ソース線、ビット線及びワード線に従って、そのフローティングゲートトランジスタを制御することができる。そのフローティングゲートトランジスタは、第一端子と、第二端子と、フローティングゲートと、を有する。その制御エレメントは、制御線に結合されたボディ端子と、このボディ端子に結合された第一端子と、このボディ端子に結合された第二端子と、そのフローティングゲートに結合された制御端子と、を有する。その消去エレメントは、そのメモリセルのプログラム動作及びプログラム禁止動作時に第一電圧を受け、そのメモリセルの消去動作時に第二電圧を受け、そのボディ端子と、消去線に結合された第一端子と、この消去エレメントの第一端子に結合された、又はフローティングしている第二端子と、そのフローティングゲートに結合された制御端子と、を有する。

10

20

30

40

50

【 0 0 0 6 】

そのフローティングゲートモジュールは、第一ウェル内に配置され、その消去エレメントは、第二ウェル内に配置され、その制御エレメントは、第三ウェル内に配置されている。その第一ウェル、その第二ウェル及びその第三ウェルはディーブドープ領域内に配置されている。その複数のメモリページの複数のメモリセルは、全てそのディーブドープ領域内に配置されている。その制御線は、プログラム動作時に第一電圧にあり、その消去線は、消去動作時に第二電圧にある。

【 0 0 0 7 】

本発明のこれらの目的及び他の目的は、種々の図面 (figures and drawings) に示される好ましい実施形態についての発明の詳細な説明を理解することで、当業者には疑いなく明らかとなるものである。

10

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 図 1 は、本発明の一つの実施形態に従う、メモリアレイを示す。

【 図 2 】 図 2 は、本発明の一つの実施形態に従う、図 1 のメモリアレイのレイアウトを示す。

【 図 3 】 図 3 は、図 2 のレイアウトに従う、消去エレメントの断面図である。

【 図 4 】 図 4 は、図 1 のメモリアレイ内のメモリセルのプログラム動作時の信号の電圧を示す。

【 図 5 】 図 5 は、図 1 のメモリアレイ内のメモリセルの消去動作時の信号の電圧を示す。

20

【 図 6 】 図 6 は、本発明の他の実施形態に従う、メモリアレイを示す。

【 図 7 】 図 7 は、図 6 のメモリアレイ内のメモリセルの消去動作時の信号の電圧を示す。

【 図 8 】 図 8 は、本発明の他の実施形態に従う、メモリアレイを示す。

【 図 9 】 図 9 は、図 8 のメモリアレイ内のメモリセルのプログラム動作時の信号の電圧を示す。

【 図 1 0 】 図 1 0 は、図 8 のメモリアレイ内のメモリセルの消去動作時の信号の電圧を示す。

【 図 1 1 】 図 1 1 は、本発明の他の実施形態に従う、メモリアレイを示す。

【 図 1 2 】 図 1 2 は、図 1 1 のメモリアレイ内のメモリセルの消去動作時の信号の電圧を示す。

30

【 発明を実施するための形態 】

【 0 0 0 9 】

図 1 は、本発明の一つの実施形態に従う、メモリアレイ 1 0 を示す。メモリアレイ 1 0 は、M 個のメモリページ M P 1 ~ M P M を含む。メモリページ M P 1 ~ M P M の各々は、N 個のメモリセルを含む。例えば、メモリページ M P 1 は、メモリセル 1 0 0 _{1, 1} ~ 1 0 0 _{1, N} を含み、メモリページ M P M は、メモリセル 1 0 0 _{M, 1} ~ 1 0 0 _{M, N} を含む。M 及び N は正の整数である。

【 0 0 1 0 】

本発明のいくつかの実施形態においては、同一のメモリページ内にあるメモリセルは、同一の制御線、同一の消去線 (erase line) 及び同一のワード線 (word line) に結合されることができ、異なるソース線及び異なるビット線に結合されることができ。例えば、同一のメモリページ M P 1 内にあるメモリセル 1 0 0 _{1, 1} ~ 1 0 0 _{1, N} は、同一の制御線 C L 1、同一の消去線 E L 1 及び同一のワード線 W L 1 に結合されている。しかし、メモリセル 1 0 0 _{1, 1} は、ソース線 S L 1 及びビット線 B L 1 に結合されている一方で、メモリセル 1 0 0 _{1, N} は、ソース線 S L N 及びビット線 B L N に結合されている。

40

【 0 0 1 1 】

追加的に、異なるメモリページ内にあるが、同一の列内にあるメモリセルは、異なる制御線、異なる消去線及び異なるワード線に結合されることができ、同一のソース線及び同一のビット線に結合されることができ。例えば、メモリセル 1 0 0 _{1, 1} 及び 1 0 0 _M

50

$100_{1,1}$ は、同一の列内にあるが異なるメモリページ MP_1 及び MP_M 内にある。メモリセル $100_{1,1}$ 及び $100_{M,1}$ は、同一のソース線 SL_1 及び同一のビット線 BL_1 に結合されている。しかし、メモリセル $100_{1,1}$ は、制御線 CL_1 、消去線 EL_1 及びワード線 WL_1 に結合されている一方で、メモリセル $100_{M,1}$ は制御線 CL_M 、消去線 EL_M 及びワード線 WL_M に結合されている。

【0012】

図1において、メモリセル $100_{1,1} \sim 100_{1,N} \dots 100_{M,1} \sim 100_{M,N}$ は、同一の構造を有する。各メモリセルは、フローティングゲートモジュール110と、制御エレメント120と、消去エレメント130と、を含む。フローティングゲートモジュール110は、フローティングゲートトランジスタ112と、ソーストランジスタ114と、ビットトランジスタ116と、を含む。フローティングゲートモジュール110は、ソース線、ビット線及びワード線に従い、フローティングゲートトランジスタ112を制御することができる。

10

【0013】

フローティングゲートトランジスタ112は、第一端子と、第二端子と、フローティングゲートと、を有する。ソーストランジスタ114は、第一端子と、第二端子と、制御端子と、を有する。ソーストランジスタ114の第一端子は、対応するソース線に結合されている。例えば、メモリセル $100_{1,1}$ のソーストランジスタ114の第一端子は、ソース線 SL_1 に結合されていることができ、メモリセル $100_{1,N}$ のソーストランジスタ114の第一端子は、ソース線 SL_N に結合されていることができる。ソーストランジスタ114の第二端子は、フローティングゲートトランジスタ112の第一端子に結合されており、ソーストランジスタ114の制御端子は、対応するワード線に結合されている。例えば、メモリセル $100_{1,1}$ のソーストランジスタ114の制御端子は、ワード線 WL_1 に結合されていることができ、メモリセル $100_{M,1}$ のソーストランジスタ114の制御端子は、ワード線 WL_M に結合されていることができる。

20

【0014】

ビットトランジスタ116は、第一端子と、第二端子と、制御端子と、を有する。ビットトランジスタ116の第一端子は、フローティングゲートトランジスタ112の第二端子に結合されており、ビットトランジスタ116の第二端子は、対応するビット線に結合されており、ビットトランジスタ116の制御端子は、対応するワード線に結合されている。例えば、メモリセル $100_{1,1}$ のビットトランジスタ116の第二端子は、ビット線 BL_1 に結合されていることができ、メモリセル $100_{1,N}$ のビットトランジスタ116の第二端子は、ビット線 BL_N に結合されていることができる。また、メモリセル $100_{1,1}$ のビットトランジスタ116の制御端子は、ワード線 WL_1 に結合されていることができ、メモリセル $100_{M,1}$ のビットトランジスタ116の制御端子は、ワード線 WL_M に結合されていることができる。

30

【0015】

制御エレメント120は、ボディ端子に結合された第一端子と、ボディ端子に結合された第二端子と、フローティングゲートトランジスタ112のフローティングゲートに結合された制御端子と、対応する制御線に結合されたボディ端子と、を有する。例えば、メモリセル $100_{1,1}$ の制御エレメント120のボディ端子は、制御線 CL_1 に結合されていることができ、メモリセル $100_{M,1}$ の制御エレメント120のボディ端子は、制御線 CL_M に結合されていることができる。

40

【0016】

消去エレメント130は、第一端子と、第二端子と、制御端子と、ボディ端子と、を有する。消去エレメント130の第一端子134は、対応する消去線に結合されている。例えば、メモリセル $100_{1,1}$ の消去エレメント130の第一端子は、消去線 EL_1 に結合されており、メモリセル $100_{M,1}$ の消去エレメント130の第一端子は、消去線 EL_M に結合されている。消去エレメント130の第二端子136は、消去エレメント130の第一端子に結合されているか、フローティングしており、消去エレメント130の制

50

御端子138は、フローティングゲートトランジスタ112のフローティングゲートに結合されており、消去エレメント130のボディ端子132は、ウェルバイアス線WBLに結合されている。

【0017】

図2は、本発明の一つの実施形態に従う、メモリアレイ10のレイアウトを示す。メモリセル $100_{1,1}$ のフローティングゲートモジュール110は、第一PウェルPW1のアクティブ領域AAF1に配置されることができ、メモリセル $100_{1,1}$ の消去エレメント130は、第一NウェルNW1のアクティブ領域AAE1に配置されることができ、メモリセル $100_{1,1}$ の制御エレメント120は、第二PウェルPW2のアクティブ領域AAC1に配置されることができ、第一PウェルPW1、第一NウェルNW1及び第二PウェルPW2は、同一のディープドープ領域DRに配置されている。いくつかの実施形態において、ディープドープ領域DRは、ディープNウェル又はN型埋め込み層であることができる。

10

【0018】

図3は、図2のレイアウトに従う、消去エレメント130の断面図を示す。図3において、消去エレメント130は、P型金属酸化物半導体トランジスタに類似した構造を有する。つまり、消去エレメント130のボディ端子132は、NウェルNWにあり、第一端子134及び第二端子136は、NウェルNW内に配置された二つのP型ドープ領域P+である。図3において、ウェルバイアス線WBLはボディ端子132に直接的に結合されている。しかし、いくつかの実施形態においては、ウェルバイアス線WBLは、接点(contact)又はNウェル内のN型ドープ領域を通じてNウェルNWに結合されていてもよい。フローティングゲートトランジスタ112のフローティングゲートは、ゲート構造を形成する消去エレメント130の制御端子138に結合されている。消去線ELが消去エレメント130の第一端子134に結合されているため、メモリセル $100_{1,1} \sim 100_{1,N} \dots 100_{M,1} \sim 100_{M,N}$ は、同一のウェルバイアス線WBLに結合された、消去エレメント130のボディ端子132でも正しく機能することができる。つまり、メモリセル $100_{1,1} \sim 100_{1,N} \dots 100_{M,1} \sim 100_{M,N}$ は、同一のウェルバイアス線WBLに結合された同一のディープドープ領域DRに配置されることができ、

20

【0019】

例えば、図2において、メモリセル $100_{1,N}$ のフローティングゲートモジュール110は、第三PウェルPW3のアクティブ領域AAF2に配置されることができ、メモリセル $100_{1,N}$ の消去エレメント130は、第二NウェルNW2のアクティブ領域AAE2に配置されることができ、メモリセル $100_{1,N}$ の制御エレメント120は、第二PウェルPW2のアクティブ領域AAC1に配置されることができ、しかし、第三PウェルPW3及び第二NウェルNW2は、依然として、同一のディープドープ領域DRに配置されている。

30

【0020】

メモリセル $100_{M,1} \sim 100_{M,N}$ のフローティングゲートモジュール、制御エレメント及び消去エレメントは、図2に示されるように、異なるウェル内に配置されることができ、メモリセル $100_{M,1} \sim 100_{M,N}$ の異なるウェルは、依然として、同一のディープドープ領域DR内に配置されている。つまり、M個のメモリページMP1~MPMのメモリセル $100_{1,1} \sim 100_{1,N} \dots 100_{M,1} \sim 100_{M,N}$ は、全て、同一のディープドープ領域DR内に配置されることができ、メモリアレイ10内にある異なるメモリページMP1~MPMは一つのディープドープ領域DR内に配置されるため、複数のディープドープ領域間のスペーシングルールがもはやメモリアレイ10の回路領域を制限するのに使用されず、メモリアレイ10の回路領域を大幅に小さくすることができる。

40

【0021】

図2において、メモリページMP1内のメモリセル $100_{1,1} \sim 100_{1,N}$ 等、同一のメモリページ内の複数のメモリセルの複数の制御エレメント120は、同一の第二P

50

ウェルPW2内に配置されることができる。メモリセル $100_{1,1} \sim 100_{1,N}$ のフローティングゲートモジュール110は、第二PウェルPW2の両側に配置された二つの異なるPウェルPW1及びPW3内に配置されることができる。メモリセル $100_{1,1} \sim 100_{1,N}$ の消去エレメント130は、第二PウェルPW2の両側に配置された二つの異なるNウェルNW1とNW2内に配置されることができる。このため、メモリアレイ10のレイアウトは、単一方向に延びるものではなく、メモリアレイ10のレイアウトはより柔軟なものとする事ができる。しかし、いくつかの実施形態においては、同一のメモリページ内の複数のメモリセルの複数のフローティングゲートモジュール110は、一つのPウェル内に配置されることもでき、同一のメモリページ内の複数のメモリセルの複数の消去エレメント130は、システム要件に従って、一つのNウェル内に配置されることができる。

10

【0022】

図4は、メモリアレイ10のメモリセル $100_{1,1}$ のプログラム動作時の信号の電圧を示す。図4において、第一電圧VPPは、第二電圧VEEに実質的に等しい。第一電圧VPPは、第三電圧VEE'よりも大きく、第三電圧VEE'は第四電圧VINH1よりも大きく、第四電圧VINH1は、第五電圧VSSよりも大きい。また、第一電圧VPPは、第六電圧VPP'よりも大きく、第六電圧VPP'は第五電圧VSSよりも大きい。

【0023】

いくつかの実施形態においては、第三電圧VEE'と第五電圧VSSとの差は、第一電圧VPPと第五電圧VSSとの差の半分よりも大きい。第四電圧VINH1と第五電圧VSSとの差は、第一電圧VPPと第五電圧VSSとの差の半分よりも小さく、第六電圧VPP'と第五電圧VSSとの差は、第一電圧VPPと第五電圧VSSとの差の半分よりも小さい。例えば、第一電圧VPPが18Vである場合、第二電圧VEEは、17Vから18Vまでの範囲内にあり、第五電圧VSSは0Vであり、そして、第三電圧VEE'は13Vであることができ、第四電圧VINH1は、6Vであることができ、第六電圧VPP'も6Vであることができる。

20

【0024】

図4によれば、メモリセル $100_{1,1}$ のプログラム動作時、制御線CL1は、第一電圧VPPにあり、消去線EL1は、第三電圧VEE'にあり、ワード線WL1は第四電圧VINH1にあり、ソース線SL1は、第五電圧VSSにあり、ビット線BL1は、第五電圧にあるVSSにある。

30

【0025】

この場合においては、メモリセル $100_{1,1}$ の制御エレメント120は、制御線CL1によって高電圧に結合されている。ソーストランジスタ114及びビットトランジスタ116はオンにされるため、メモリセル $100_{1,1}$ のフローティングゲートトランジスタ112の第一端子及び第二端子は、低電圧に下げられる。このため、フローティングゲートトランジスタ112に印加された高電圧差は、フローティングゲートへのFN(ファウラー-ノルトハイム)電子トンネリング注入を誘導する(induce)ことになり、メモリセル $100_{1,1}$ は、プログラムされることができる。また、メモリアレイ10内のPウェルとNウェルとの間に生成される電流漏出を防ぐため、ウェルバイアス線WBLの電圧は、全ての信号のうちもっとも高い電圧のものよりも小さくあるべきではない。この場合においては、ウェルバイアス線WBLは第一電圧VPPにあるだろう。

40

【0026】

また、メモリセル $100_{1,1}$ と同一のメモリページMP1内のメモリセル $100_{1,N}$ が、メモリセル $100_{1,1}$ のプログラム動作時にプログラムされてしまうのを防ぐため、メモリセル $100_{1,N}$ は、メモリセル $100_{1,1}$ のプログラム動作時にプログラム禁止動作を行うことができる。メモリセル $100_{1,N}$ のプログラム禁止動作時、制御線CL1は第一電圧VPPにあり、消去線EL1は第三電圧VEE'にあり、ワード線WL1は第四電圧VINH1にあり、ソース線SLNは第四電圧VINH1にあり、ビット線BLNは第四電圧VINH1にある。

50

【0027】

この場合において、メモリセル $100_{1,N}$ は、メモリセル $100_{1,1}$ と同一の制御線 $CL1$ 、消去線 $EL1$ 及びワード線 $WL1$ に結合されているものの、メモリセル $100_{1,N}$ は、メモリセル $100_{1,N}$ のソーストランジスタ 114 及びビットトランジスタ 116 により引き起こされるチャネルブーストの影響によりプログラムされないことになる。つまり、フローティングゲートトランジスタ 112 の第一端子及び第二端子の電圧は、第四電圧 $VINH1$ よりも高い電圧にブーストされ、メモリセル $100_{1,N}$ のフローティングゲートは、十分な電子を捕まえることができず、メモリセル $100_{1,N}$ はプログラムされないことになる。また、制御線 $CL1$ は第一電圧 VPP にあるため、ウェルバイアス線 WBL は、メモリセル $100_{1,N}$ のプログラム禁止動作時に、依然として、第一電圧 VPP にある。

10

【0028】

さらに、メモリセル $100_{1,1}$ のプログラム動作時、メモリページ MPM 等の非選択メモリページ内にあるメモリセルは、プログラムされるべきではない。このため、図4において、非選択メモリページ MPM 内にある非選択メモリセル $100_{M,1}$ に結合された制御線 CLM は、第六電圧 VPP' にあり、非選択のメモリセル $100_{M,1}$ に結合された消去線 ELM は、第三電圧 VEE' にあり、非選択メモリセル $100_{M,1}$ に結合されたワード線 WLM は、第四電圧 $VINH1$ にある。

【0029】

メモリセル $100_{M,1}$ の消去エレメント 130 のボディ端子は、第一電圧 VPP にあるウェルバイアス線 WBL に結合されるため、消去線 ELM の電圧は低くなりすぎることができない。そうでないと、消去エレメント 130 はブレイクダウン(breakdown)する可能性がある。一方で、消去線 ELM の電圧は、高くなりすぎることができない。そうでないと、メモリセル $100_{M,1}$ のフローティングゲートが、予期せずプログラムされる可能性がある。このため、消去線 ELM は、メモリセル $100_{1,1}$ のプログラム動作時に第三電圧 VEE' であることができ、第三電圧 VEE' と第五電圧 VSS との差は、第一電圧 VPP と第五電圧 VSS との差の半分よりも僅かに大きくあることができる。この場合、消去エレメント 130 は、ブレイクダウンせずに、予期せずプログラムされないことになる。

20

【0030】

また、制御線 CLM の電圧は、低くなりすぎることができない。そうでないと、メモリセル $100_{M,1}$ は不安定になる可能性がある。このため、制御線 CLM はメモリセル $100_{1,1}$ のプログラム動作時は、第六電圧 VPP' にある。第六電圧 VPP' と第五電圧 VSS との差は第一電圧 VPP と第五電圧 VSS との差の半分よりも僅かに小さくあることができる。この場合、消去エレメント 130 は安定したままでいることができる。

30

【0031】

追加的に、同一の列にはあるが、異なるメモリページ内にあるメモリセルは、同一のソース線及び同一のビット線に結合されているため、ワード線は、ゲート誘導ドレインリーク($GIDL$)電流を低減するため第四電圧 $VINH1$ であることができる。例えば、メモリセル $100_{1,1}$ のプログラム動作及びメモリセル $100_{1,N}$ のプログラム禁止動作時、メモリセル $100_{M,N}$ に結合されたソース線 SLN 及びビット線 BLN は、第四電圧 $VINH1$ にある。ワード線 WLM が第五電圧 VSS にある場合、大きな電圧差がメモリセル $100_{M,N}$ のソーストランジスタ 114 及びビットトランジスタ 116 で $GIDL$ 電流を引き起こす可能性がある。しかし、ワード線 WLM が第四電圧にあると、他のメモリセルの動作に影響を与えずに、効率よく $GIDL$ 電流を回避することができる。

40

【0032】

図5は、メモリアレイ 10 内のメモリセル $100_{1,1}$ の消去動作時の信号の電圧を示す。メモリセル $100_{1,1}$ の消去動作時、消去線 $EL1$ は第二電圧 VEE にあり、ワード線 $WL1$ は第四電圧 $VINH1$ 又は第五電圧 VSS にあり、ソース線 $SL1$ は第四電圧 $VINH1$ にあり、ビット線 $BL1$ は、第四電圧 $VINH1$ にあり、制御線 $CL1$ は、第

50

五電圧 VSS にある。

【0033】

この場合において、消去線 $EL1$ の高電圧は、 FN 電子トンネリング放出を引き起こすことができるため、メモリセル $100_{1,1}$ は消去されることができる。追加的に、メモリセル $100_{1,1}$ の消去動作時の全ての信号のうち、消去線 $EL1$ は最も大きい電圧、つまり、第二電圧 VEE を有することができるため、ウェルバイアス線 WBL は第二電圧 VEE となるものである。

【0034】

本発明のいくつかの実施形態においては、メモリアレイ 10 はページ単位で消去されることができる。つまり、メモリページ $MP1$ 内にあるメモリセル $100_{1,1} \sim 100_{1,N}$ 等の同一のメモリページにあるメモリセルは同時に消去されることになる。この場合において、メモリセル $100_{1,1} \sim 100_{1,N}$ に結合されたソース線 $SL1 \sim SLN$ 及びビット線 $BL1 \sim BLN$ は全て同一のかなり低めの電圧にあることができる。例えば、ソース線 $SL1 \sim SLN$ 及びビット線 $BL1 \sim BLN$ は、全て第四電圧 $VINH1$ 又は第五電圧 VSS にあることができる。この場合において、第四電圧 $VINH1$ と第五電圧 VSS との差は、第二電圧 VEE と第五電圧 VSS との差の半分より小さくあることができる。

10

【0035】

追加的に、メモリセル $100_{1,1}$ の消去動作時、メモリページ MPM 等の非選択メモリページ内のメモリセルは消去されるべきではない。例えば、非選択メモリページ MPM 内にあるメモリセル $100_{M,1}$ が消去されるのを防ぐため、消去線 ELM の電圧は高くなりすぎることができない。しかし、ウェルバイアス線 WBL は第二電圧 VEE にあるため、消去線 ELM の電圧は低くなりすぎることができない。そうでないと、メモリセル $100_{1,1}$ の消去エレメント 130 がブレークダウンする可能性がある。このため、図5によれば、消去線 ELM は第三電圧 VEE' にあることができる。第三電圧 VEE' と第五電圧 VSS との差は、第二電圧 VEE と第五電圧 VSS との差の半分よりも僅かに大きくあることができる。

20

【0036】

この場合においては、消去線 ELM の電圧は、メモリセル $100_{M,1}$ を消去する程には高くなく、消去エレメント 130 をブレークダウンさせる程には低くない。制御線 CLM は第六電圧 VPP' にあるため、メモリセル $100_{M,1}$ は、消去線 ELM によって予期せずプログラムされる、又は消去されないものである。図5において、第六電圧 VPP' と第五電圧 VSS との差は、第二電圧 VEE と第五電圧 VSS との差の半分よりも小さい。同様に、ワード線 WLM 、ソース線 $SL1$ 及びビット線 $BL1$ は、適切な電圧にあることができ、これにより、 $GIDL$ 電流が防がれることができつつ、メモリセル $100_{M,1}$ は、消去線 ELM によって予期せずプログラムされる、又は消去されないものである。いくつかの実施形態においては、ワード線 WLM 、ソース線 $SL1$ 及びビット線 $BL1$ は第四電圧 $VINH1$ にあることができる。

30

【0037】

本発明のいくつかの実施形態においては、メモリアレイは、セクタ単位で消去されることができる。つまり、メモリアレイ内のメモリセルが全て同時に消去されることができる。図6は、本発明の一つの実施形態に従う、メモリアレイ 20 を示す。メモリアレイ 10 及びメモリアレイ 20 は類似の構造を有する。これら二つの違いは、メモリセル $200_{1,1} \sim 200_{1,N} \dots 200_{M,1} \sim 200_{M,N}$ は、全て同一の消去線 $EL0$ に結合されているため、メモリアレイ 20 内のメモリセル $200_{1,1} \sim 200_{1,N} \dots 200_{M,1} \sim 200_{M,N}$ は、全て同時に消去されるものであるということにある。

40

【0038】

図7は、メモリアレイ 20 内のメモリセル $200_{1,1}$ の消去動作時の信号の電圧を示す。

【0039】

50

メモリセル $200_{1,1}$ の消去動作時、消去線 $EL0$ は第二電圧 V_{EE} にあり、制御線 $CL1$ は第五電圧 V_{SS} にあり、ソース線 $SL1$ 及びビット線 $BL1$ はいずれも第四電圧 V_{INH1} 又は第五電圧 V_{SS} にあるとともに、ワード線は第四電圧 V_{INH1} 又は第五電圧 V_{SS} にある。

【0040】

この場合において、消去線 $EL0$ の高電圧は FN 電子トンネリング放出を引き起こすため、メモリセル $200_{1,1}$ は消去されることができる。メモリアレイ 20 内のメモリセル $200_{1,1} \sim 200_{1,N} \dots 200_{M,1} \sim 200_{M,N}$ は同時に消去されるため、全てのメモリセル $200_{1,1} \sim 200_{1,N} \dots 200_{M,1} \sim 200_{M,N}$ によって受けた信号の電圧は同一であることができる。

10

【0041】

追加的に、消去線は、プログラム動作及びプログラム禁止動作時に第三電圧 $V_{EE'}$ にあるため、メモリアレイ 20 は、図4に示すような、プログラム動作及びプログラム禁止動作時のメモリアレイ 10 と同様の原理により動作されることができる。

【0042】

その結果、メモリアレイ 20 のメモリセル $200_{1,1} \sim 200_{1,N} \dots 200_{M,1} \sim 200_{M,N}$ は、全て同一のディーブドープ領域内に配置されることができる。メモリアレイ 20 内にある異なるメモリページ $MP1 \sim MPM$ は、一つのディーブドープ領域内に配置されるため、複数のディーブドープ領域間のスペーシングルールは、もはやメモリアレイ 20 の回路領域を制限するのに使用されず、メモリアレイ 20 の回路領域は、大幅に低減することができる。追加的に、メモリアレイ 20 の全てのメモリセル $200_{1,1} \sim 200_{1,N} \dots 200_{M,1} \sim 200_{M,N}$ は、同一の消去線に結合されるため、消去線を提供する駆動回路は、簡潔化されることができ、これにより、さらに、メモリアレイ 20 に要求されるチップ領域を低減することができる。

20

【0043】

図8は、本発明の一つの実施形態に従う、メモリアレイ 30 を示す。メモリアレイ 30 は、メモリアレイ 10 と類似する構造を有する。これら二つの違いは、メモリセル $300_{1,1} \sim 300_{1,N} \dots 300_{M,1} \sim 300_{M,N}$ の各々が、フローティングゲートモジュール 310 と、制御エレメント 120 と、消去エレメント 130 と、を有することにある。

30

【0044】

フローティングゲートモジュール 310 は、フローティングゲートトランジスタ 312 と、ソーストランジスタ 314 と、を含む。フローティングゲートトランジスタ 312 は、第一端子と、第二端子と、フローティングゲートと、を有する。フローティングゲートトランジスタ 312 の第二端子は、対応するビット線に結合されている。例えば、メモリセル $300_{1,1}$ のフローティングゲートトランジスタ 312 の第二端子は、ビット線 $BL1$ に結合されており、メモリセル $300_{1,N}$ のフローティングゲートトランジスタ 312 の第二端子は、ビット線 BLN に結合されている。フローティングゲートトランジスタ 312 のフローティングゲートは、制御エレメント 120 及び消去エレメント 130 に結合されている。

40

【0045】

ソーストランジスタ 314 は、第一端子と、第二端子と、制御端子と、を有する。ソーストランジスタ 314 の第一端子は、対応するソース線に結合されている。例えば、メモリセル $300_{1,1}$ のソーストランジスタ 314 の第一端子は、ソース線 $SL1$ に結合されることができ、メモリセル $300_{1,N}$ のソーストランジスタ 314 の第一端子は、ソース線 SLN に結合されることができる。ソーストランジスタ 314 の第二端子は、フローティングゲートトランジスタ 312 の第一端子に結合されており、ソーストランジスタ 314 の制御端子は、対応するワード線に結合されている。例えば、メモリセル $300_{1,1}$ のソーストランジスタ 314 の制御端子は、ワード線 $WL1$ に結合されることができ、メモリセル $300_{M,1}$ のソーストランジスタ 314 はワード線 WLM に結合されるこ

50

とができる。

【0046】

図9は、メモリアレイ30内のメモリセル300_{1,1}のプログラム動作時の信号の電圧を示す。

【0047】

図9において、メモリセル300_{1,1}のプログラム動作時、制御線CL1は、第一電圧VPPにあり、消去線EL1は、第三電圧VEE'にあり、ワード線WL1は、第四電圧VINH1にあり、ソース線SL1は第五電圧VSSにあり、ビット線BL1は第五電圧VSSにある。

【0048】

この場合においては、メモリセル300_{1,1}の制御エレメント120は制御線CL1による高電圧に結合されている。ソーストランジスタ314は、オンにされるため、メモリセル300_{1,1}のフローティングゲートトランジスタ312は低電圧に下げられる。このため、フローティングゲートトランジスタ312に印加された高電圧差は、フローティングゲートへのFN(ファウラー-ノルトハイム)電子トンネリング注入を誘導することになり、メモリセル300_{1,1}は、プログラムされることができる。また、メモリアレイ10内のPウェルとNウェルとの間に生成される電流漏出を防ぐため、ウェルバイアス線WBLの電圧は、全ての信号のうちもっとも高い電圧のものよりも小さくあるべきではない。この場合においては、ウェルバイアス線WBLは第一電圧VPPにあるだろう。

【0049】

また、いくつかの実施形態においては、メモリセル300_{1,1}と同一のメモリページMP1内のメモリセル300_{1,N}が、メモリセル300_{1,1}のプログラム動作時にプログラムされてしまうのを防ぐため、メモリセル300_{1,N}は、メモリセル300_{1,1}のプログラム動作時にプログラム禁止動作を行うことができる。メモリセル300_{1,N}のプログラム禁止動作時、制御線CL1は第一電圧VPPにあり、消去線EL1は第三電圧VEE'にあり、ワード線WL1は第四電圧VINH1にあり、ソース線SLNは第七電圧VINH2にあり、ビット線BLNは第七電圧VINH2にある。

【0050】

フローティングゲートトランジスタ312の第二端子は、対応するビット線に結合されているので、ビット線BLNはかなり高めの電圧にあり、メモリセル300_{1,N}がプログラムされるのを防ぐ。この場合においては、ビット線BLNは第七電圧VINH2にあることができる。第七電圧VINH2と第五電圧との差は、フローティングゲートトランジスタ312のソース/ドレイン接合(junction)ブレークダウン電圧よりも小さくなくてはならない。例えば、フローティングゲートトランジスタ312のソース/ドレイン接合ブレークダウン電圧が9Vである場合、第七電圧VINH2は8Vであることができる。

【0051】

この場合において、メモリセル300_{1,N}は、メモリセル300_{1,1}と同一の制御線CL1、消去線EL1及びワード線WL1に結合されているが、メモリセル300_{1,N}は、メモリセル300_{1,N}のフローティングゲートトランジスタ312の第一端子及び第二端子でのかなり高めの電圧によりプログラムされないものである。また、制御線CL1は第一電圧VPPにあるため、ウェルバイアス線WBLは、メモリセル300_{1,N}のプログラム禁止動作時に、依然として、第一電圧VPPのままである。

【0052】

さらに、メモリセル300_{1,1}のプログラム動作時、メモリページMPM等の非選択メモリページ内にあるメモリセルは、プログラムされるべきではない。このため、図9において、非選択メモリページMPM内にある非選択メモリセル300_{M,1}に結合された制御線CLMは、第六電圧VPP'にあり、非選択のメモリセル300_{M,1}に結合された消去線ELMは、第三電圧VEE'にあり、非選択メモリセル300_{M,1}に結合されたワード線WLMは、第四電圧VINH1にある。図9において、第六電圧VPP'と第

10

20

30

40

50

五電圧 V_{SS} との差は、第一電圧 V_{PP} と第五電圧 V_{SS} との差の半分よりも小さい。

【0053】

消去線 ELM がメモリセル $300_{1,1}$ のプログラム動作時に第三電圧 $V_{EE'}$ であるため、消去エレメント 130 はブレークダウンすることなく、メモリセル $300_{M,1}$ は予期せずプログラムされないことになる。また、制御線 CLM は、第六電圧 $V_{PP'}$ にあり、メモリセル $300_{M,1}$ がプログラムされないことを保証する。

【0054】

追加的に、同一の列にはあるが、異なるメモリページ内にあるメモリセルは、同一のソース線及び同一のビット線に結合されているため、ワード線は、ゲート誘導ドレインリーク ($GIDL$) 電流を低減するため第四電圧 V_{INH1} であることができる。例えば、メモリセル $300_{1,1}$ のプログラム動作及びメモリセル $300_{1,N}$ のプログラム禁止動作時、メモリセル $300_{M,N}$ に結合されたソース線 SLN 及びビット線 BLN は、第七電圧 V_{INH2} にある。ワード線 WLM が第五電圧 V_{SS} にある場合、大きな逆電圧差がメモリセル $300_{M,N}$ のソーストランジスタ 314 で $GIDL$ 電流を引き起こす可能性がある。しかし、ワード線 WLM が第四電圧にあると、他のメモリセルの動作に影響を与えずに、効率よく $GIDL$ 電流を回避することができる。

10

【0055】

図10は、メモリアレイ30内のメモリセル $300_{1,1}$ の消去動作時の信号の電圧を示す。

【0056】

メモリセル $300_{1,1}$ の消去動作時、消去線 $EL1$ は第二電圧 V_{EE} にあり、制御線 $CL1$ は第五電圧 V_{SS} にあり、ソース線及びビット線はいずれも第四電圧 V_{INH1} 又は第五電圧 V_{SS} にあるとともに、ワード線は第四電圧 V_{INH1} 又は第五電圧 V_{SS} にある。

20

【0057】

この場合において、消去線 $EL1$ の高電圧は、 FN 電子トンネリング放出を引き起こすことができるため、メモリセル $300_{1,1}$ は消去されることができる。追加的に、メモリセル $300_{1,1}$ の消去動作時の全ての信号のうち、消去線 $EL1$ は最も大きい電圧、つまり、第二電圧 V_{EE} を有することができるため、ウェルバイアス線 WBL は第二電圧 V_{EE} となるものである。

30

【0058】

追加的に、メモリセル $300_{1,1}$ の消去動作時、メモリページ MPM 等の非選択メモリページ内のメモリセルは消去されるべきではない。例えば、非選択メモリページ MPM 内にあるメモリセル $300_{M,1}$ が消去されるのを防ぐため、消去線 ELM の電圧は高くなりすぎることができない。しかし、ウェルバイアス線 WBL は第二電圧 V_{EE} にあるため、消去線 ELM の電圧は低くなりすぎることができない。そうでないと、メモリセル $300_{M,1}$ の消去エレメント 130 がブレークダウンする可能性がある。このため、図10においては、消去線 ELM は第三電圧 $V_{EE'}$ にあることができる。

【0059】

この場合においては、消去線 ELM の電圧は、メモリセル $300_{M,1}$ を消去する程には高くなく、消去エレメント 130 をブレークダウンさせる程には低くない。消去線 ELM の電圧に従い、制御線 CLM は、第六電圧 $V_{PP'}$ にあることができる。図10において、第六電圧 $V_{PP'}$ と第五電圧 V_{SS} との差は、第二電圧 V_{EE} と第五電圧 V_{SS} との差の半分よりも小さい。また、ワード線 WLM 、ソース線 $SL1$ 及びビット線 $BL1$ は、適切な電圧にあることができ、これにより、 $GIDL$ 電流が防がれることができつつ、メモリセル $300_{M,1}$ は、消去線 ELM によって予期せずプログラムされる、又は消去されないものである。いくつかの実施形態においては、ワード線 WLM 、ソース線 $SL1$ 及びビット線 $BL1$ は第四電圧 V_{INH1} にあることができる。メモリセル $300_{1,1}$ に結合された消去線 $EL1$ はさらに高い電圧、第二電圧 V_{EE} にあり、メモリセル $300_{1,1}$ に結合された制御線 $CL1$ は低電圧、第五電圧 V_{SS} にあるため、メモリセル $300_{1,1}$

40

50

$1, 1$ は、第四電圧 $VINH1$ にあるソース線 $SL1$ 及びビット線 $BL1$ とでもあっても、依然として、普通に消去されることができる。

【0060】

本発明のいくつかの実施形態においては、メモリアレイ30はページ単位で消去されることができる。つまり、メモリページMP1内にあるメモリセル $300_{1,1} \sim 300_{1,N}$ 等の同一のメモリページにあるメモリセルは同時に消去されることになる。この場合において、メモリセル $300_{1,1} \sim 300_{1,N}$ に結合されたソース線 $SL1 \sim SLN$ 及びビット線 $BL1 \sim BLN$ は、消去動作時に、全て第四電圧 $VINH1$ であることができる。

【0061】

本発明のいくつかの実施形態においては、メモリアレイは、セクタ単位で消去されることができる。つまり、メモリアレイ内のメモリセルが全て同時に消去されることができる。図11は、本発明の一つの実施形態に従う、メモリアレイ40を示す。メモリアレイ40及びメモリアレイ30は類似の構造を有する。これら二つの違いは、メモリセル $400_{1,1} \sim 400_{1,N} \dots 400_{M,1} \sim 400_{M,N}$ は、全て同一の消去線 $EL0$ に結合されているため、メモリアレイ40内のメモリセル $400_{1,1} \sim 400_{1,N} \dots 400_{M,1} \sim 400_{M,N}$ は、全て同時に消去されるものであるということにある。

【0062】

図12は、メモリアレイ40内のメモリセル $400_{1,1}$ の消去動作時の信号の電圧を示す。

【0063】

メモリセル $400_{1,1}$ の消去動作時、消去線 $EL0$ は第二電圧 VEE にあり、制御線 $CL1$ は第五電圧 VSS にあり、ソース線 $SL1$ 及びビット線 $BL1$ はいずれも第四電圧 $VINH1$ 又は第五電圧 VSS にあるとともに、ワード線は第四電圧 $VINH1$ 又は第五電圧 VSS にある。この場合において、消去線 $EL0$ の高電圧はFN電子トンネリング放出を引き起こすため、メモリセル $400_{1,1}$ は消去されることができる。

【0064】

メモリアレイ40内のメモリセル $400_{1,1} \sim 400_{1,N} \dots 400_{M,1} \sim 400_{M,N}$ は同時に消去されるため、全てのメモリセル $400_{1,1} \sim 400_{1,N} \dots 400_{M,1} \sim 400_{M,N}$ によって受けた信号の電圧は同一であることができる。

【0065】

追加的に、消去線 $EL0$ はプログラム動作及びプログラム禁止動作時に第三電圧 VEE' にあるため、メモリアレイ40は、図9に示すような、プログラム動作及びプログラム禁止動作時のメモリアレイ13と同様の原理により動作されることができる。

【0066】

その結果、メモリアレイ20のメモリセル $400_{1,1} \sim 400_{1,N} \dots 400_{M,1} \sim 400_{M,N}$ は、全て同一のディープドープ領域内に配置されることができる。メモリアレイ40内にある異なるメモリページMP1~MPMは、一つのディープドープ領域内に配置されるため、複数のディープドープ領域間のスペーシングルールは、もはやメモリアレイ40の回路領域を制限するのに使用されず、メモリアレイ40の回路領域は、大幅に低減することができる。

【0067】

まとめると、本発明の実施形態により提供されたメモリアレイは、メモリアレイ内にある異なるメモリページのメモリセルが、全て同一のディープドープ領域内に配置されることができる。メモリアレイ内の異なるメモリページが一つのディープドープ領域内に配置されるため、ディープドープ領域間のスペーシングルールは、もはやメモリアレイの回路領域を制限するのに使用されず、メモリアレイの回路領域は、大幅に低減されることができる。

【0068】

当業者であれば、本装置及び方法の多様な修正物及び代替物が、発明の教示を保持しつ

10

20

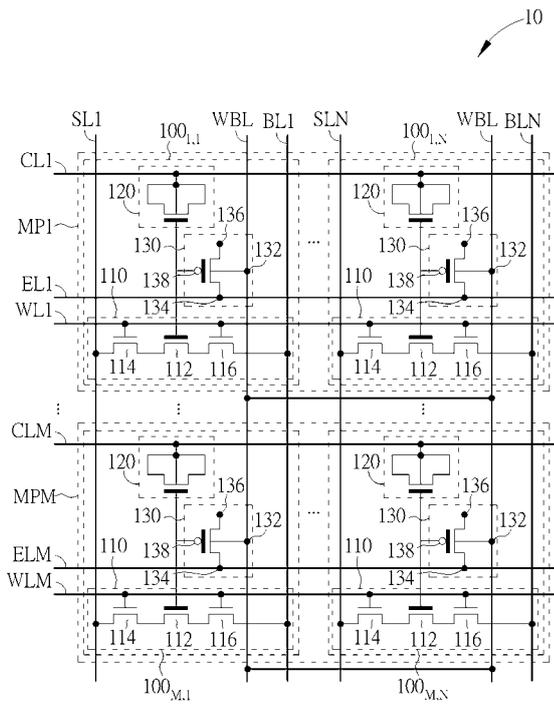
30

40

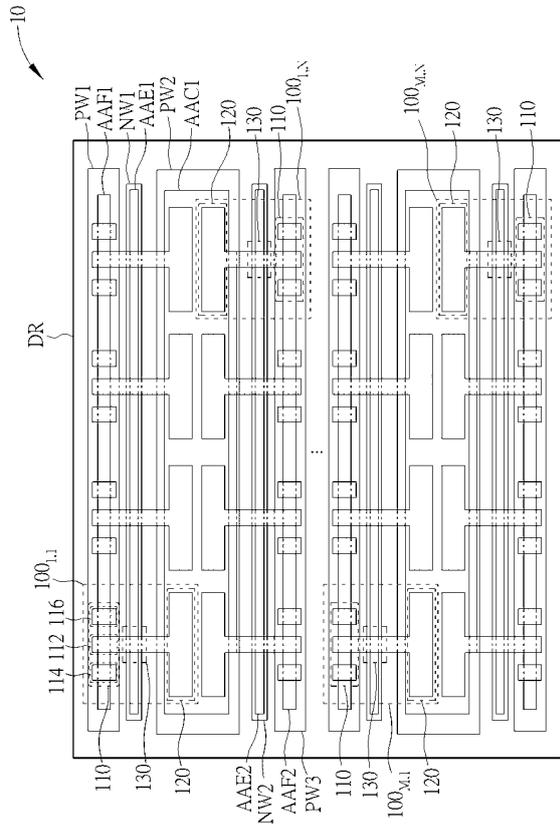
50

つなされることができることに容易に気づくだろう。したがって、上記の開示は、添付の特許請求の範囲の境界によってのみ制限されるものとして解釈されるべきである。

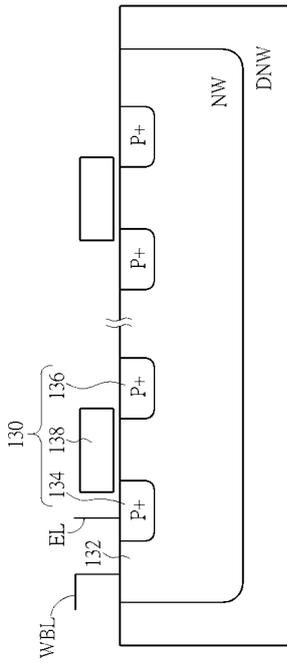
【 図 1 】



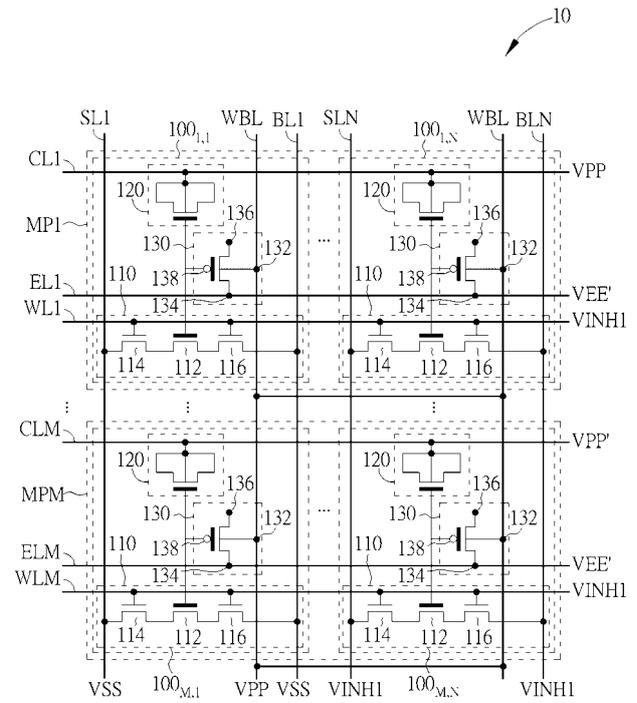
【 図 2 】



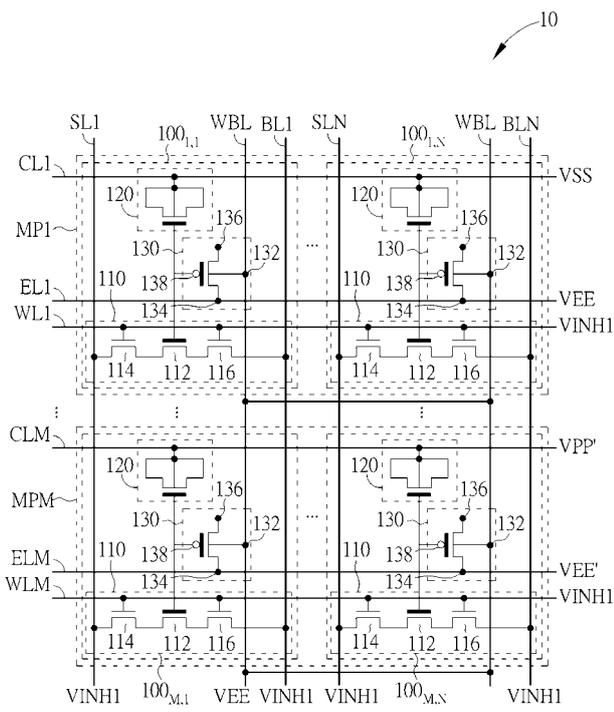
【 図 3 】



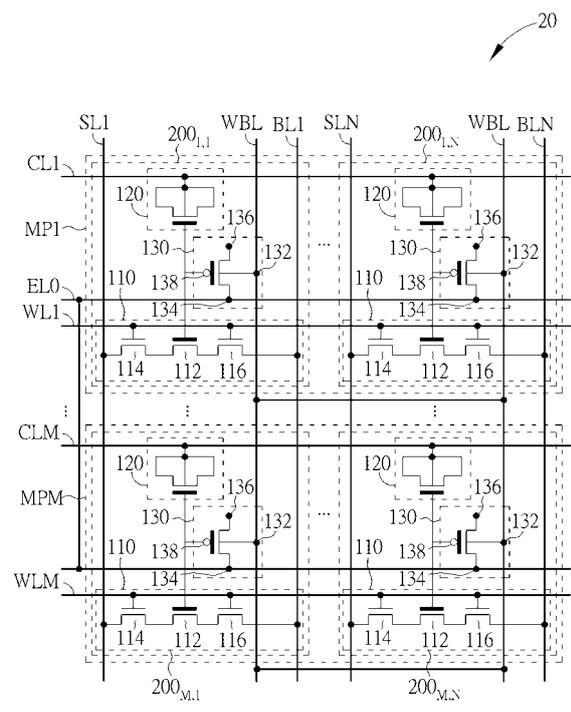
【 図 4 】



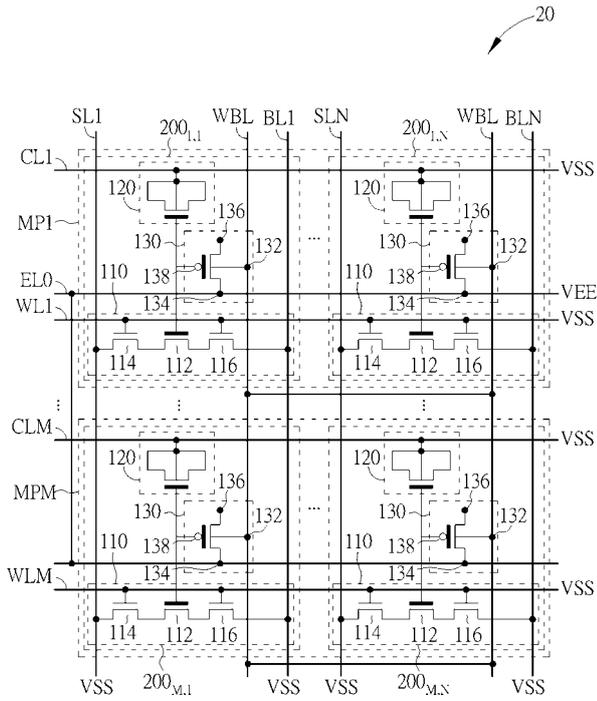
【 図 5 】



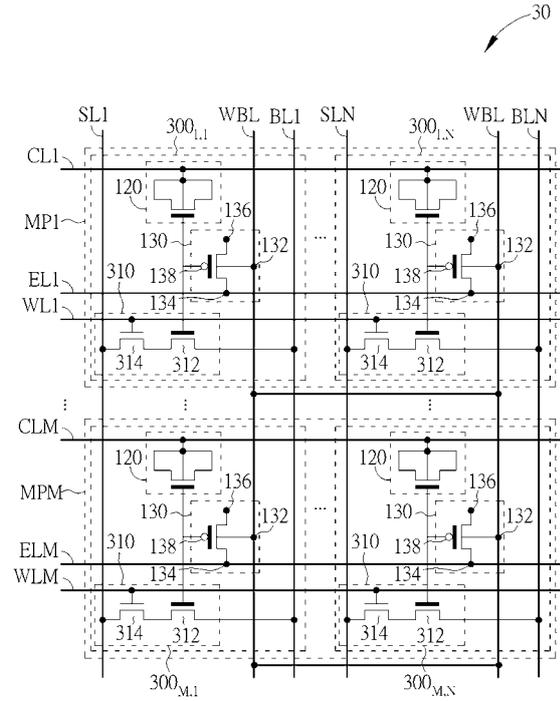
【 図 6 】



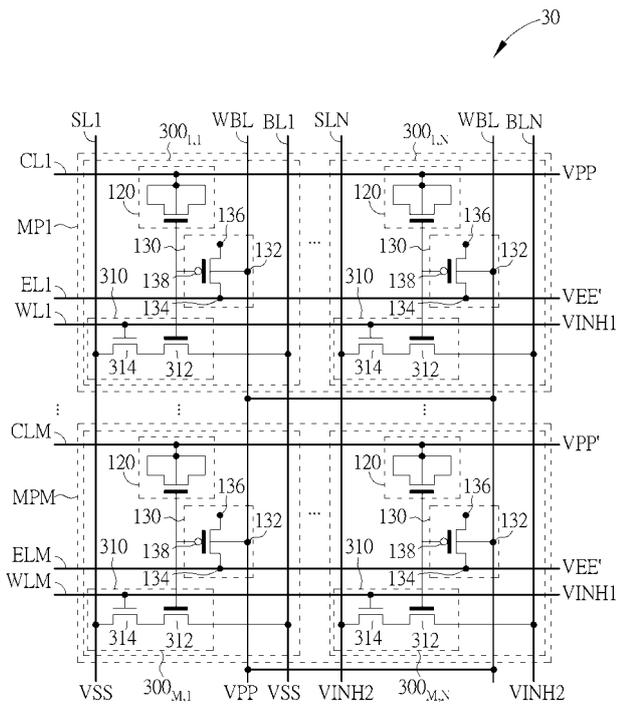
【 図 7 】



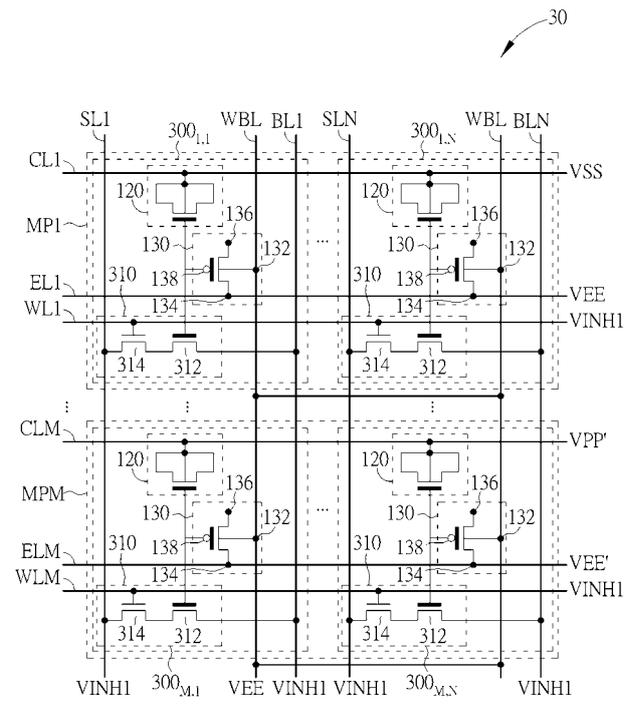
【 図 8 】



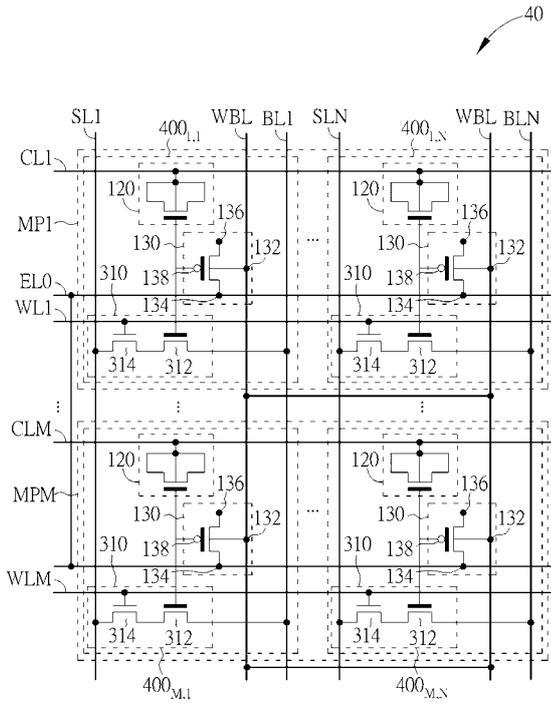
【 図 9 】



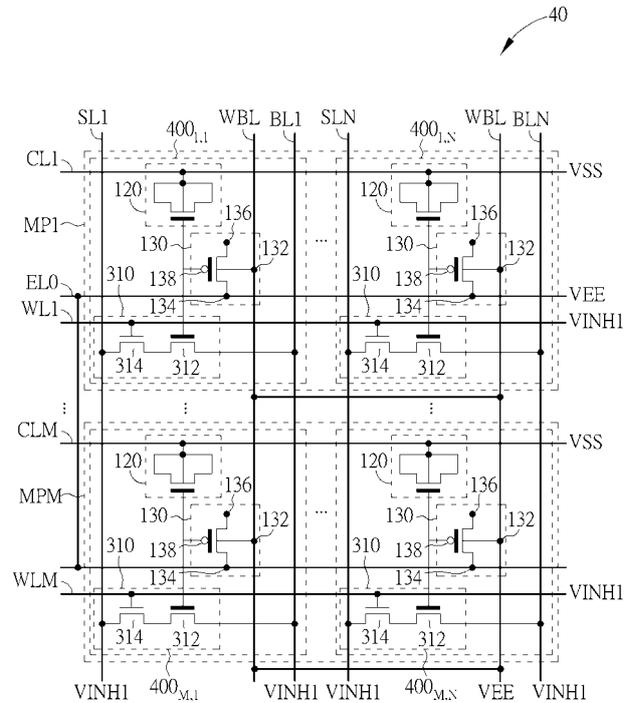
【 図 10 】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/792 (2006.01)

(74)代理人 100091214

弁理士 大貫 進介

(72)発明者 頼 宗沐

台湾新竹縣竹北市成功七街二三五號

(72)発明者 景 文 浩

台湾新竹縣竹東鎮三重路四十二號六樓

(72)発明者 柏 正豪

台湾新竹市八 德 路一七一號二樓

Fターム(参考) 5B225 BA02 BA09 CA07 DB02 DC03 EA01 FA06 FA07
5F083 EP02 EP30 EP42 EP62 EP67 ER03 ER14 ER23 GA06 GA09
GA30 KA01 KA05 KA11 LA01 LA02 LA12 LA16 LA20 PR46
5F101 BA02 BB09 BB15 BC02 BE02 BE05 BE07

【外国語明細書】

2017130646000001.pdf