

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4413674号  
(P4413674)

(45) 発行日 平成22年2月10日(2010.2.10)

(24) 登録日 平成21年11月27日(2009.11.27)

(51) Int.Cl. F I  
**G 1 1 C 16/06 (2006.01)** G 1 1 C 17/00 6 3 4 B  
 G 1 1 C 17/00 6 3 4 D

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2004-96914 (P2004-96914)	(73) 特許権者	000003078
(22) 出願日	平成16年3月29日 (2004.3.29)		株式会社東芝
(65) 公開番号	特開2005-285215 (P2005-285215A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年10月13日 (2005.10.13)	(74) 代理人	100058479
審査請求日	平成19年1月25日 (2007.1.25)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

センスアンプ回路と、  
 前記センスアンプ回路の第1のセンス端子に接続された第1のデータ線と、  
 前記第1のデータ線を充電する第1のセンスアンプ負荷と、  
 前記センスアンプ回路の第2のセンス端子に接続されたリファレンス用の第2のデータ線と、  
 前記第2のデータ線を充電する第2のセンスアンプ負荷と  
 を具備し、  
 前記第1のデータ線の容量と前記第2のデータ線の容量との差に応じて、前記第1のセ  
 ンスアンプ負荷と前記第2のセンスアンプ負荷とに能力差を設け、  
 前記第1のセンスアンプ負荷および前記第2のセンスアンプ負荷は、  
能力が同じ第1の充電負荷と、  
前記第1の充電負荷とは能力が異なる第2の充電負荷と  
をそれぞれ有し、  
前記第1，第2のデータ線の充電平衡状態到達時には前記第1の充電負荷によって、前  
記第1，第2のデータ線を充電し、  
前記充電平衡状態に到達するまでの充電過渡期には前記第1，第2の充電負荷によって  
、前記第1，第2のデータ線を急速充電する  
ことを特徴とする半導体メモリ装置。

10

20

## 【請求項2】

センスアンプ回路と、  
 前記センスアンプ回路の第1のセンス端子に接続された第1のデータ線と、  
 前記センスアンプ回路の第2のセンス端子に接続されたりファレンス用の第2のデータ線と、  
 前記第1のデータ線を充電する、前記第1のデータ線の容量に応じた能力を有する第1のセンスアンプ負荷と、  
 前記第2のデータ線を充電する、前記第2のデータ線の容量に応じた能力を有する第2のセンスアンプ負荷と  
 を具備し、前記第1のセンスアンプ負荷および前記第2のセンスアンプ負荷は、  
能力が同じ第1の充電負荷と、  
前記第1の充電負荷とは能力が異なり、第1のバンクに起因するデータ線の容量に応じた能力を有する第2の充電負荷と、  
前記第1、第2の充電負荷とは能力が異なり、第2のバンクに起因するデータ線の容量に応じた能力を有する第3の充電負荷と  
 をそれぞれ有し、  
 前記第2、第3の充電負荷は、前記第1または第2のバンクのアドレスをデコードするデコード回路の出力によって選択されることを特徴とする半導体メモリ装置。

10

## 【請求項3】

センスアンプ回路と、  
 前記センスアンプ回路の第1のセンス端子に接続された第1のデータ線と、  
 前記センスアンプ回路の第2のセンス端子に接続されたりファレンス用の第2のデータ線と、  
 前記第1のデータ線を充電する、前記第1のデータ線の容量に応じた能力を有する第1のセンスアンプ負荷と、  
 前記第2のデータ線を充電する、前記第2のデータ線の容量に応じた能力を有する第2のセンスアンプ負荷と  
 を具備し、前記第1のセンスアンプ負荷および前記第2のセンスアンプ負荷は、  
能力が同じ第1の充電負荷と、  
前記第1の充電負荷とは能力が異なる第2の充電負荷と  
 をそれぞれ有し、  
 前記第1、第2のデータ線の充電平衡状態到達時には前記第1の充電負荷によって、前記第1、第2のデータ線を充電し、  
 前記充電平衡状態に到達するまでの充電過渡期には前記第1、第2の充電負荷によって、前記第1、第2のデータ線を急速充電することを特徴とする半導体メモリ装置。

20

30

## 【請求項4】

センスアンプ回路と、  
 前記センスアンプ回路の第1のセンス端子に接続された第1のデータ線と、  
 前記第1のデータ線を充電する第1のセンスアンプ負荷と、  
 前記センスアンプ回路の第2のセンス端子に接続されたりファレンス用の第2のデータ線と、  
 前記第2のデータ線を充電する第2のセンスアンプ負荷と  
 を具備し、  
前記第1のデータ線の容量と前記第2のデータ線の容量との差に応じて、前記第1のセンスアンプ負荷と前記第2のセンスアンプ負荷とに能力差を設け、  
 前記第1のセンスアンプ負荷および前記第2のセンスアンプ負荷は、  
 能力が同じ第1の充電負荷と、  
 前記第1の充電負荷とは能力が異なり、第1のバンクに起因するデータ線の容量に応じた能力を有する第2の充電負荷と、

40

50

前記第 1, 第 2 の充電負荷とは能力が異なり、第 2 のバンクに起因するデータ線の容量に応じた能力を有する第 3 の充電負荷と

をそれぞれ有し、

前記第 2, 第 3 の充電負荷は、前記第 1 または第 2 のバンクのアドレスをデコードするデコード回路の出力によって選択されることを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置に関するもので、特に、フラッシュメモリの高速読み出し時におけるデータ線の充電動作に関する。

10

【背景技術】

【0002】

近年、フラッシュメモリにおいては、高速読み出しのための各種の方法が模索されている(たとえば、特許文献 1 参照)。

【0003】

その 1 つに、たとえば、リファレンスセルの閾値(電流)を、本体セルの、“1”データを記憶するオンセルの閾値(電流)と“0”データを記憶するオフセルの閾値(電流)のほぼ中間に設定する。また、本体セルおよびリファレンスセルの各データ線に容量等価性を持たせるとともに、各データ線を同じ能力のセンスアンプ(S/A)負荷を用いて充電する。これにより、本体セルのデータ線の電位が、オンセルおよびオフセルに対応した充電の平衡状態に達する前(過渡状態)でも、データの確定を可能にした方法が知られている。

20

【0004】

しかしながら、上記した方法の場合、リファレンスセルのデータ線にダミー容量を付加することで、本体セルおよびリファレンスセルの各データ線に発生する容量に等価性を持たせるものであった。また、フラッシュメモリの場合、バンクの構成が多様化・大容量化するにつれて、本体セルのデータ線に発生する容量も多様化および増加してきた。そのため、本体セルのデータ線に発生する容量の多様化や増加にともなって、リファレンスセルのデータ線に付加するダミー容量が増大するという問題があった。

【0005】

30

上記したように、高速読み出しを可能とするために、本体セルのデータ線の容量に応じて、リファレンスセルのデータ線にダミー容量を付加する場合、本体セルのデータ線に発生する容量の多様化および増加にともなって、リファレンスセルのデータ線に付加するダミー容量が増大するという問題があった。

【特許文献 1】特開 2003-338185

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、本体セルのデータ線に発生する容量の多様化および増加に対してもデータ線の充電等価性を保存したまま、リファレンスセルのデータ線に付加するダミー容量が増大するのを抑制でき、高速読み出しが可能な半導体メモリ装置を提供する。

40

【課題を解決するための手段】

【0007】

本願発明の一態様によれば、センスアンプ回路と、前記センスアンプ回路の第 1 のセンス端子に接続された第 1 のデータ線と、前記第 1 のデータ線を充電する第 1 のセンスアンプ負荷と、前記センスアンプ回路の第 2 のセンス端子に接続されたリファレンス用の第 2 のデータ線と、前記第 2 のデータ線を充電する第 2 のセンスアンプ負荷とを具備し、前記第 1 のデータ線の容量と前記第 2 のデータ線の容量との差に応じて、前記第 1 のセンスアンプ負荷と前記第 2 のセンスアンプ負荷とに能力差を設け、前記第 1 のセンスアンプ負荷および前記第 2 のセンスアンプ負荷は、能力が同じ第 1 の充電負荷と、前記第 1 の充電負

50

荷とは能力が異なる第2の充電負荷とをそれぞれ有し、前記第1,第2のデータ線の充電平衡状態到達時には前記第1の充電負荷によって、前記第1,第2のデータ線を充電し、前記充電平衡状態に到達するまでの充電過渡期には前記第1,第2の充電負荷によって、前記第1,第2のデータ線を急速充電する半導体メモリ装置が提供される。

【発明の効果】

【0010】

この発明によれば、本体セルのデータ線およびリファレンスセルのデータ線をそれぞれ最適な充電負荷により充電できるようになる結果、本体セルのデータ線に発生する容量の多様化および増加に対してもデータ線の充電等価性を保存したまま、リファレンスセルのデータ線に付加するダミー容量が増大するのを抑制でき、高速読み出しが可能な半導体メモリ装置を提供できる。

10

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施の形態について図面を参照して説明する。

【0012】

[第1の実施形態]

図1は、この発明の第1の実施形態にしたがった、半導体メモリ装置の基本構成を示すものである。ここでは、半導体メモリ装置の一例として、入出力データを電氣的に一括消去可能なフラッシュメモリ(たとえば、DINOR型8Mビット・フラッシュメモリ)を例に説明する。

20

【0013】

図1において、メモリセルアレイ11は複数のブロック12を有している。各ブロック12は、入出力データを一括消去する際の最小単位となっている。上記各ブロック12は、本体セル領域12aとリダンダンシーセル領域12bとを有している。上記本体セル領域12aには、入出力データを記憶する複数のメモリセル(本体セル)MCが設けられている。上記各メモリセルMCは、ワード線WLとビット線BLとの各交点にそれぞれ配置されている。上記リダンダンシーセル領域12bには、そのブロック12内における不良セル(xMC)を置換するための複数のリダンダンシー用セルRMCが設けられている。上記各リダンダンシー用セルRMCは、上記ワード線WLとリダンダンシー用のビット線RBLとの各交点にそれぞれ配置されている。なお、上記複数のメモリセルMCおよび上記複数のリダンダンシー用セルRMCは、いずれも2層ゲート構造の絶縁ゲート型電界効果トランジスタにより構成されている。

30

【0014】

本実施形態の場合、ブロック12ごとに、1乃至複数本のリダンダンシー用ビット線RBLが設けられている。ブロック12内の不良セル(xMC)は、ビット線BL単位で、リダンダンシー用セルRMCと置換される。これにより、メモリセルアレイ11における欠陥救済が行われる。そして、この欠陥救済にともなう不良アドレス情報は、たとえば、上記メモリセルアレイ11内の特定のメモリセルまたは上記メモリセルアレイ11とは別の不揮発性メモリやヒューズによって保持される。

【0015】

また、後述するように、上記ビット線BLおよび上記リダンダンシー用ビット線RBLは、それぞれ、ゲート部21内のカラムゲート21a,21bを介して、データ線DL,RDLに接続されている。上記データ線DL,RDLは、各ブロック12に共通に設けられたセンスアンプ部23に接続されている。

40

【0016】

アドレスデータA0~A7が入力されるYアドレス・バッファ25には、Y(行)デコーダ27がそれぞれ接続されている。上記Yデコーダ27には、上記ゲート部21がそれぞれ接続されている。一方、アドレスデータA8~A18が入力されるXアドレス・バッファ29には、X(列)デコーダ31がそれぞれ接続されている。上記Xデコーダ31には、それぞれ、上記各ブロック12のワード線WLが接続されている。

50

## 【 0 0 1 7 】

また、入出力データ I / O 0 ~ I / O 1 5 および上記アドレスデータ A 1 が入出力される入出力バッファ 3 3 には、マルチプレクサ 3 5 が接続されている。上記マルチプレクサ 3 5 には、ステータス / I D レジスタ 3 7、ライト・ステート・マシン ( W S M ) 3 9 および上記センスアンプ部 2 3 が接続されている。上記 W S M 3 9 には、コマンド・ユーザ・インターフェース ( C U I ) 4 1 が接続されている。上記 C U I 4 1 には、たとえば、チップイネーブル信号 / C E、アウトプットイネーブル信号 / O E、および、ライトイネーブル信号 / W E のほか、各種の制御信号 / W P , / R P , / B Y T E などが入力される。また、上記 W S M 3 9 には、たとえば、レディ / ビジィ信号 R D Y ・ / B u s y が入力される。

10

## 【 0 0 1 8 】

ここで、欠陥救済にともなう R D 置換の方法について説明する。たとえば、リダンダンシー用ビット線 R B L の本数を「 2 」とした場合の例である。アクセスを律束しないために、通常のリード動作時には、常に、センスアンプ部 2 3 によって、メモリセル M C のデータ ( 1 6 ・ I / O 分 ) とリダンダンシー用セル R M C のデータ ( 2 ・ I / O 分 ) とがほぼ同時に読み出される。こうして、 1 8 ・ I / O 分のデータを読み出した後において、入力されたアドレスデータ A 0 ~ A 7 のいずれかが、チップ内で記憶している不良アドレス情報と一致したとする。すると、マルチプレクサ 3 5 によって、不良セルのデータとリダンダンシー用セル R M C のデータとの置換が行われ、 1 6 ・ I / O 分の入出力データとして入出力バッファ 3 3 より出力される。

20

## 【 0 0 1 9 】

図 2 は、上記センスアンプ部 2 3 の構成例を示すものである。ここでは、本体側のデータ線 D L の容量 ( 寄生容量 ) を 3 C、リファレンス ( R e f ) 側のデータ線 R e f - D L の容量を C とし、メモリセル M C およびリファレンスセル R e f - C のデータ線容量に等価性を持たせるのではなく、データ線容量に応じた能力を有するセンスアンプ負荷 2 3 a , 2 3 b によって本体データ線 D L および R e f データ線 R e f - D L をそれぞれ充電することにより、データ線の充電等価性は保存したまま、リファレンス用のダミー容量を削減するようにした場合について説明する。

## 【 0 0 2 0 】

ここで、上記センスアンプ部 2 3 は、たとえば図 3 に示すように、リファレンスセル R e f - C の閾値 ( 電流 ) R e f e r e n c e を、メモリセル M C の、“ 1 ” データを記憶するオン ( O N ) セルの閾値 ( 電流 ) と “ 0 ” データを記憶するオフ ( O F F ) セルの閾値 ( 電流 ) のほぼ中間に設定する。また、メモリセル M C およびリファレンスセル R e f - C につながる各データ線 D L , R e f - D L を、それぞれの容量 ( 3 C : C ) に応じた能力のセンスアンプ ( S / A ) 負荷 2 3 a , 2 3 b を用いて充電する。これにより、本体データ線 D L の電位が、オンセルおよびオフセルに対応した充電の平衡状態に達する前 ( 過渡状態 ) でも、データの確定が可能、つまり、高速読み出しが可能になる。

30

## 【 0 0 2 1 】

すなわち、上記センスアンプ部 2 3 は、たとえば図 2 に示すように、センスアンプ回路 S / A と本体センスアンプ負荷 2 3 a と R e f センスアンプ負荷 2 3 b とラッチ回路 2 3 c とを有して構成されている。本実施形態の場合、上記本体センスアンプ負荷 2 3 a は p チャネル型 M O S トランジスタからなり、本体データ線 D L の容量 ( 3 C ) に応じて、 3 I s a の充電能力を有している。上記本体センスアンプ負荷 2 3 a は、上記本体データ線 D L に接続されるとともに、たとえば、上記センスアンプ回路 S / A の非反転入力端 ( 第 1 のセンス端子 ) につながる本体センス線 S L に接続されている。一方、上記 R e f センスアンプ負荷 2 3 b は p チャネル型 M O S トランジスタからなり、 R e f データ線 R e f - D L の容量 ( C ) に応じて、 I s a の充電能力を有している。上記 R e f センスアンプ負荷 2 3 b は、上記 R e f データ線 R e f - D L に接続されるとともに、たとえば、上記センスアンプ回路 S / A の反転入力端 ( 第 2 のセンス端子 ) につながる R e f センス線 R e f - S L に接続されている。上記センスアンプ回路 S / A の出力端は、上記ラッチ回路

40

50

23cを介して、上記マルチプレクサ35に接続されている。

【0022】

このように、たとえばメモリセルMCにつながる本体データ線DLの容量が、リファレンスセルRef-CにつながるRefデータ線Ref-DLの容量の3倍だとすると、Refデータ線Ref-DLを充電する負荷23bの、その3倍の能力を有する負荷23aで本体データ線DLを充電する。これにより、本体データ線DLの容量に応じて、リファレンス用のダミー容量を増大させることなしに、データ線の充電等価性は保存したまま、高速読み出しを実現できる。

【0023】

図4は、図2に示した構成のセンスアンプ部23における本体側の動作点(セル電流 $I_d$ とセンス電圧 $V_{sa}$ との関係)を示すものである。この図からも明らかなように、本体センスアンプ負荷23aの負荷特性(能力)をRefセンスアンプ負荷23bの負荷特性の3倍にした場合、オフセル“0”側の本体センス線SLの到達電位( $V_{sa}“0” = V_{cc} - V_{thp}$ ( $V_{thp}$ は上記pチャンネル型MOSトランジスタの閾値電圧))は変化しない。これに対し、オンセル“1”側の本体センス線SLの到達電位( $V_{sa}“1”$  3倍)は、本体センスアンプ負荷23aの負荷特性をRefセンスアンプ負荷23bの負荷特性と同じにした場合( $V_{sa}“1”$ )に比べて高くなる( $4a > 4b$ )。

【0024】

上記したように、本体データ線DLの容量に応じて、本体データ線DLとRefデータ線Ref-DLとをそれぞれ異なった能力の負荷23a, 23bで充電動作させるようにしている。つまり、メモリセルMCの本体データ線DLおよびリファレンスセルRef-CのRefデータ線Ref-DLを、それぞれの容量に応じた最適な充電負荷(23a, 23b)により充電できるようにしている。これにより、本体データ線DLに発生する容量の多様化および増加に対してもデータ線の充電等価性は保存したまま、容量の増加にとってもRefデータ線Ref-DLに付加するダミー容量が増大するのを抑制でき、高速読み出しが可能となるものである。

【0025】

しかも、ダミー容量の増大を抑制できるようになる結果、チップ面積を小さくすることが可能となる。

【0026】

[第2の実施形態]

図5は、この発明の第2の実施形態にしたがった、センスアンプ部23Aの構成例を示すものである。ここでは、上述した第1の実施形態における、センスマージン(対ノイズ特性)の悪化を改善するようにした場合の例(急速充電)について説明する。なお、図2と同一部分には同一符号を付し、詳しい説明は割愛する。

【0027】

すなわち、上記第1の実施形態において、たとえば図4に示したように、オフセル“0”側の本体センス線SLの到達電位( $V_{cc} - V_{thp}$ )は変化しないのに、オンセル“1”側の本体センス線SLの到達電位が、センスアンプ負荷を同じサイズ(負荷特性)とした場合に比べて高くなるということは、到達電位の振幅差( $d$ )が減少するということである。この振幅差( $d$ )の減少は、センスマージン・対ノイズ特性を悪化させる。

【0028】

そこで、本実施形態においては、たとえば図5に示すように、本体センスアンプ負荷23a'およびRefセンスアンプ負荷23b'とは別に、急速充電負荷23e, 23fと急速充電負荷制御スイッチ23g, 23hとを設ける。その際、上記本体センスアンプ負荷23a'および上記Refセンスアンプ負荷23b'の能力は、本体側とリファレンス側とで同じにする( $I_{sa}$ )。一方、上記急速充電負荷23e, 23fは、本体データ線DLとRefデータ線Ref-DLとの容量差に応じて能力を異ならせる( $I_{acc1} > I_{acc2}$ )。つまり、本体データ線DLの容量を3Cとし、Refデータ線Ref-DLの容量をCとした場合、本体側の、上記本体センスアンプ負荷23a'と上記急速充電

10

20

30

40

50

負荷 23 e との負荷特性（負荷電流供給能力）の総和（ $I_{acc1} + I_{sa}$ ）が、リファレンス側の、上記 Ref センスアンプ負荷 23 b' と上記急速充電負荷 23 f との負荷電流供給能力の総和（ $I_{acc2} + I_{sa}$ ）の 3 倍になるように設定される。

【0029】

このような構成において、充電動作の初期時には、上記急速充電負荷制御スイッチ 23 g をオンし、上記急速充電負荷 23 e と上記本体センスアンプ負荷 23 a' との両方を用いて、上記本体データ線 DL を急速充電する。同様に、上記急速充電負荷制御スイッチ 23 h をオンし、上記急速充電負荷 23 f と上記 Ref センスアンプ負荷 23 b' との両方を用いて、上記 Ref データ線 Ref-DL を急速充電する。こうして、過渡状態においては、データ線充電等価性を保存しつつ、過渡状態から平衡状態に達するところで、上記急速充電負荷制御スイッチ 23 g, 23 h をオフする。これにより、高速読み出し時において、上記本体センス線 SL の最終到達電位の振幅差（ $d$ ）が減少するのを抑制でき、センスマージン・対ノイズ特性が悪化するのを改善することが可能となる。

【0030】

[第3の実施形態]

図6は、この発明の第3の実施形態にしたがった、センスアンプ部 23 B の基本構成を示すものである。ここでは、読み出すバンク（Bank）に起因するデータ線の容量の変化に応じて、急速充電負荷を切り換えるようにした場合の例について説明する。なお、同図（a）はセンスアンプ部 23 B の構成例を示すものであり、同図（b）は Bank デコード回路の構成例を示すものであり、図5と同一部分には同一符号を付し、詳しい説明は割愛する。

【0031】

ここで、フラッシュメモリにおいては、書き込み・消去動作中にリード動作を行う機能（同時実行機能）を実現させるために、たとえば図7に示すように、複数のメモリセル MC を含む 1 乃至複数のブロック 12 からなる複数のバンク 13 が構成されている。そして、そのバンク 13 ごとに、書き込み・消去用あるいは読み出し用のアドレス（Address）、データ線、および、電源をデコードする方式が用いられている。

【0032】

上記バンク 13 は、たとえば図7に Bank 0, 1, 2, 3 で示すように、データ線の容量が必ずしも同じではない（この例の場合、1:3:3:1）。また、バンク 13 と上記センスアンプ部 23 B との位置関係が物理的に近いのか遠いのかによっても、本体側に発生するデータ線 DL の容量は変化する。

【0033】

そこで、本実施形態では、たとえば図6（a）に示すように、Bank 0 / 3 に発生するデータ線 DL の容量（2C）に対して最適な負荷特性（ $I_{acc1}$ ,  $I_{acc2}$ ）を有する急速充電負荷 23 e, 23 f と、これとは能力の異なる、Bank 1 / 2 に発生するデータ線 DL の容量（3C）に対して最適な負荷特性（ $I_{acc1'}$ ,  $I_{acc2'}$ ）を有する急速充電負荷 23 i, 23 j および急速充電負荷制御スイッチ（Bank 1 / 2 選択スイッチ）23 m, 23 n とを用意する。また、たとえば図6（b）に示すように、入力アドレスから読み出すバンク 13 をデコードする、AND 回路 14 a, 14 b, 14 c, 14 d と NOR 回路 14 e, 14 f とからなる Bank デコード回路 14 を設ける。こうして、上記急速充電負荷 23 e, 23 f または上記急速充電負荷 23 i, 23 j の選択を、読み出すバンク 13 に起因するデータ線 DL の容量の変化に応じて切り換える。これにより、データ線充電等価性に対するバンク依存性を抑制することが可能となる。

【0034】

このような構成によれば、今後、フラッシュメモリのバンク構成の多様化・大容量化の際に問題となる、本体データ線 DL の容量の多様化に対しても充電等価性をもたせることが可能となる。

【0035】

[第4の実施形態]

10

20

30

40

50

図8は、この発明の第4の実施形態にしたがった、センスアンプ部23Cの基本構成を示すものである。ここでは、読み出すバンク(Bank)に起因するデータ線の容量の変化に応じて、Refデータ線Ref-DLに付加されるダミー容量を切り換えるようにした場合の例について説明する。なお、同図(a)はセンスアンプ部23Cの構成例を示すものであり、同図(b)はBankデコード回路の構成例を示すものであり、図6と同一部分には同一符号を付し、詳しい説明は割愛する。

【0036】

すなわち、本実施形態の場合、たとえば図8(a)に示すように、Bank0/3に発生するデータ線DLの容量(2C)に対して最適な容量(2C)を有するRefダミー容量16aと、これとは容量の異なる、Bank1/2に発生するデータ線DLの容量(3C)に対して最適な容量(3C)を有するRefダミー容量16bと、これらRefダミー容量16a, 16bを切り換える切り換えスイッチ17とを用意する。また、たとえば図8(b)に示すように、入力アドレスから読み出すバンク13をデコードする、AND回路14a, 14b, 14c, 14dとNOR回路14e, 14fとからなるBankデコード回路14を設ける。こうして、上記Refダミー容量16aまたは上記Refダミー容量16bの、上記Refデータ線Ref-DLとの接続を、読み出すバンク13に起因するデータ線DLの容量の変化に応じて切り換える。これにより、同じ能力(Isa)の充電負荷23a', 23b'でデータ線DL, Ref-DLを充電することによって、データ線充電等価性に対するバンク依存性を抑制することが可能となる。

【0037】

このような構成によっても、今後、フラッシュメモリのバンク構成の多様化・大容量化の際に問題となる、本体データ線DLの容量の多様化に対しても充電等価性をもたせることが可能となる。

【0038】

その他、本願発明は、上記(各)実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記(各)実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、(各)実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題(の少なくとも1つ)が解決でき、発明の効果の欄で述べられている効果(の少なくとも1つ)が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0039】

【図1】本発明の第1の実施形態にしたがった、半導体メモリ装置(フラッシュメモリ)の基本構成を示す回路図。

【図2】フラッシュメモリの、センスアンプ部の構成例を示す回路図。

【図3】データ線充電等価性について説明するために示す図。

【図4】センスアンプ部における本体側の動作点について説明するために示す図。

【図5】本発明の第2の実施形態にしたがった、センスアンプ部の構成例を示す回路図。

【図6】本発明の第3の実施形態にしたがった、センスアンプ部の構成例を示す回路図。

【図7】フラッシュメモリのバンク構成について示す概略図。

【図8】本発明の第4の実施形態にしたがった、センスアンプ部の構成例を示す回路図。

【符号の説明】

【0040】

11...メモリセルアレイ、12...ブロック、12a...本体セル領域、12b...リダンダンシーセル領域、13...バンク(Bank0, 1, 2, 3)、14...Bankデコード回路、14a, 14b, 14c, 14d...AND回路、14e, 14f...NOR回路、16a, 16b...Refダミー容量、17...切り換えスイッチ、21...ゲート部、21a, 21b...カラムゲート、23, 23A, 23B, 23C...センスアンプ部、23a...本体セ

10

20

30

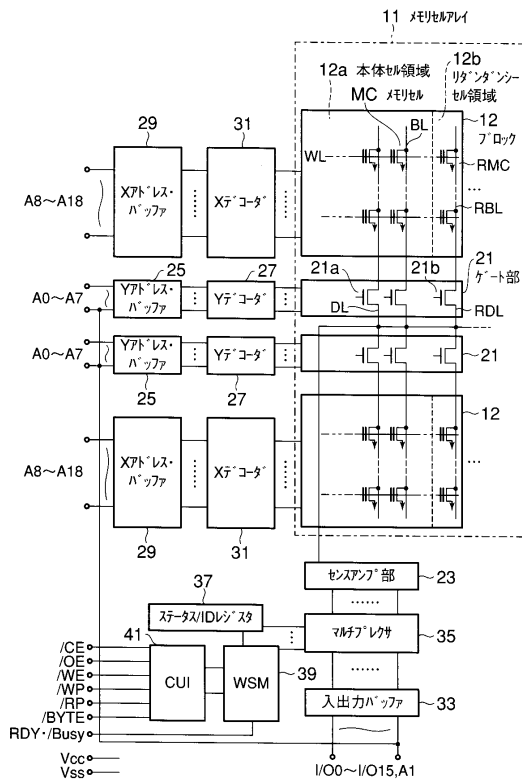
40

50

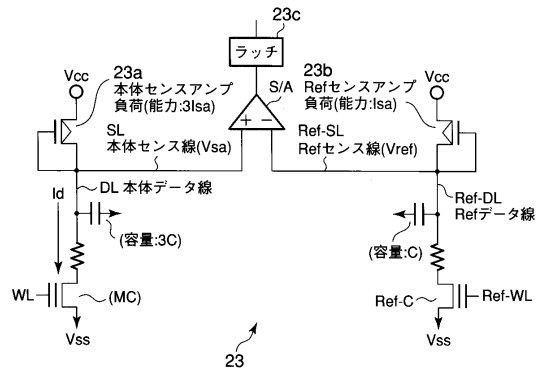


ンスアンプ負荷（第1のセンスアンプ負荷）、23a'...本体センスアンプ負荷（第1の充電負荷）、23b...Refセンスアンプ負荷（第2のセンスアンプ負荷）、23b'...Refセンスアンプ負荷（第1の充電負荷）、23c...ラッチ回路、23e, 23f...急速充電負荷（第2の充電負荷）、23i, 23j...急速充電負荷（第3の充電負荷）、23g, 23h...急速充電負荷制御スイッチ（Bank0/3選択スイッチ）、23m, 23n...Bank1/2選択スイッチ、25...Yアドレス・バッファ、27...Y（行）デコーダ、29...Xアドレス・バッファ、31...X（列）デコーダ、33...入出力バッファ、35...マルチプレクサ、37...ステータス/IDレジスタ、39...ライト・ステート・マシン（WSM）、41...コマンド・ユーザ・インターフェース（CUI）、MC...メモリセル（本体セル）、WL...ワード線、BL...ビット線、RMC...リダンダンシー用セル、RBL...リダンダンシー用ビット線、DL...データ線（本体側）、RDL...リダンダンシー用データ線、Ref-DL...データ線（リファレンス側）、Ref-C...リファレンスセル、SL...本体センス線、Ref-SL...Refセンス線、S/A...センスアンプ回路。

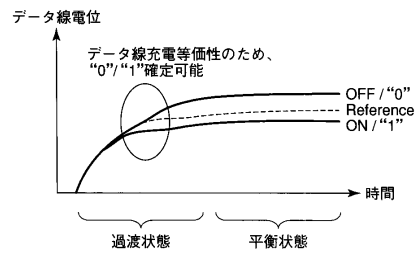
【図1】



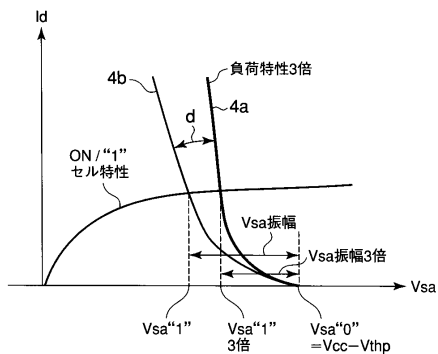
【図2】



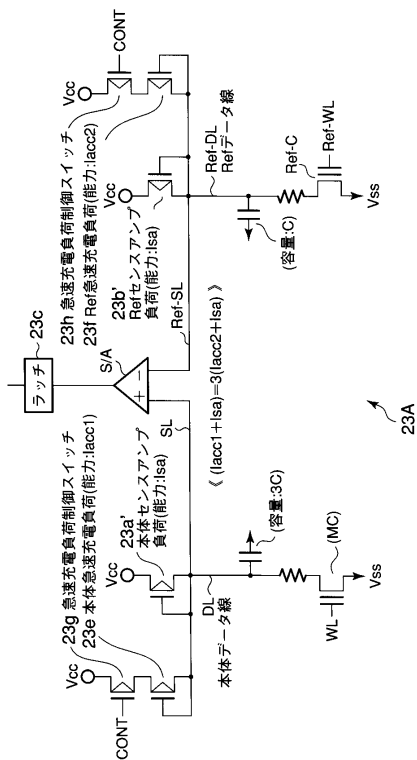
【図3】



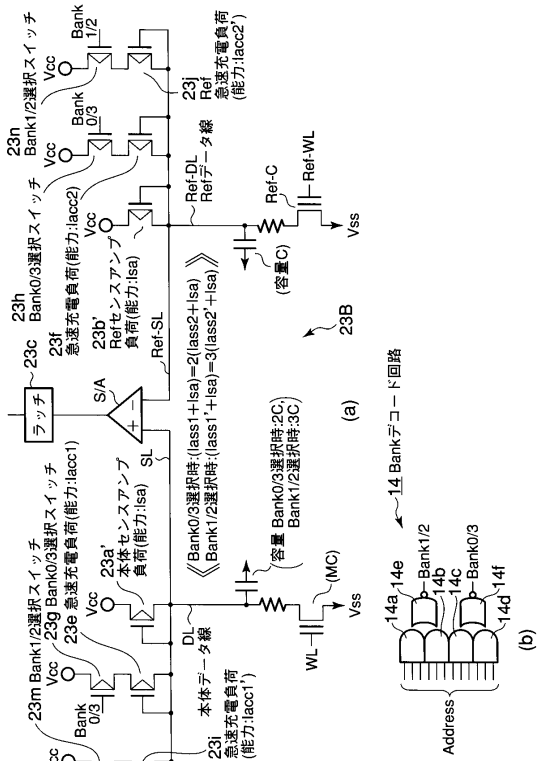
【図4】



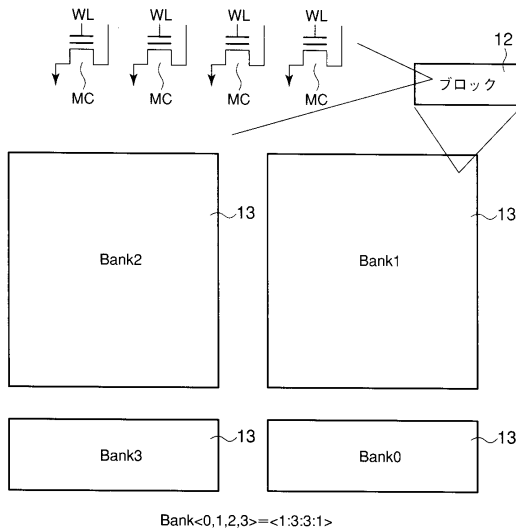
【図5】



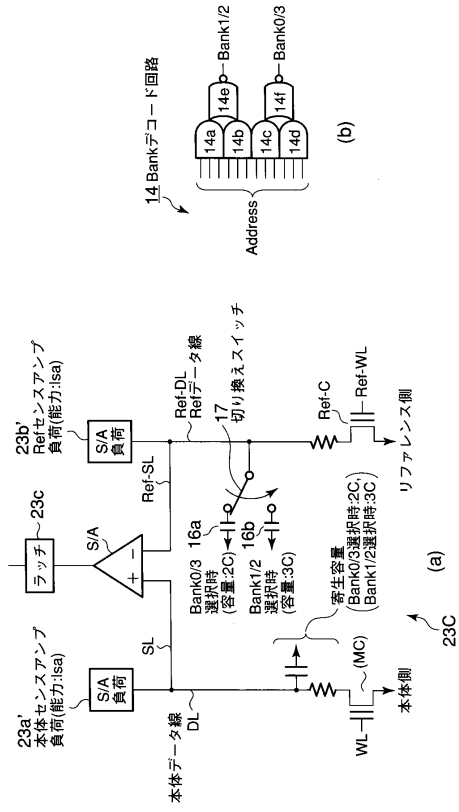
【図6】



【図7】



【 図 8 】



---

フロントページの続き

(72)発明者 本多 泰彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 高野 芳徳

(56)参考文献 特開昭64-088997(JP,A)

特開昭64-017297(JP,A)

特開2001-307494(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00