



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월23일
 (11) 등록번호 10-1267222
 (24) 등록일자 2013년05월20일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01) B82B 1/00 (2006.01)
 B82Y 10/00 (2011.01)
 (21) 출원번호 10-2008-0057897
 (22) 출원일자 2008년06월19일
 심사청구일자 2011년07월07일
 (65) 공개번호 10-2009-0131904
 (43) 공개일자 2009년12월30일
 (56) 선행기술조사문헌
 KR1020080055386 A
 KR100792706 B1
 JP2006093390 A
 JP2007294908 A

(73) 특허권자
 경기대학교 산학협력단
 경기도 수원시 영통구 광고산로 154-42 (이의동, 경기대학교)
 (72) 발명자
 주상현
 경기도 수원시 영통구 광고산로 154-42, 이과대학 전자물리학과 (이의동, 경기대학교)
 (74) 대리인
 김호중

전체 청구항 수 : 총 15 항

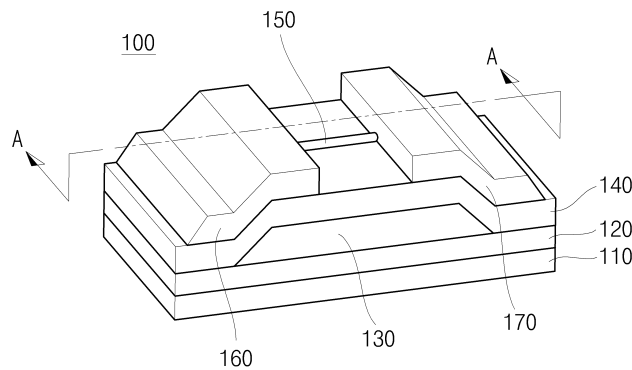
심사관 : 설관식

(54) 발명의 명칭 **나노와이어 트랜지스터와 이의 제조방법**

(57) 요약

본 발명은 나노와이어 트랜지스터와 이의 제조방법에 관한 것으로, 보다 상세하게는 나노와이어층이 소스 전극 및 드레인 전극과 전기적으로 연결되는 접촉 영역에 산소 플라즈마 처리와 선택적으로 레이저 어닐링 처리를 함으로써 소스 전극 및 드레인 전극과 나노와이어층 사이의 접촉 저항을 줄이고 나노와이어 트랜지스터의 전기 전도도를 향상시킬 수 있는 나노와이어 트랜지스터와 이의 제조방법에 관한 것이다.

대표도 - 도1a



특허청구의 범위

청구항 1

기관 상에 형성되는 게이트 전극과

상기 게이트 전극 상에 형성되는 게이트 절연막과

상기 게이트 절연막의 상부에서 상기 게이트 전극을 가로 지르도록 형성되는 나노와이어층 및

상기 게이트 절연막의 상부에서 나노와이어의 양측에 각각 접촉되도록 형성되는 소스 극과 드레인 전극을 포함하며,

상기 나노와이어층은 상기 소스 전극 및 드레인 전극과 접촉되는 접촉 영역이 산소 플라즈마 처리되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 2

제 1항에 있어서,

상기 접촉 영역은 레이저 어닐링 처리되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 3

제 1항에 있어서,

상기 나노와이어층은 하나의 나노와이어 또는 복수의 나노와이어가 배열되는 형상으로 형성되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 4

제 1항에 있어서,

상기 나노와이어층은 복수의 나노와이어에 의한 그물망 형상으로 형성되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 5

제 1항에 있어서,

상기 나노와이어층은 투명 금속 산화물로 형성되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 6

제 1항에 있어서,

상기 나노와이어층은 In_2O_3 , ZnO 및 SnO_2 로 이루어진 군에서 선택되는 어느 하나의 물질로 형성되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 7

제 1항에 있어서,

상기 게이트 전극과 소스 전극 및 드레인 전극은 ITO, ZTO 또는 FTO로 형성되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 8

제 1항에 있어서,

상기 기판은 실리콘 웨이퍼 기판, 유리 기판 또는 폴리머 기판으로 형성되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 9

기판 상에 게이트 전극을 형성하는 게이트 전극 형성단계;

상기 게이트 전극의 상부를 포함하는 영역에 게이트 절연막을 형성하는 게이트 절연막 형성단계;

상기 게이트 절연막의 상부에서 상기 게이트 전극을 가로 지르도록 나노와이어층을 형성하는 나노와이어층 형성 단계;

상기 나노와이어층의 양측에 접촉 영역이 노출되도록 상기 나노와이어층의 상부에 차폐층을 형성하는 차폐층 형성단계;

상기 나노와이어층과 차폐층에 산소 플라즈마 처리를 하는 산소 플라즈마 처리단계;

상기 나노와이어층의 접촉 영역과 연결되도록 소스 전극과 드레인 전극을 상기 게이트 절연막의 상부에 형성하는 소스 전극 및 드레인 전극 형성단계를 포함하는 것을 특징으로 하는 나노와이어 트랜지스터 제조방법.

청구항 10

제 9항에 있어서,

상기 산소 플라즈마 처리단계 후에 또는 상기 소스 전극 및 드레인 전극 형성단계 후에 상기 나노와이어층의 접촉 영역에 레이저를 조사하여 어닐링하는 레이저 어닐링 처리단계를 더 포함하는 것을 특징으로 하는 나노와이어 트랜지스터 제조방법.

청구항 11

제 9항에 있어서,

상기 산소 플라즈마 처리단계 후에 상기 차폐층을 제거하는 차폐층 제거단계를 더 포함하는 것을 특징으로 하는 나노와이어 트랜지스터 제조방법.

청구항 12

제 9항에 있어서,

상기 나노와이어층 형성단계는 상기 나노와이어층이 적어도 하나의 나노와이어가 배열되도록 형성되거나, 복수의 나노와이어가 그물망 형상을 이루도록 형성되는 것을 특징으로 하는 나노와이어 트랜지스터 제조방법.

청구항 13

기판 상에 형성되는 나노와이어층과

상기 나노와이어층의 상부에 형성되는 게이트 절연막과

상기 기판의 상부에서 상기 나노와이어층의 양측에 각각 접촉 영역이 형성되도록 접촉되는 소스 전극과 드레인 전극 및

상기 게이트 절연막의 상부에서 상기 접촉 영역 사이의 상기 나노와이어층에 대응되는 영역에 형성되는 게이트 전극을 포함하며,

상기 나노와이어층은 상기 접촉 영역이 산소 플라즈마 처리되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 14

제 13항에 있어서,

상기 나노와이어층은 레이저 어닐링 처리되는 것을 특징으로 하는 나노와이어 트랜지스터.

청구항 15

제 13항에 있어서,

상기 나노와이어층은 하나의 나노와이어, 복수의 나노와이어가 배열되는 형상 또는 복수의 나노와이어에 의한

그물망 형상을 이루도록 형성되는 것을 특징으로 하는 나노와이어 트랜지스터.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 나노와이어 트랜지스터와 이의 제조방법에 관한 것으로, 보다 상세하게는 소스 전극 및 드레인 전극과 전기적으로 연결되는 채널 영역인 나노와이어층에 산소 플라즈마 처리와 선택적으로 레이저 어닐링 처리를 함으로써 소스 전극 및 드레인 전극과 나노와이어층 사이의 접촉 저항을 줄이고 전기 전도도를 포함하는 트랜지스터 특성을 향상시킬 수 있는 나노와이어 트랜지스터와 이의 제조방법에 관한 것이다.

배경기술

[0002] 액정 표시장치나 유기 전계 발광 표시장치 또는 무기 전계 발광 표시장치 등 평판 표시장치는 그 구동방식에 따라, 수동 구동방식의 패시브 매트릭스(Passive Matrix: PM)형과, 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형으로 구분된다.

[0003] 상기 액티브 매트릭스형은 박막 트랜지스터를 이용해 각 화소 당 입력되는 신호를 제어하는 것으로 방대한 양의 신호를 처리하기에 적합하여 동영상 구현을 위한 디스플레이 장치로서 많이 사용되고 있다. 상기 액티브 매트릭스형 평판 표시장치의 박막 트랜지스터들은 소스/드레인 영역과, 이 소스/드레인 영역의 사이에 형성된 채널 영역을 갖는 반도체 활성층을 가지며, 이 반도체 활성층과 절연되어 상기 채널 영역에 대응되는 영역에 위치하는 게이트 전극과, 상기 채널 영역에 각각 접촉되는 소스/드레인 전극을 갖는다.

[0004] 상기 반도체 활성층은 비정질 실리콘 또는 다결정질 실리콘으로 많이 사용되는 데, 비정질 실리콘은 저온 증착이 가능하다는 장점이 있으나, 전기적 특성과 신뢰성이 낮아, 최근에는 다결정질 실리콘을 많이 사용하고 있다. 다결정질 실리콘은 수십 내지 수백 cm²/V.s의 높은 전류 이동도를 갖고, 누설 전류치가 낮은 등 전기적 특성이 우수하고, 소자의 신뢰성이 우수하다.

[0005] 그런데, 다결정질 실리콘으로 반도체 활성층을 제조할 경우에는 비정질 실리콘을 다결정질 실리콘으로 결정화하는 결정화 공정이 필요한 데, 이 결정화에는 통상 300℃ 이상의 고온 공정이 존재하게 된다.

[0006] 한편, 최근의 평판 표시장치들은 충분한 시야각을 확보하기 위해 소정의 장력을 가해 일정 정도 휘어지도록 하거나, 암밴드(Arm Band), 지갑, 노트북 컴퓨터 등의 휴대성 제품에 채용하고자 하기 위해 유연성(flexible)에 대한 요구가 높아지고 있다.

[0007] 그러나, 종래의 방법으로 다결정질 실리콘 박막 트랜지스터를 형성할 경우에는 유연성 평판 표시장치를 얻기가 힘들다. 즉, 유연성(flexible) 제품을 가공하기 위하여는, 기판을 포함한 구성품의 대부분에 쉽게 휘어질 수 있는 재료로서 아크릴, 폴리이미드, 폴리카보네이트, 폴리에스테르, 미라르(mylar) 기타 플라스틱 재료를 채용해야 하는데, 이들 플라스틱 재료는 열에 약하다. 따라서, 유연성(flexible) 제품에 채용되는 평판 표시장치의 박막 트랜지스터들을 가공하기 위하여는, 플라스틱 재료가 견딜 수 있는 온도 이하에서 제조될 수 있는 구조 및 방법이 필요하다.

[0008] 또한, 이렇게 유연성 제품에 채용되는 박막 트랜지스터를 제조하기 위해, 최근에는 박막 트랜지스터의 채널로서 나노 구조체를 이용하는 방법이 개시되어 있다. 그렇지만, 이러한 나노 구조체를 이용하는 박막 트랜지스터는 나노와이어와 소스 전극 및 드레인 전극 사이의 전기적인 접촉이 충분하지 않아 접촉저항이 높은 문제가 있다.

발명의 내용

해결하고자하는 과제

[0009] 상기와 같은 문제를 해결하기 위한 본 발명은 소스 전극 및 드레인 전극과 나노와이어층 사이의 접촉 저항을 줄이고 전기 전도도를 포함하는 트랜지스터 특성을 향상시킬 수 있는 나노와이어 트랜지스터와 이의 제조방법을 제공하는 것을 목적으로 한다.

과제 해결수단

- [0010] 상기와 같은 목적을 달성하기 위한 나노와이어 트랜지스터는 기판 상에 형성되는 게이트 전극과, 상기 게이트 전극 상에 형성되는 게이트 절연막과, 상기 게이트 절연막의 상부에서 상기 게이트 전극을 가로 지르도록 형성되는 나노와이어층 및 상기 게이트 절연막의 상부에서 나노와이어의 양측에 각각 접촉되도록 형성되는 소스 전극과 드레인 전극을 포함하며, 상기 나노와이어층은 상기 소스 전극 및 드레인 전극과 접촉되는 접촉 영역이 산소 플라즈마 처리되는 것을 특징으로 한다. 또한, 상기 나노와이어 트랜지스터는 상기 접촉 영역이 레이저 어닐링 처리될 수 있다. 또한, 상기 나노와이어층은 적어도 하나의 나노와이어 또는 복수의 나노와이어가 그물망 형상을 이루도록 형성될 수 있다. 또한, 상기 나노와이어층은 투명 금속 산화물로 형성될 수 있으며, In_2O_3 , ZnO 및 SnO_2 으로 이루어진 군에서 선택되는 어느 하나의 물질로 형성될 수 있다.
- [0011] 또한, 본 발명의 상기 게이트 전극과 소스 전극 및 드레인 전극은 ITO, ZTO 또는 FTO로 형성될 수 있으며, 상기 기판은 실리콘 웨이퍼 기판, 유리 기판 또는 폴리머 기판으로 형성될 수 있다.
- [0012] 또한, 본 발명의 나노와이어 트랜지스터는 기판 상에 형성되는 나노와이어층과, 상기 나노와이어층의 상부에 형성되는 게이트 절연막과, 상기 기판의 상부에서 상기 나노와이어층의 양측에 각각 접촉 영역이 형성되도록 접촉되는 소스 전극과 드레인 전극 및 상기 게이트 절연막의 상부에서 상기 접촉 영역 사이의 상기 나노와이어층에 대응되는 영역에 형성되는 게이트 전극을 포함하며, 상기 나노와이어층은 상기 접촉 영역이 산소 플라즈마 처리되어 형성될 수 있다. 또한, 상기 나노와이어층은 레이저 어닐링 처리되어 형성될 수 있다.
- [0013] 또한, 본 발명의 나노와이어 트랜지스터 제조방법은 기판 상에 게이트 전극을 형성하는 게이트 전극 형성단계와, 상기 게이트 전극의 상부를 포함하는 영역에 게이트 절연막을 형성하는 게이트 절연막 형성단계와, 상기 게이트 절연막의 상부에서 상기 게이트 전극을 가로 지르도록 나노와이어층을 형성하는 나노와이어층 형성단계와, 상기 나노와이어층의 양측에 접촉 영역이 노출되도록 상기 나노와이어층의 상부에 차폐층을 형성하는 차폐층 형성단계와, 상기 나노와이어층과 차폐층에 산소 플라즈마 처리를 하는 산소 플라즈마 처리단계와, 상기 나노와이어층의 접촉 영역과 연결되도록 소스 전극과 드레인 전극을 상기 게이트 절연막의 상부에 형성하는 소스 전극 및 드레인 전극 형성단계를 포함하여 이루어질 수 있다,
- [0014] 또한, 상기 나노와이어 트랜지스터 제조방법은 상기 산소 플라즈마 처리단계 후에 또는 상기 소스 전극 및 드레인 전극 형성단계 후에 상기 나노와이어층의 접촉 영역에 레이저를 조사하여 어닐링하는 레이저 어닐링 처리단계를 더 포함하여 이루어질 수 있다.
- [0015] 또한, 상기 나노와이어 트랜지스터 제조방법은 상기 산소 플라즈마 처리단계 후에 상기 차폐층을 제거하는 차폐층 제거단계를 더 포함하여 이루어질 수 있다.
- [0016] 또한, 상기 나노와이어층 형성단계는 상기 나노와이어층이 적어도 하나의 나노와이어가 배열되도록 형성되거나, 복수의 나노와이어가 그물망 형상을 갖도록 이루어질 수 있다.

효과

- [0017] 본 발명에 따르면 상기 나노와이어 트랜지스터는 산소 플라즈마 처리에 의하여 접촉 영역에서의 접촉 저항이 감소되어 나노와이어의 전기 전도도가 증가되어 전류 특성이 향상되는 효과가 있다.
- [0018] 또한, 본 발명에 따르면 나노와이어 트랜지스터의 레이저 어닐링 처리에 따라 문턱 전압이 감소되는 효과가 있다.
- [0019] 또한, 본 발명에 따르면 나노와이어 트랜지스터의 레이저 어닐링 처리에 따라 보다 낮은 드레인 전압에서 드레인 전류가 포화 영역을 가지게 되어 트랜지스터 특성이 향상되는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0020] 이하에서 첨부한 도면들을 참조하여 본 발명의 실시예에 따른 나노와이어 트랜지스터와 이의 제조방법을 보다 상세하게 설명하고자 한다.
- [0021] 먼저, 본 발명의 실시예에 따른 나노와이어 트랜지스터에 대하여 설명한다.

- [0022] 도 1a는 본 발명의 실시예에 따른 나노와이어 트랜지스터의 사시도를 나타낸다. 도 1b는 도 1a의 A-A 단면도를 나타낸다. 도 2는 본 발명의 실시예에 따른 나노와이어 트랜지스터에서 나노와이어 부분에 대한 부분 평면도 사진을 나타낸다.
- [0023] 본 발명의 실시예에 따른 나노와이어 트랜지스터(100)는, 도 1a와 도 1b 및 도 2를 참조하면, 기판(110)과 게이트 전극(130)과 게이트 절연막(140)과 나노와이어층(150)과 소스 전극(160)과 드레인 전극(170)을 포함하여 형성된다. 또한, 상기 나노와이어 트랜지스터(100)는 기판(110)과 게이트 전극(130) 사이에 버퍼층(120)을 더 포함하여 형성될 수 있다. 한편, 상기 나노와이어 트랜지스터(100)는 소스 전극(160)과 드레인 전극(170)의 상면 및 나노와이어층(150)을 포함하는 영역에 패시베이션층(도면에 도시하지 않음)이 더 형성될 수 있다.
- [0024] 상기 나노와이어 트랜지스터(100)는 나노와이어층(150)이 소스 전극(160) 및 드레인 전극(170)과 접촉하는 영역에 산소 플라즈마 처리와 레이저 어닐링 처리가 되어 접촉 저항이 감소되고 전기 전도도가 증가된다. 또한, 상기 나노와이어 트랜지스터(100)는 레이저 어닐링 처리에 의하여 문턱 전압이 낮아진다. 또한, 상기 나노와이어 트랜지스터(100)는 레이저 어닐링 처리에 의하여 드레인 전압의 증가에 따른 드레인 전류가 포화 영역을 형성하게 된다.
- [0025] 상기 레이저 어닐링 처리는 소스 전극 및 드레인 전극 형성 후에 실시되어 소스 전극 및 드레인 전극과 나노와이어 사이에 어로이(arroy)를 형성하게 되며, 접촉 영역에서 접촉저항을 줄이고, 전류 특성을 향상시키게 된다. 또한, 상기 레이저 어닐링 처리는 나노와이어 반도체 물질 고유 특성을 변화시켜 트랜지스터의 전류-전압 특성에서 드레인 전류의 포화영역을 형성하게 된다. 상기 트랜지스터의 드레인 전류의 포화 특성은 상업용 트랜지스터 전자소자에 있어 중요한 요건이 된다. 또한, 상기 레이저 어닐링 처리는 소스 및 드레인 전극 형성 전에 실시되어 나노와이어를 단결정질(single crystal)로 형성하게 된다.
- [0026] 상기 나노와이어 트랜지스터는 플렉서블 표시장치를 포함하는 다양한 표시장치에 사용될 수 있다.
- [0027] 상기 기판(110)은 나노와이어 트랜지스터에 사용되는 기판으로서 바람직하게는 세라믹 기판, 실리콘 웨이퍼 기판, 유리 기판 또는 폴리머 기판으로 이루어진다. 특히, 상기 나노와이어 트랜지스터가 투명 디스플레이장치에 사용되는 경우에, 기판(110)은 유리기판 또는 투명 플라스틱으로 이루어진다.
- [0028] 상기 유리 기판은 실리콘 산화물로 이루어질 수 있다. 또한, 상기 폴리머 기판은 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리이미드와 같은 폴리머 재질로 형성될 수 있다.
- [0029] 상기 버퍼층(120)은 기판(110)의 상면에 형성되며 불순물 이온이 상부로 확산되는 것을 방지하게 된다. 상기 버퍼층(120)은 기판(110)의 상면에 화학기상 증착법 또는 플라즈마 강화 화학기상 증착법에 의하여 전체적으로 형성되며, 산화막 또는 질화막으로 이루어진다.
- [0030] 상기 게이트 전극(130)은 기판(110)의 상면 또는 버퍼층(120)의 상면에 폭과 길이를 가지는 패턴으로 형성된다. 상기 게이트 전극(130)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti)과 같은 금속층 또는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), FTO(F-doped Tin Oxide)와 같은 투명 도전성 산화물로 형성된다. 상기 게이트 전극(130)은 대략 1000 ~ 3000Å의 두께로 형성된다.
- [0031] 상기 게이트 절연막(140)은 게이트 전극(130)을 포함하는 기판(110)의 상면에 화학기상 증착법(CVD), 플라즈마 강화 화학기상 증착법(PECVD), 원자층 증착법(ALD)에 의하여 전체적으로 형성되며, 알루미늄 산화물(Al₂O₃), 실리콘 산화물(SiO₂)과 같은 산화막 또는 실리콘 나이트라이드(Si₃N₄)와 같은 질화막으로 이루어진다.
- [0032] 상기 나노와이어층(150)은 하나의 나노와이어로 형성되며, 게이트 절연막(140)의 상부에서 게이트 전극(130)을 가로지르도록 형성된다. 상기 나노와이어층(150)은 와일드 밴드 갭을 가지는 산화물로 이루어지며, ZnO, In₂O₃, SnO₂ 와 같은 물질로 이루어진다. 또한, 상기 나노와이어층(150)은 Ge, In₂Se₃, GeTe, GeSb와 같은 물질로 이루어

어질 수 있다. 상기 나노와이어층(150)의 나노와이어는 수십 nm에서 수백 nm의 지름을 갖도록 형성된다. 또한, 상기 나노와이어는 수 um 에서 수십 um의 길이를 갖도록 형성된다. 상기 나노와이어층(150)은 레이저 어블레이션 방법(laser ablation method), 고분자 몰드를 이용한 스탬핑법, 잉크젯 프린팅법등에 의하여 합성될 수 있다.

[0033] 상기 나노와이어층(150)은 나노와이어 트랜지스터에서 활성층 영역으로 형성되며, 채널 영역(152)과 채널 영역(152)의 양측에 접촉 영역(154)을 포함하여 형성된다. 상기 접촉 영역(154)은 소스 전극(160)과 접촉되는 소스 영역과 드레인 전극(170)과 접촉되는 드레인 영역으로 구분될 수 있다. 상기 접촉 영역(154)은 산소 플라즈마 처리(Oxygen Plasma Doping: OPD)와 레이저 어닐링 처리에 의하여 형성된다. 따라서, 상기 나노와이어의 채널 영역(152)은 고유의 반도체 특성을 가지게 되며, 접촉 영역(154)은 산소 플라즈마 처리와 레이저 어닐링에 의하여 채널 영역(152)에 비하여 불순물 농도가 높은 도핑 영역으로 이루어진다. 즉, 상기 접촉 영역(154)은 플라즈마 처리에 의하여 산소가 도핑되어 n⁺⁺-type영역으로 이루어진다.

[0034] 상기 산소 플라즈마 처리는 접촉 영역(154)의 소스 전극(160) 및 드레인 전극(170)과의 접촉 저항을 감소시키게 된다. 또한, 상기 산소 플라즈마 처리는 접촉 영역(154)에서의 접촉 저항 감소를 통하여 나노와이어 트랜지스터의 전류를 증가시키게 된다. 상기 접촉 영역(154)의 도핑 농도는 산소 플라즈마 처리 시간, 플라즈마 파워, 산소 공급 량에 의하여 가변될 수 있다. 한편, 상기 산소 플라즈마 처리에 의하면, 나노와이어는 접촉 저항이 감소된 상태를 지속적으로 유지하게 된다. 따라서, 상기 나노와이어 트랜지스터는 신뢰성이 향상된다. 그러나, 일반적으로 나노와이어는 자외선 분위기하에서 산소의 주입에 따라 전기전도도가 증가되지만, 자외선을 제거하면 다시 전기 전도도가 감소하는 것으로 알려져 있다.

[0035] 상기 레이저 어닐링 처리는 바람직하게는 펨토세컨드 레이저 시스템(femtosecond laser system)을 사용하여 실시된다. 상기 레이저 어닐링 처리는 나노와이어 트랜지스터의 특성을 추가적으로 향상시키게 된다. 즉, 상기 나노와이어 트랜지스터는 레이저 어닐링 처리에 의하여 드레인 전류가 포화 영역(saturation region)을 갖도록 전류 특성이 변화된다. 또한, 상기 나노와이어 트랜지스터는 문턱 전압(threshold voltage)이 감소된다.

[0036] 상기 소스 전극(160)과 드레인 전극(170)은 게이트 절연막(140)의 상면에서 나노와이어층(150)의 양측에 각각 연결되도록 형성된다. 즉, 상기 소스 전극(160)과 드레인 전극(170)은 나노와이어층(150)의 양측에 형성되는 접촉 영역(154)에서 나노와이어층(150)과 접촉되도록 형성된다. 상기 소스 전극(160)과 드레인 전극(170)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 팔라듐(Pd), 백금(Pt), 니켈(Ni), 티타늄(Ti)과 같은 금속층 또는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), FTO(F-doped Tin Oxide)와 같은 투명 도전성 산화물로 형성될 수 있다.

[0037] 다음은 본 발명의 다른 실시예에 따른 나노와이어 트랜지스터에 대하여 설명한다.

[0038] 도 3은 본 발명의 다른 실시예에 따른 나노와이어 트랜지스터의 사시도를 나타낸다.

[0039] 본 발명의 다른 실시예에 따른 나노와이어 트랜지스터(200)는, 도 3을 참조하면, 기판(110)과 게이트 전극(130)과 게이트 절연막(140)과 나노와이어층(250)과 소스 전극(160)과 드레인 전극(170)을 포함하여 형성된다. 또한, 상기 나노와이어 트랜지스터(200)는 기판(110)과 게이트 전극(130) 사이에 버퍼층(120)을 더 포함하여 형성될 수 있다. 본 발명의 다른 실시예에 따른 나노와이어 트랜지스터(200)는 도 1a와 도 1b 및 도 2의 실시예에 따른 나노와이어 트랜지스터(100)와 나노와이어층(250)을 제외하고는 동일 또는 유사하게 형성된다. 따라서, 이하에서 본 발명의 다른 실시예의 나노와이어 트랜지스터(200)는 도 1a와 도 1b 및 도 2의 실시예에 따른 나노와이어 트랜지스터(100)와 동일한 구성에 대하여는 동일한 도면 부호를 부여하며 여기서 상세한 설명은 생략한다.

[0040] 상기 나노와이어층(250)은, 도3을 참조하면, 복수의 나노와이어로 이루어진다. 상기 나노와이어들은 대략 평행한 방향으로 배열되도록 형성된다. 따라서, 상기 나노와이어들은 일측이 소스 전극(160)과 접촉되어 접촉 영역(즉, 소스 영역)을 형성하며, 타측이 드레인 전극(170)과 접촉되어 접촉 영역(즉, 드레인 영역)을 형성하게 된다.

[0041] 따라서, 상기 나노와이어 트랜지스터(200)는 나노와이어층(250)의 나노와이어가 증가함에 따라 전류 경로의 면적이 증가되어 전류 특성이 향상된다.

[0042]

- [0043] 다음은 본 발명의 또 다른 실시예에 따른 나노와이어 트랜지스터에 대하여 설명한다.
- [0044] 도 4는 본 발명의 또 다른 실시예에 따른 나노와이어 트랜지스터의 사시도를 나타낸다.
- [0045] 본 발명의 또 다른 실시예에 따른 나노와이어 트랜지스터(300)는, 도 4를 참조하면, 기판(110)과 게이트 전극(130)과 게이트 절연막(140)과 나노와이어층(350)과 소스 전극(160)과 드레인 전극(170)을 포함하여 형성된다. 또한, 상기 나노와이어 트랜지스터(200)는 기판(110)과 게이트 전극(130) 사이에 버퍼층(120)을 더 포함하여 형성될 수 있다. 본 발명의 또 다른 실시예에 따른 나노와이어 트랜지스터(300)는 도 1a와 도 1b 및 도 2의 실시예에 따른 나노와이어 트랜지스터(100)와 나노와이어층(350)을 제외하고는 동일 또는 유사하게 형성된다. 따라서, 이하에서 본 발명의 또 다른 실시예의 나노와이어 트랜지스터(300)는 도 1a와 도 1b 및 도 2의 실시예에 따른 나노와이어 트랜지스터(100)와 동일한 구성에 대하여는 동일한 도면 부호를 부여하며 여기서 상세한 설명은 생략한다.
- [0046] 상기 나노와이어층(350)은, 도 4를 참조하면, 복수의 나노와이어가 그물망(network)을 이루도록 형성된다. 따라서, 상기 나노와이어층(350)은 소스 전극(160)과 접촉되는 나노와이어에 접촉 영역(즉, 소스 영역)이 형성되며, 드레인 전극(170)과 접촉되는 나노와이어에 접촉 영역(즉, 드레인 영역)이 형성된다.
- [0047] 따라서, 상기 나노와이어 트랜지스터(300)는 채널 영역의 증가에 따른 전류 경로의 면적이 증가되어 전류 특성이 향상된다. 또한, 상기 나노와이어 트랜지스터(300)는 나노와이어층(350)의 절단 가능성이 감소되므로 플렉시블 표시장치의 유연성을 향상시키게 된다.
- [0048] 다음은 본 발명의 또 다른 실시예에 따른 나노와이어 트랜지스터에 대하여 설명한다.
- [0049] 도 5는 본 발명의 또 다른 실시예에 따른 나노와이어 트랜지스터의 단면도를 나타낸다.
- [0050] 본 발명의 또 다른 실시예에 따른 나노와이어 트랜지스터(400)는, 도 5를 참조하면, 기판(110)과 게이트 전극(430)과 게이트 절연막(440)과 나노와이어층(450)과 소스 전극(460)과 드레인 전극(470)을 포함하여 형성된다. 또한, 상기 나노와이어 트랜지스터(200)는 기판(110)과 나노와이어층(450) 사이에 버퍼층(120)을 더 포함하여 형성될 수 있다.
- [0051] 상기 나노와이어 트랜지스터(400)는 도 1a와 도 1b 및 도 2의 실시예에 따른 나노와이어 트랜지스터(100)와 다른 구조로 형성된다. 즉, 도 1a와 도 1b 및 도 2의 실시예에 따른 나노와이어 트랜지스터(100)는 bottom gate 구조를 갖는 트랜지스터이다. 그러나, 상기 나노와이어 트랜지스터(400)는 top gate 구조를 갖는 트랜지스터로 형성된다. 따라서, 상기 나노와이어 트랜지스터(400)는 게이트 전극(430)의 위치에 차이가 있을 뿐 전체적인 구조에 있어서는 유사하게 된다.
- [0052] 상기 나노와이어 트랜지스터(400)는 기판(110)의 상면에 나노와이어층(450)이 형성되며, 나노와이어층(450)의 상면에 게이트 절연막(440)과 게이트 전극(430)이 순차적으로 형성된다. 또한, 상기 소스 전극(460)과 드레인 전극(470)은 기판(110)에 상면에서 나노와이어층(450) 양측의 접촉 영역(즉, 소스 영역과 드레인 영역)과 접촉되도록 형성된다.
- [0053] 또한, 상기 나노와이어층(450)은 하나의 나노와이어, 복수의 나노와이어 또는 그물망 형상의 나노와이어로 형성될 수 있다. 또한, 상기 나노와이어층(450)은 소스 전극(460) 및 드레인 전극(470)과 접촉되는 접촉 영역이 산소 플라즈마 처리와 레이저 어닐링 처리된다.
- [0054] 다음은 본 발명의 실시예에 따른 나노와이어 트랜지스터의 제조방법에 대하여 설명한다.
- [0055] 도 6은 본 발명의 실시예에 따른 나노와이어 트랜지스터 제조 방법의 순서도를 나타낸다. 도 7a 내지 도 7h는 도 6의 순서도에 따른 공정도를 나타낸다.
- [0056] 본 발명의 실시예에 따른 나노와이어 트랜지스터의 제조방법은, 도 6과 도 7a 내지 도 7h를 참조하면, 게이트 전극 형성단계(S10)와 게이트 절연막 형성단계(S20)와 나노와이어층 형성단계(S30)와 산소 플라즈마 처리단계(S50)와 차폐층 제거 단계(S60)와 소스 전극 및 드레인 전극 형성단계(S70)를 포함하여 이루어진다. 또한, 상기 나노와이어 트랜지스터의 제조방법은 산소 플라즈마 단계(S50) 후에 또는 소스 전극 및 드레인 전극 형성단계(S70) 후에 진행되는 레이저 어닐링 처리단계(S80)를 더 포함하여 이루어질 수 있다. 또한, 상기 나노와이어 트랜지스터의 제조방법은 차폐층 형성단계(S40)를 더 포함하여 이루어질 수 있다.

- [0057] 상기 게이트 전극 형성단계(S10)는, 도 7a를 참조하면, 기판(110) 상에 게이트 전극(130)을 형성하는 단계이다. 상기 게이트 전극(130)은 알루미늄(Al), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 몰리브덴(Mo)와 같은 금속 또는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), FTO(F-doped Tin Oxide)와 같은 투명 도전성 산화물로 형성될 수 있다.
- [0058] 상기 기판(110)은 상면에 별도의 버퍼층(120)이 구비될 수 있다. 따라서, 상기 게이트 전극(130)은 버퍼층(120)의 상면에 형성될 수 있다.
- [0059] 상기 게이트 절연막 형성단계(S20)는, 도 7b를 참조하면, 게이트 전극(130)의 상부를 포함하는 영역에 게이트 절연막(140)을 형성하는 단계이다. 상기 게이트 절연막은 기판(110)의 상면에 화학기상 증착법 플라즈마 강화 화학기상 증착법(PECVD), 원자층 증착법(ALD)에 의하여 전체적으로 형성되며, 알루미늄 산화물(Al_2O_3), 실리콘 산화물(SiO_2)과 같은 산화막 또는 실리콘 나이트라이드(Si_3N_4)와 같은 질화막으로 이루어진다.
- [0060]
- [0061] 상기 나노와이어층 형성단계(S30)는, 도 7c를 참조하면, 게이트 절연막(140)의 상부에서 게이트 전극(130)을 가로 지르도록 나노와이어층(150a)을 형성하는 단계이다. 상기 나노와이어층(150a)은 하나의 나노와이어로 형성될 수 있으며, 복수의 나노와이어 또는 그물망 형상으로 나노와이어로 형성될 수 있다.
- [0062] 상기 차폐층 형성단계(S40)는, 도 7d를 참조하면, 나노와이어층(150a)의 양측에 접촉 영역이 노출되도록 나노와이어층(150a)의 상부에 차폐층(158)을 형성하는 단계이다. 상기 차폐층(158)은 알루미늄 산화물(Al_2O_3), 이산화 규소(SiO_2)과 같은 산화막 또는 실리콘 나이트라이드(Si_3N_4)와 같은 질화막으로 이루어질 수 있다.
- [0063] 상기 산소 플라즈마 처리단계(S50)는, 도 7e를 참조하면, 나노와이어층(150a)에 산소 플라즈마 처리를 하는 단계이다. 상기 산소 플라즈마 처리는 나노와이어층(150a)과 차폐층(158)이 형성된 나노와이어 트랜지스터를 플라즈마 공정 챔버(도면에 도시하지 않음)에 장입한 후에 실시된다. 상기 나노와이어층(150a)은 중앙측의 일부 영역을 제외하고는 차폐층(158)이 형성되어 있으므로 양측으로 노출된 영역만이 산소 플라즈마에 노출되어 처리된다. 따라서, 상기 나노와이어층(150a)의 양측으로 노출된 영역(154) 즉, 접촉 영역(154)은 산소 플라즈마 처리에 의하여 n^{++} -type 영역이 된다. 또한, 상기 나노와이어층(150a)의 차폐층(158)에 의하여 차폐된 영역(152)은 즉, 채널 영역(152)은 n-type 영역이 된다.
- [0064] 상기 산소 플라즈마 처리단계(S50)는 산소 플라즈마 처리 시간, 플라즈마 전력, 산소 공급량을 적정하게 조절하여 이루어질 수 있다. 상기 산소 플라즈마 처리 시간은 바람직하게는 10초 이상으로 진행된다. 상기 산소 플라즈마 처리 시간이 너무 작게 되면 접촉 영역(154)의 도핑 정도가 작게 된다. 한편, 상기 산소 플라즈마 처리 시간은 60초를 초과하게 되면 나노와이어층(150)의 전기 전도도의 증가 상태가 포화된다. 따라서, 상기 산소 플라즈마 처리 시간은 바람직하게는 10초 내지 60초의 범위에서 플라즈마 전력과 산소 공급량에 따라 적정하게 된다.
- [0065]
- [0066] 상기 차폐층 제거 단계(S60)는, 도 7f를 참조하면, 상기 산소 플라즈마 처리단계 후에 차폐층(158)을 제거하는 단계이다. 상기 차폐층(158)은 플라즈마 식각과 같은 방법에 의하여 제거된다. 한편, 상기 차폐층(158)은 패시베이션층으로 작용할 수 있으며 이러한 경우에는 별도로 차폐층(158)을 제거하지 않게 된다.
- [0067] 상기 소스 전극 및 드레인 전극 형성단계(S70)는, 도 7g를 참조하면, 나노와이어층(150)의 접촉 영역(154)과 연결되도록 소스 전극(160)과 드레인 전극(170)을 게이트 절연막(140)의 상부에 형성하는 단계이다. 상기 소스 전극(160)과 드레인 전극(170)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 팔라듐(Pd), 백금(Pt), 니켈(Ni), 티타늄(Ti)과 같은 금속층 또는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), FTO(F-doped Tin Oxide)와 같은

투명 도전성 산화물로 형성될 수 있다.

- [0068] 상기 레이저 어닐링 처리단계(S80)는, 도 7g를 참조하면, 산소 플라즈마 처리된 나노와이어 층의 접촉 영역(154)에 레이저를 조사하여 어닐링하는 단계이다. 상기 레이저 어닐링 처리단계(S55)는 바람직하게는 소스 전극과 드레인 전극 형성단계(S70) 이후에 실시된다. 상기 레이저 어닐링 단계(S55)에서 레이저는 좁은 영역(spot size)은 약 0.61nm)에 조사될 수 있으므로 소스 전극과 드레인 전극 형성단계(S70) 이후에 산소 플라즈마 처리가 진행된 접촉 영역(154)에 조사되는 것이 가능하게 된다.
- [0069] 상기 레이저 어닐링 처리는 소스 전극 및 드레인 전극 형성 후에 실시되어 소스 전극 및 드레인 전극과 나노와이어 사이에 어로이(arroy)를 형성하게 되며, 접촉 영역에서 접촉저항을 줄이고, 전류 특성을 향상시키게 된다. 또한, 상기 레이저 어닐링 처리는 나노와이어 반도체 물질 고유 특성을 변화시켜 트랜지스터의 전류-전압 특성에서 드레인 전류의 포화영역을 형성하게 된다.
- [0070] 상기 레이저 어닐링 처리단계(S80)는 바람직하게는 펨토세컨 레이저 시스템(femtosecond laser system)을 사용하여 실시된다. 상기 펨토세컨 레이저 시스템은 극미세 영역에 대한 레이저 조사가 가능하게 된다. 상기 펨토세컨 레이저 시스템은
- [0071] 티탄:사파이어 레이저 시스템, 다이오드 레이저인 millennia 레이저 시스템, Q-switched Nd:YLF 레이저 시스템이 사용될 수 있다. 상기 레이저 어닐링 처리단계에서 조사되는 레이저의 펄스는 90fs pulse duration을 갖게 되며, 1kHz의 반복율(repetition rate)을 가질 수 있다. 다만, 상기 레이저 펄스는 사용되는 시스템에 따라 적정한 펄스와 에너지를 갖도록 조정될 수 있다. 한편, 상기 레이저 어닐링 처리단계(S55)는 펨토세컨 레이저 시스템 외에도 다양한 레이저 시스템이 사용될 수 있다.
- [0072] 한편, 상기 레이저 어닐링 처리단계(S80)는 산소 플라즈마 처리 단계(S50)후에 실시될 수 있다. 상기 레이저 어닐링 처리는 소스 및 드레인 전극 형성 전에 실시되어 나노와이어를 단결정질(single crystal)로 형성하게 된다.
- [0073] 다음은 본 발명의 실시예에 따른 나노와이어 트랜지스터의 특성 평가결과에 대하여 설명한다.
- [0074] 도 8은 본 발명의 실시예에 따른 나노와이어 트랜지스터의 산소 플라즈마 처리에 따른 드레인 전류의 증가 정도를 나타내는 그래프이다.
- [0075] 상기 나노와이어 트랜지스터의 산소 플라즈마 처리(Oxygen Plasma Doping: OPD) 전후에 드레인 전압(Vds)에 따른 드레인 전류(Ids)의 변화를 평가한 결과에 따르면, 도 8을 참조하면, 드레인 전류(Vds)는 산소 플라즈마 처리 후에 드레인 전압(Vds)의 증가에 따라 급격하게 증가되는 것을 알 수 있다. 또한, 상기 나노와이어 트랜지스터는 산소 플라즈마 처리 시간의 증가에 따라 드레인 전류(Ids)의 증가 속도가 더 높게 된다. 따라서, 상기 나노와이어 트랜지스터는 산소 플라즈마 처리에 의하여 접촉 영역에서의 접촉 저항이 감소되어 나노와이어의 전기 전도도가 증가된다.
- [0076] 도 9는 본 발명의 실시예에 따른 나노와이어 트랜지스터의 산소 플라즈마처리 전후의 드레인 전압과 드레인 전류의 관계를 나타내는 그래프이다.
- [0077] 상기 나노와이어 트랜지스터의 레이저 어닐링 처리의 전후에 드레인 전압(Vds)의 증가에 따른 드레인 전류(Ids)의 변화를 평가한 결과에 따르면, 도 9를 참조하면, 산소 플라즈마 처리에 따라 드레인 전류(Ids)가 증가함을 알 수 있다. 즉, 상기 나노와이어 트랜지스터의 드레인 전류(Ids)는 드레인 전압(Vds)가 증가함에 따라 증가하고 있으며, 산소 플라즈마 처리시 산소 플라즈마 처리전 보다 큰 폭으로 증가하고 있음을 알 수 있다. 또한, 상기 드레인 전류(Ids)는 게이트 전압(Vg)이 증가함에 따라 증가 폭도 함께 증가하는 것을 알 수 있다.
- [0078] 도 10은 본 발명의 실시예에 따른 나노와이어 트랜지스터의 레이저 어닐링 처리 전후의 문턱 전압의 변화를 나타내는 그래프이다.
- [0079] 상기 나노와이어 트랜지스터의 레이저 어닐링 처리에 따른 문턱 전압의 변화를 평가한 결과에 따르면, 도 10을

참조하면, 문턱 전압(V_{th})이 감소되는 것을 알 수 있다. 즉, 상기 나노와이어 트랜지스터는 레이저 어닐링 처리에 따라 드레인 전류(I_{ds})-게이트 전압(V_g)의 특성 곡선이 우측으로 쉬프트되며 문턱 전압이 감소된다.

[0080] 도 11은 본 발명의 실시예에 따른 나노와이어 트랜지스터의 레이저 어닐링 처리 전 후의 드레인 전압과 드레인 전류의 관계를 나타내는 그래프이다.

[0081] 상기 나노와이어 트랜지스터의 레이저 어닐링 처리의 전후에 드레인 전압(V_{ds})의 증가에 따른 드레인 전류(I_{ds})의 변화를 평가한 결과에 따르면, 도 11을 참조하면, 레이저 어닐링 처리시에 보다 낮은 드레인 전압(V_{ds})에서 드레인 전류(I_{ds})가 포화 영역을 가지게 됨을 알 수 있다. 따라서, 상기 나노와이어 트랜지스터는 레이저 어닐링 처리에 따라 트랜지스터 특성이 향상됨을 알 수 있다.

도면의 간단한 설명

[0082] 도 1a는 본 발명의 실시예에 따른 나노와이어 트랜지스터의 사시도를 나타낸다.

[0083] 도 1b는 도 1a의 A-A 단면도를 나타낸다.

[0084] 도 2는 본 발명의 실시예에 따른 나노와이어 트랜지스터에서 나노와이어 부분에 대한 부분 평면도 사진을 나타낸다.

[0085] 도 3은 본 발명의 다른 실시예에 따른 나노와이어 트랜지스터의 사시도를 나타낸다.

[0086] 도 4는 본 발명의 또 다른 실시예에 따른 나노와이어 트랜지스터의 사시도를 나타낸다.

[0087] 도 5는 본 발명의 또 다른 실시예에 따른 나노와이어 트랜지스터의 단면도를 나타낸다.

[0088] 도 6은 본 발명의 실시예에 따른 나노와이어 트랜지스터 제조 방법의 순서도를 나타낸다.

[0089] 도 7a 내지 도 7h는 도 6의 순서도에 따른 공정도를 나타낸다.

[0090] 도 8은 본 발명의 실시예에 따른 나노와이어 트랜지스터의 산소 플라즈마 처리에 따른 드레인 전류의 증가 정도를 나타내는 그래프이다.

[0091] 도 9는 본 발명의 실시예에 따른 나노와이어 트랜지스터의 산소 플라즈마처리 전후의 드레인 전압과 드레인 전류의 관계를 나타내는 그래프이다.

[0092] 도 10은 본 발명의 실시예에 따른 나노와이어 트랜지스터의 레이저 어닐링 처리 전후의 문턱 전압의 변화를 나타내는 그래프이다.

[0093] 도 11은 본 발명의 실시예에 따른 나노와이어 트랜지스터의 레이저 어닐링 처리 전 후의 드레인 전압과 드레인 전류의 관계를 나타낸다.

[0094] <도면의 주요 부분에 대한 부호의 설명>

[0095] 100, 200, 300, 400: 나노와이어 트랜지스터

[0096] 110: 기판 120: 버퍼층

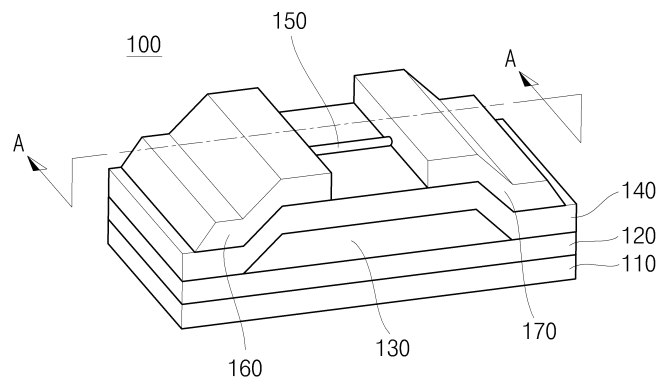
[0097] 130: 게이트 전극 140: 게이트 절연막

[0098] 150, 250, 350: 나노와이어층 160: 소스 전극

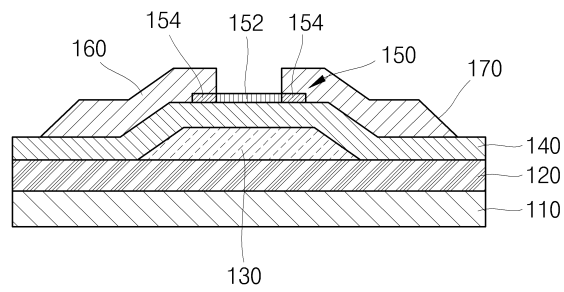
[0099] 170: 드레인 전극

도면

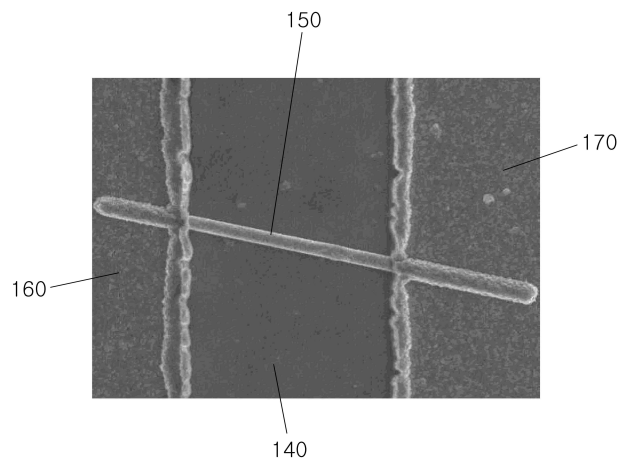
도면1a



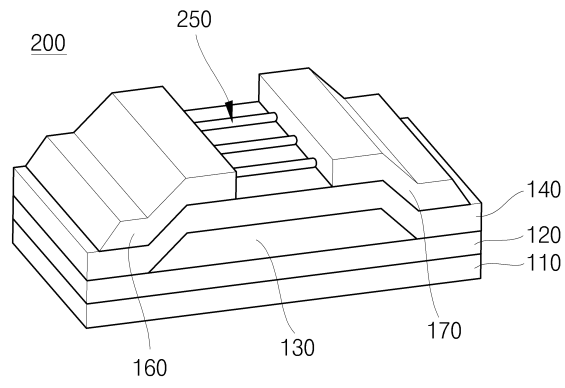
도면1b



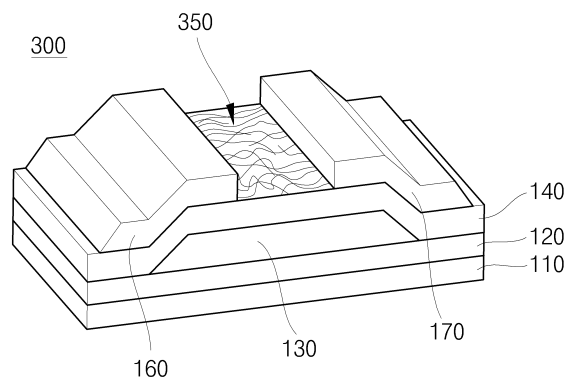
도면2



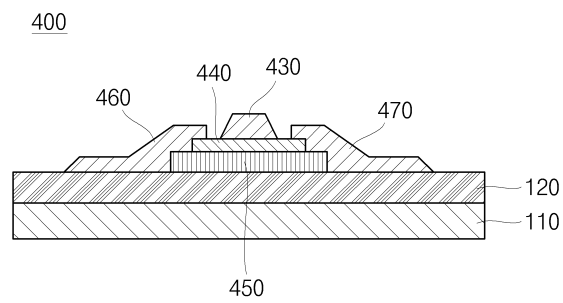
도면3



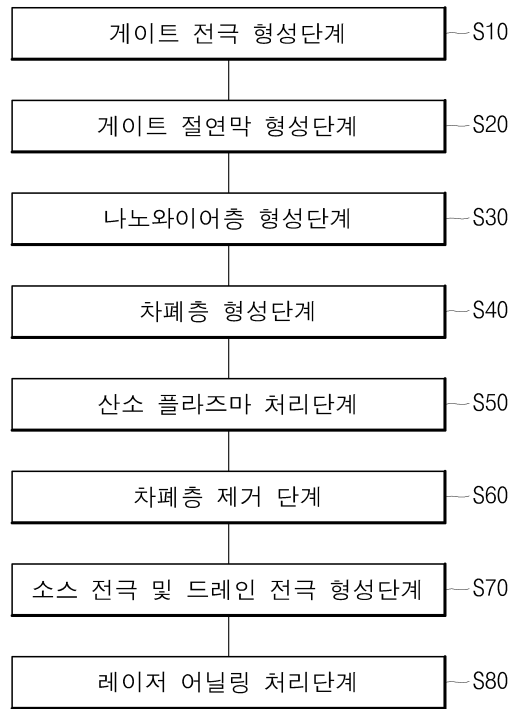
도면4



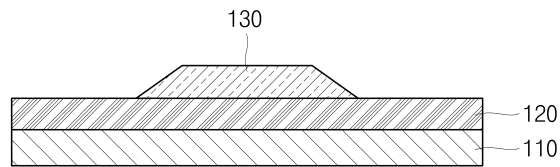
도면5



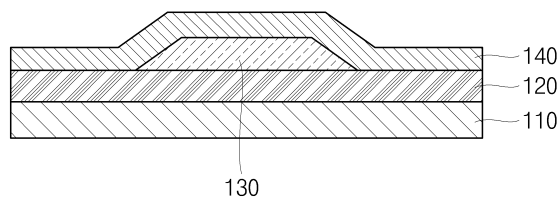
도면6



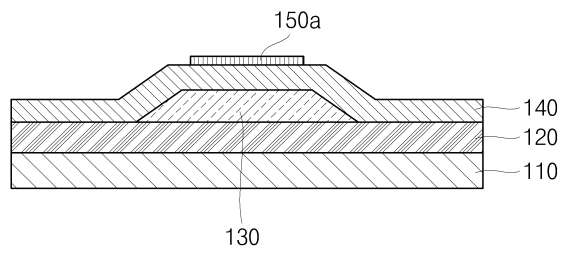
도면7a



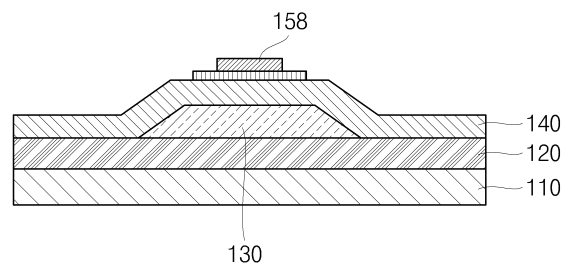
도면7b



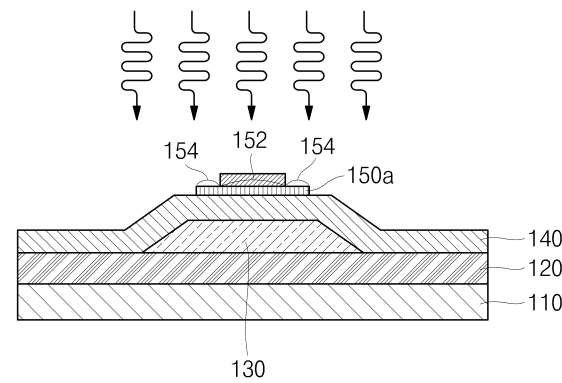
도면7c



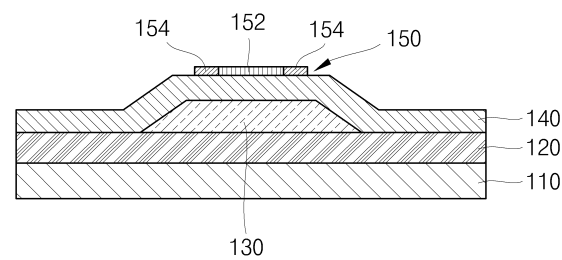
도면7d



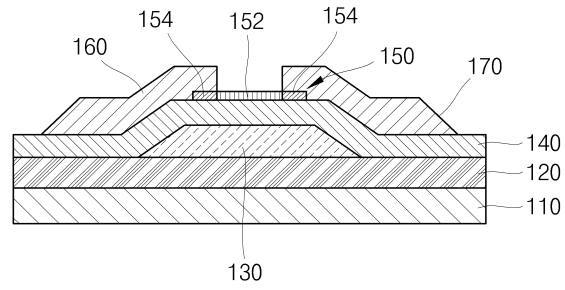
도면7e



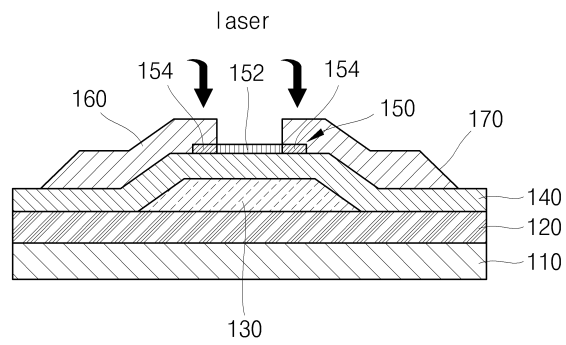
도면7f



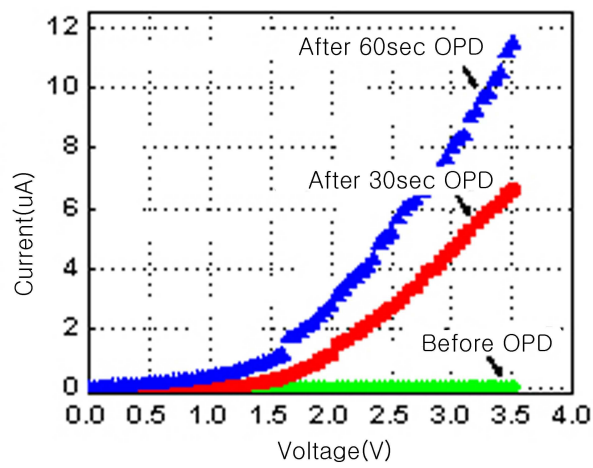
도면7g



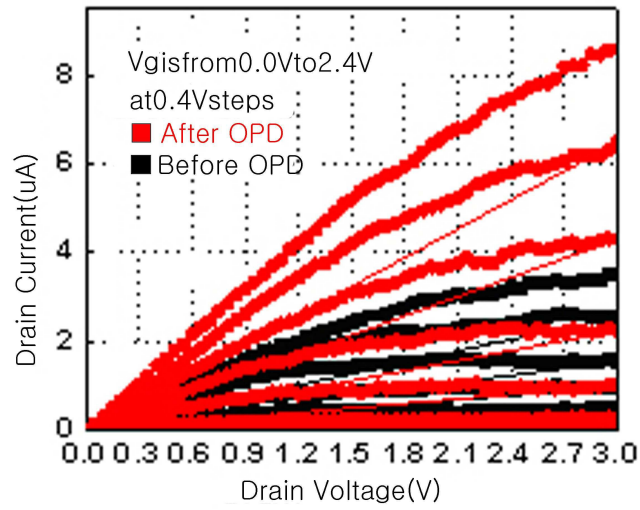
도면7h



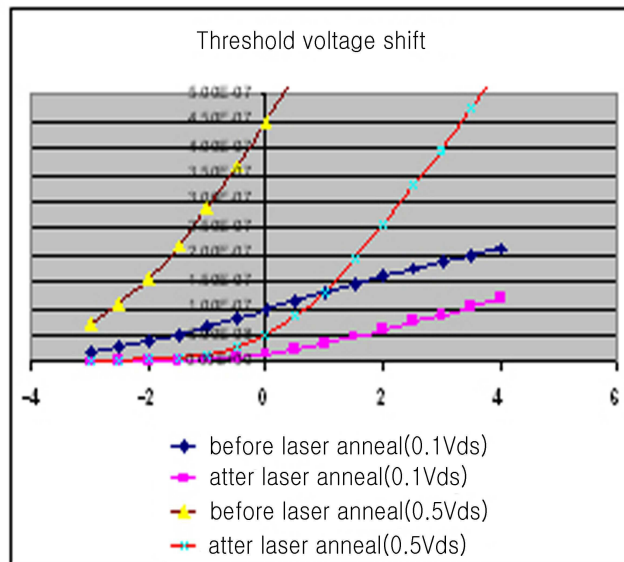
도면8



도면9



도면10



도면11

