

(12) 发明专利

(10) 授权公告号 CN 1685438 B

(45) 授权公告日 2011. 11. 16

(21) 申请号 03822633. 2

G11C 7/06(2006. 01)

(22) 申请日 2003. 08. 26

(56) 对比文件

(30) 优先权数据

10/233, 871 2002. 08. 29 US

CN 1136207 A, 1996. 11. 20, 全文.

US 2002009008 A1, 2002. 01. 24, 全文.

US 5701268 A, 1997. 12. 23, 全文.

(85) PCT申请进入国家阶段日

2005. 03. 23

US 20020080664 A1, 2002. 06. 27, 说明书第

1 页第 5 段, 第 5 页第 62 段至第 6 页第 72 段、图

1A, 1B, 2A, 2B, 3, 4.

(86) PCT申请的申请数据

PCT/US2003/026736 2003. 08. 26

审查员 孟田革

(87) PCT申请的公布数据

W02004/021354 EN 2004. 03. 11

(73) 专利权人 美光科技公司

地址 美国爱达荷

(72) 发明人 戴维·J·麦克艾洛伊

斯蒂芬·L·卡斯伯

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 宋献涛

(51) Int. Cl.

G11C 7/12(2006. 01)

G11C 11/4094(2006. 01)

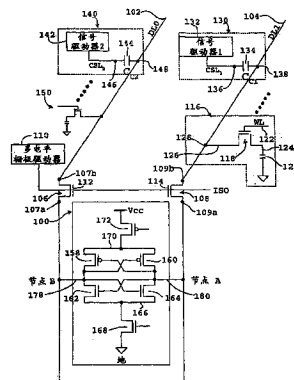
权利要求书 5 页 说明书 10 页 附图 7 页

(54) 发明名称

对 DRAM 感测操作中阈值电压进行偏置的装置及方法

(57) 摘要

在 DRAM 器件内设置电压耦合 / 去耦合器件, 以改善感测放大器的偏置感测, 并因此而改善刷新性能。电压耦合 / 去耦合器件使偏置电压耦合到与感测放大器相连的相应数字线, 或者从与感测放大器相连的相应数字线去耦合电压。通过使电压耦合到数字线或者从数字线去耦合电压, 可以增加刷新操作之间的时间间隔。



1. 一种动态随机存取存储器 DRAM, 具有第一数字线和第二数字线, 以及连接到所述第一和第二数字线的感测放大器, 所述数字线分别连接到相应存储单元, 所述 DRAM 包括:

电压耦合 / 去耦合器件, 具有连接到所述第一数字线的输出端, 所述电压耦合 / 去耦合器件使第一电压电容耦合到所述第一数字线或者从所述第一数字线电容去耦合第二电压; 其中:

响应所述第二数字线与连接到所述第二数字线的所述存储单元共享电荷, 所述电压耦合 / 去耦合器件从所述第一数字线电容去耦合所述第二电压, 在连接到所述第二数字线的所述存储单元被存取之后, 并且在所述感测放大器被启动之前, 发生所述去耦合。

2. 根据权利要求 1 所述的 DRAM, 其中响应所述第一数字线与连接到所述第一数字线的所述存储单元共享电荷, 所述电压耦合 / 去耦合器件使所述第一电压电容耦合到所述第一数字线。

3. 根据权利要求 1 所述的 DRAM, 进一步包括一对隔离晶体管, 其中所述感测放大器通过所述隔离晶体管之一连接到所述第一数字线, 而通过所述隔离晶体管之另一连接到所述第二数字线。

4. 根据权利要求 1 所述的 DRAM, 其中所述电压耦合 / 去耦合器件包括:

电压驱动器, 具有输出端, 其中所述电压驱动器从所述输出端产生驱动电压信号; 以及电容器, 具有第一接线端子和第二接线端子, 所述第一接线端子连接到所述驱动器输出端, 而所述第二接线端子连接到所述电压耦合 / 去耦合器件的所述输出端。

5. 根据权利要求 4 所述的 DRAM, 其中所述第一电压是一定比例的第一驱动电压信号, 而所述第二电压是一定比例的第二驱动电压信号。

6. 根据权利要求 4 所述的 DRAM, 其中所述驱动电压信号从低电压转换到高电压。

7. 根据权利要求 4 所述的 DRAM, 其中所述驱动电压信号从高电压转换到低电压。

8. 一种动态随机存取存储器 DRAM, 包括:

第一和第二数字线;

第一和第二晶体管, 分别具有第一和第二端子, 所述第一晶体管的所述第二端子连接到所述第一数字线, 而所述第二晶体管的所述第二端子连接到所述第二数字线;

感测放大器, 分别具有第一和第二感测接线, 所述第一感测接线连接到所述第一晶体管的所述第一端子, 而所述第二感测接线连接到所述第二晶体管的所述第一端子; 以及

第一和第二电压耦合 / 去耦合器件, 分别具有输出端, 其中:

所述第一电压耦合 / 去耦合器件输出端连接到所述第一感测接线;

所述第二电压耦合 / 去耦合器件输出端连接到所述第二感测接线; 以及

每个所述电压耦合 / 去耦合器件响应连接到其它感测接线的数字线与存储单元共享电荷, 从其相应感测接线去耦合电压, 其中在所述存储单元被存取之后, 并且在连接到每一感测节点的所述感测放大器被启动之前, 发生所述去耦合。

9. 根据权利要求 8 所述的 DRAM, 其中每个所述电压耦合 / 去耦合器件分别包括:

电压驱动器, 具有输出端, 其中所述电压驱动器产生驱动电压信号; 以及

电容器, 具有第一接线端子和第二接线端子, 所述第一接线端子连接到所述电压驱动器的所述输出端, 而所述第二接线端子连接到所述感测接线之一, 其中:

每个所述电压耦合 / 去耦合器件响应连接到该感测接线的数字线与存储单元共享电

荷,将电压耦合到其相应感测接线。

10. 根据权利要求 9 所述的 DRAM,其中所述耦合电压是一定比例的所述驱动电压信号,而所述去耦合电压是一定比例的所述驱动电压信号。

11. 根据权利要求 9 所述的 DRAM,其中所述驱动电压信号转换到较高量值的电压。

12. 根据权利要求 9 所述的 DRAM,其中所述电压信号转换到较低量值的电压。

13. 根据权利要求 8 所述的 DRAM,其中所述第一和第二晶体管分别包括栅极端,在施加适当栅压时,所述栅极端在所述第一端子与所述第二端子之间提供导电性。

14. 一种存储器子系统,包括:

存储器控制器;

动态随机存取存储器器件,包括:存储单元;第一和第二数字线,所述第一数字线连接到所述存储单元;感测放大器,连接到所述第一和第二数字线;以及第一和第二电压耦合/去耦合器件,所述第一电压耦合/去耦合器件具有连接到所述第一数字线的输出端,而所述第二电压耦合/去耦合器件具有连接到所述第二数字线的输出端,其中:

在所述存储单元被存取之后,并且在所述感测放大器被启动之前,所述第二电压耦合/去耦合器件从所述第二数字线电容去耦合电压;以及

连接到所述存储器控制器和所述动态随机存取存储器器件的数据信号和控制信号总线。

15. 根据权利要求 14 所述的存储器子系统,其中响应所述存储单元被存取,所述第一电压耦合/去耦合器件使电压电容耦合到所述第一数字线,在启动所述感测放大器之前进行所述耦合。

16. 根据权利要求 14 所述的存储器子系统,其中每个所述电压耦合/去耦合器件分别包括:

电压驱动器,具有输出端,所述电压驱动器从所述输出端产生驱动电压信号;以及

电容器,具有第一接线端子和第二接线端子,所述第一接线端子连接到所述驱动器的输出端,而所述第二接线端子连接到所述电压耦合/去耦合器件的所述输出端。

17. 根据权利要求 14 所述的存储器子系统,其中所述感测放大器包括:

N 感测放大器部分,具有第一和第二交叉耦合 NMOS 晶体管;

P 感测放大器部分,具有第一和第二交叉耦合 PMOS 晶体管,所述第一交叉耦合 PMOS 晶体管与所述第一交叉耦合 NMOS 晶体管共享公共接线,而所述第二交叉耦合 PMOS 晶体管与第二交叉耦合 NMOS 晶体管共享公共感测接线。

18. 一种存储器子系统,包括:

存储器控制器;

动态随机存取存储器器件,包括:

存储单元;

第一和第二数字线,所述第一数字线连接到所述存储单元;

感测放大器,包括第一和第二感测接线;以及

第一和第二晶体管,所述第一晶体管连接在所述第一感测接线与所述第一数字线之间,而所述第二晶体管连接在所述第二感测接线与所述第二数字线之间,以及

第一和第二电压耦合/去耦合器件,所述第一电压耦合/去耦合器件具有连接到所述

第一感测接线的输出端,而所述第二电压耦合 / 去耦合器件具有连接到所述第二感测接线的输出端,其中:

在所述存储单元被存取之后,并且在所述感测放大器被启动之前,所述第二电压耦合 / 去耦合器件从所述第二感测接线电容去耦合电压;以及

连接到所述存储器控制器和所述动态随机存取存储器器件的数据信号和控制信号总线。

19. 根据权利要求 18 所述的存储器子系统,其中响应所述存储单元被存取,所述第一电压耦合 / 去耦合器件使电压电容耦合到所述第一感测接线,所述耦合在启动所述感测放大器之前进行。

20. 根据权利要求 18 所述的存储器子系统,其中每个所述电压耦合 / 去耦合器件分别包括:

电压驱动器,具有输出端,所述电压驱动器从所述输出端产生驱动电压信号;以及  
电容器,具有第一接线端子和第二接线端子,所述第一接线端子连接到所述驱动器的输出端,而所述第二接线端子连接到所述电压耦合 / 去耦合器件的所述输出端。

21. 根据权利要求 18 所述的存储器子系统,其中所述感测放大器包括:

N 感测放大器部分,具有第一和第二交叉耦合 NMOS 晶体管;

P 感测放大器部分,具有第一和第二交叉耦合 PMOS 晶体管,所述第一交叉耦合 PMOS 晶体管与所述第一交叉耦合 NMOS 晶体管共享公共接线,而所述第二交叉耦合 PMOS 晶体管与第二交叉耦合 NMOS 晶体管共享公共感测接线。

22. 一种计算机系统,包括:

处理器;

存储器控制器;

输入 / 输出装置;

动态随机存取存储器器件,具有存储单元阵列、多个数字线、多个感测放大器以及其输出端连接到所述数字线之一的电压耦合 / 去耦合器件,其中在存取连接到另一个所述数字线的所述存储单元之一后,而在启动所述感测放大器之一之前,所述电压耦合 / 去耦合器件从所述数字线之一电容去耦合电压,所述一个感测放大器连接到所述一个存储单元和两个所述数字线;以及

连接到所述处理器、所述存储器控制器、所述动态随机存取存储器器件以及所述输入 / 输出装置的数据信号和控制信号总线。

23. 一种存储器器件,包括:

存储单元阵列;

多个数字线,其中每个数字线连接到所述存储单元中的至少一个;

多个感测放大器,其中每个感测放大器连接到所述存储单元中的至少一个,每个感测放大器具有感测接线;以及

电压耦合 / 去耦合器件,所述电压耦合 / 去耦合器件的输出端连接到所述感测放大器中的一个感测放大器的感测接线,其中:

在存取连接到所述一个感测放大器的所述存储单元之一后,并且在启动所述一个感测放大器之前,所述电压耦合 / 去耦合器件从所述一个感测放大器的所述感测接线电容去耦

合电压。

24. 一种在动态随机存取存储器 DRAM 感测放大器内进行偏置感测的设备,所述感测放大器具有第一和第二感测接线,所述第一感测接线连接到第一数字线,所述第一数字线连接到存储单元,而所述第二感测接线连接到第二数字线,所述设备包括:

用于对所述第一和第二数字线施加电压的装置;

用于存取所述存储单元的装置,其中所述存取产生第一数字线偏置电压;

用于从所述第二数字线电容去耦合电压,以产生第二数字线偏置电压的装置;以及

用于启动所述 DRAM 感测放大器的装置,其中在所述存取产生所述第一数字线偏置电压之后,并且在所述感测放大器的所述启动之前,发生所述去耦合。

25. 一种在动态随机存取存储器 DRAM 感测放大器内进行偏置感测的设备,所述感测放大器具有第一和第二感测接线,所述第一感测接线连接到第一数字线,所述第一数字线连接到存储单元,而所述第二感测接线连接到第二数字线,所述设备包括:

用于对所述第一和第二数字线施加电压的装置;

用于存取所述存储单元的装置,其中所述存取产生第一数字线偏置电压;

用于从所述第二感测接线电容去耦合电压,以产生第二感测接线偏置电压的装置;以

及

用于启动所述 DRAM 感测放大器的装置,其中在所述存取产生所述第一数字线偏置电压之后,并且在所述感测放大器的所述启动之前,发生所述去耦合。

26. 一种在动态随机存取存储器 DRAM 感测放大器内进行偏置感测的方法,所述感测放大器具有第一和第二感测接线,所述第一感测接线连接到第一数字线,所述第一数字线连接到存储单元,而所述第二感测接线连接到第二数字线,所述方法包括:

对所述第一和第二数字线施加电压;

存取所述存储单元,其中所述存取产生第一数字线偏置电压;

从所述第二数字线电容去耦合电压,以产生第二数字线偏置电压;以及

启动所述 DRAM 感测放大器,其中在所述存取产生所述第一数字线偏置电压之后,并且在所述感测放大器的所述启动之前,发生所述去耦合。

27. 根据权利要求 26 所述的方法,其中启动所述感测放大器比较所述第一数字线偏置电压与所述第二数字线偏置电压之间的电压差。

28. 根据权利要求 26 所述的方法,其中从所述第二数字线电容去耦合电压的步骤降低对所述第二数字线施加的电压。

29. 根据权利要求 26 所述的方法,该方法进一步包括,在所述存取之后:

使电压电容耦合到所述第一数字线,以产生升高的第一数字线偏置电压。

30. 一种在 DRAM 感测放大器内进行偏置感测的方法,所述感测放大器具有第一和第二感测接线,所述第一感测接线通过第一隔离晶体管连接到第一数字线,所述第一数字线连接到存储单元,而所述第二感测接线通过第二隔离晶体管连接到第二数字线,所述方法包括:

对所述第一和第二数字线施加电压;

存取所述存储单元,其中所述存取产生第一数字线偏置电压;

导通所述第一隔离晶体管,使得所述第一感测接线导电地连接到所述第一数字线;

导通所述第二隔离晶体管,使得所述第二感测接线导电地连接到所述第二数字线;  
断开所述第一隔离晶体管,使得所述第一感测接线与所述第一数字线电隔离;  
断开所述第二隔离晶体管,使得所述第二感测接线与所述第二数字线电隔离;  
从所述第二感测接线电容去耦合第二电压,以产生第二感测接线偏置电压;以及  
启动所述 DRAM 感测放大器。

31. 根据权利要求 30 所述的方法,其中启动所述感测放大器的步骤包括比较所述第一数字线偏置电压与所述第二感测接线偏置电压之间的电压差。

32. 根据权利要求 30 所述的方法,该方法进一步包括,在所述断开所述第二隔离晶体管之后:

使第一电压电容耦合到所述第一感测接线,以产生第一感测接线偏置电压。

## 对 DRAM 感测操作中阈值电压进行偏置的装置及方法

### 技术领域

[0001] 本发明涉及 DRAM(动态随机存取存储器)感测放大器内的偏置感测方法。更具体地说,本发明涉及改善 DRAM 器件的刷新性能。

[0002] 背景技术

[0003] 因为 DRAM 存储单元存在电荷泄漏,所以在给定的 DRAM 器件的每个存储单元内,感测放大器感测(或者采样)和恢复电荷。为了感测和恢复与特定数字线相连的存储单元的电荷,感测放大器将“基准”数字线上的偏置电压与连接到被存取(即,被读的)的存储单元的数字线上的偏置电压进行比较。

[0004] 如果将逻辑“1”存储到存取存储单元电容器,则在对该电容器进行存取时,与数字线共享电容器内存储的电荷。这样使存储单元数字线上的电压相对于基准数字线偏置电压稍许升高。该感测放大器检测到该电压变化,然后,对存储单元数字线施加适当电压(例如, Vcc),以使该存储单元重新充电,并使它恢复满电平电荷。

[0005] 如果将逻辑“0”存储到该存储单元电容器,则在对该电容器进行存取时,该电容器内缺乏存储的电荷导致某些电荷出现在与该存储单元共享的偏置数字线上。这样使存储单元数字线上的电压相对于偏置基准数字线稍许降低。该感测放大器检测到该电压变化,然后,对存储单元数字线施加地(GND)信号,以使该存储单元完全放电(即,逻辑“0”)。

[0006] 在存储单元内感测(sensing)(即,读)与恢复电荷之间的刷新时间或间隔局限于对基准数字线施加的偏置电压电平。例如,在限定的时间间隔(刷新时间)之后,感测保持表示逻辑“1”的电荷的 DRAM 存储单元。然后,感测放大器确定逻辑“1”存储在该存储单元内,并使其电荷恢复到满值。然而,如果该刷新时长太长,则存储在该存储单元内的电荷降低得太多。在出现这种情况时,该感测放大器错误地确定,在该存储单元内存储了逻辑“0”。因此,不使存储单元的电荷恢复到其满值(即,逻辑“1”)。

[0007] 因此,对于存储逻辑“1”的存储单元,必须在感测的存储单元数字线上的电压降低到低于基准数字线偏置电压之前,开始该刷新时间。否则,该 DRAM 器件错误地检测到逻辑“0”。为了避免出现这种情况,必须缩短刷新时间之间的时间间隔。然而,缩短刷新时间之间的间隔,又不希望地增加了该 DRAM 器件内的功率耗散。由于尽管其物理尺寸在减小,但是 DRAM 存储阵列的存储容量在升高,所以这就越来越成为问题。因为在存储单元内设置了电荷降低的增大余量,所以通过降低基准数字线偏置电压,可以增加刷新操作(刷新时间)之间的时间间隔。然而,正如 Lee 等人的第 5,701,268 号美国专利公开的那样,一些公知的存储器件将基准数字线上的和感测存储单元数字线上的电压均驱动到较高电位。

[0008] 我们知道,通过在 DRAM 存储器件的数字线上包括伪存储单元,可以降低任何特定基准数字线上的偏置电压,从而改善刷新性能。通过降低该偏置电压(阈值电平),降低了检测到逻辑“1”的可能性(提高了可靠性),因此,延长了刷新操作之间的需要时间。

[0009] 然而,包括伪单元不能有效利用制造面积,特别是,考虑到随着存储容量的增加,DRAM 阵列器件变得更小的趋势,这尤其是不希望的。例如,Eto 等人的第 6,169,701 号美国专利公开了使用这种伪单元。

[0010] 鉴于上述原因,要求提供通过改变感测操作使用的阈值电压或偏置电压,改善刷新性能的 DRAM 存储器件。

### 发明内容

[0011] 本发明的一个目的是提供通过改变感测操作使用的阈值电压或偏置电压,改善刷新性能的 DRAM 存储器件。

[0012] 根据本发明,提供了一种 DRAM 器件,它具有多个数字线和多个感测放大器,其中每个感测放大器分别连接到一对相连数字线。每对相连数字线分别包括第一数字线和第二数字线。该 DRAM 器件还包括:第一电压耦合/去耦合器件,其输出端连接到第一数字线;以及第二耦合/去耦合器件,其输出端连接到第二数字线。第一电压耦合器件使电压电容耦合到第一数字线,而第二电压耦合器件从第二数字线电容去耦合第二电压,其中第一数字线是“活动”数字线,而第二数字线是“基准”数字线。

[0013] 根据本发明,该实施例最好如下操作:电偏置电压施加到第一和第二数字线。在存储单元内存取电荷,使得在存储单元与第一数字线之间共享电荷,产生第一数字线偏置电压。存取存储单元后,从第二数字线电容去耦合电压,从而降低偏置电压。然后,启动 DRAM 感测放大器,以使存储单元内的电荷恢复到其指定的电荷值(逻辑“1”或逻辑“0”)。

[0014] 根据本发明的第二实施例具有第一和第二数字线、第一和第二晶体管、感测放大器以及第一和第二电压耦合/去耦合器件。第一和第二数字线具有线接线。第一和第二晶体管分别具有第一和第二端子。第一晶体管的第二端子连接到第一数字线的线接线,而第二晶体管的第二端子连接到第二数字线的线接线。

[0015] 每个感测放大器分别具有第一和第二感测接线,其中第一感测接线连接到第一晶体管的第一端子,而第二感测接线连接到第二晶体管的第一端子。第一和第二电压耦合/去耦合器件分别具有输出端,其中第一耦合/去耦合器件的输出端连接到第一感测接线和第一晶体管的第一端子,而第二耦合/去耦合器件的输出端连接到第二感测接线和第二晶体管的第一端子。

[0016] 根据本发明,该第二实施例最好如下操作:电压施加到第一和第二数字线。在存储单元内存取电荷,使得在存储单元与第一数字线之间共享电荷,产生第一数字线偏置电压。存取存储单元后,第一隔离晶体管被转换为导通状态,因此,第一感测接线连接到第一数字线,而且第二隔离晶体管被转换为导通状态,因此,第二感测接线连接到第二数字线。然后,第一和第二隔离晶体管被断开,因此,第一和第二感测接线与第一和第二数字线电隔离。在使感测放大器的接线与数字线隔离后,从第二感测放大器接线电容去耦合第二电压,从而降低其偏置电压。然后,启动 DRAM 感测放大器,以使存储单元内的电荷恢复到其指定的电荷值(逻辑“1”或逻辑“0”)。

### 附图说明

[0017] 通过对下面结合附图所做的详细说明进行研究,本发明的上述以及其它目的和优点将更加明显,在所有附图中,同样的参考编号表示同样的部分,附图包括:

[0018] 图 1 是根据本发明的 DRAM 存储电路的第一实施例的电路图;

[0019] 图 2 是根据本发明的耦合网络的第一实施例的电图解表示;



[0020] 图 3 是根据本发明的 DRAM 存储电路的第二实施例的电路图；

[0021] 图 4 是根据本发明的耦合网络的第二实施例的电图解表示；

[0022] 图 5 是示出对应于根据本发明的 DRAM 存储器感测放大器的刷新操作的各种信号电压的时序图；

[0023] 图 6 是示出根据本发明的存储单元的感测期间,从数字线施加的用于耦合和去耦合电压的信号电压的时序图;以及

[0024] 图 7 是包含本发明的系统的方框图。

## 具体实施方式

[0025] 本发明提供了一种改善了偏置感测的 DRAM 感测放大器器件。这些感测放大器包括附加器件,该附加器件可以使电压从“基准”数字线电容去耦合 (capacitively decouple),可以使电压电容耦合到“活动”数字线,也可以实现这二者。请注意,连接到存取 (access) 存储单元的数字线被指定为“活动”数字线。与该“活动”数字线相邻并与其共享同一个感测放大器的数字线被指定为“基准”数字线。因此,根据这两个数字线中哪个连接到存取存储单元,动态改变“活动”和“基准”数字线。通过从基准数字线去耦合电压,或者通过使电压耦合到活动数字线上,或者通过既使电压耦合到这些数字线上,又从这些数字线去耦合电压,改善感测放大器的偏置(阈值)电压感测。

[0026] 图 1 示出 DRAM 阵列内的 DRAM 感测放大器电路 100,其中通过一对隔离晶体管 106、108,感测放大器 100 连接到一对相邻数字线 102、104。感测放大器 100 通过隔离晶体管 108 连接到数字线 104,而通过隔离晶体管 106 连接到数字线 102。隔离晶体管 108 具有端子 109a、109b,其中端子 109b 连接到数字线 104,而端子 109a 连接到感测放大器 100。隔离晶体管 106 具有端子 107a、107b,其中其中端子 107b 连接到第二数字线 102,而端子 107a 连接到感测放大器 100。

[0027] 隔离晶体管 106 和 108 均受多电平 (multi-level) 栅极驱动器 110 的控制,该多电平栅极驱动器 110 同时将适当驱动电压施加到隔离晶体管 106 和 108 的相应端子 112、114。该驱动电压使隔离晶体管 106、108 转换到 ON(导通)或 OFF(断开),以控制数字线 102、104 与感测放大器 100 之间的电隔离。诸如存储单元 116 和 150 的多个存储单元分别连接到数字线 104 和 102。为了简洁起见,图 1 仅示出存储单元 116 和 150。

[0028] 存储单元 116 包括晶体管 118 和电容器 120,其中在 DRAM 阵列内,晶体管 118 的栅极连接到字线 122(WL)。晶体管 118 的端子 124 连接到电容器 120 的一端,其中电容器 120 的另一端接地。在节点 128,晶体管 118 的另一端 126 连接到数字线 104。

[0029] 第一电压耦合/去耦合器件 130 也连接到数字线 104。电压耦合器件 130 包括耦合/去耦合电容器 134 和信号驱动器器件 132。电容器 134 在节点 136 连接到信号驱动器 132 的输出端,而在节点 138,连接到数字线 104。节点 138 是电压耦合/去耦合器件 130 的输出端。

[0030] 第二电压耦合/去耦合器件 140 连接到数字线 102。电压耦合器件 140 包括电容器 144 和第二信号驱动器器件 142。电容器 144 在节点 146 连接到信号驱动器 142 的输出端,而在节点 148,连接到数字线 102。节点 148 是电压耦合/去耦合器件 140 的输出端

[0031] 感测放大器器件 100 包括 N 感测和 P 感测放大器。P 感测放大器包括具有第一

PMOS 晶体管 158 和第二 PMOS 晶体管 160 的交叉耦合 PMOS 晶体管对。N 感测放大器包括具有第一 NMOS 晶体管 162 和第二 NMOS 晶体管 164 的交叉耦合 NMOS 晶体管对。第一 PMOS 晶体管 158 和第一 NMOS 晶体管 162 共享公共接线 178, 通过节点 B 和隔离晶体管 106, 该公共接线 178 连接到数字线 102。第二 PMOS 晶体管 160 和第二 NMOS 晶体管 164 共享公共感测接线 180, 通过节点 A 和隔离晶体管 108, 该公共感测接线 180 连接到数字线 104。通常, 以  $V_{cc}/2$  (供电主线 (supply rail) 的一半) 偏置 NMOS 晶体管对 162、164 之间的公共节点接线 166。通过经过被导通的晶体管 168 使公共节点接线 166 接地, “启动” 或者激活 N 感测放大器。这样可以将公共节点接线 166 从  $V_{cc}/2$  有效拉到地电压 (0V)。

[0032] 同样, 通常, 以约 0V (地电压) 偏置 PMOS 晶体管对 158、160 之间的公共节点接线 170。通过经过被导通的晶体管 172 使公共节点接线 170 连接到  $V_{cc}$  (供电主线), “启动” 或者激活 P 感测放大器。这样可以使该公共节点接线从 0V 有效拉到  $V_{cc}/2$ 。

[0033] 在感测和恢复操作期间, 顺序启动 N 感测放大器和 P 感测放大器, 其中首先 “启动” N 感测放大器, 然后 “启动” P 感测放大器。

[0034] 请注意, 仅为了说明问题, 数字线 102 被指定为 “基准” 数字线 102, 而数字线 104 被指定为 “活动” 数字线。电压耦合 / 去耦合器件 140 从 “基准” 数字线 102 去耦合某个百分比 (或者比例 (fraction)) 的电压, 以降低该线上的偏置电压。电压耦合 / 去耦合器件 130 可以 (任选) 将某个百分比 (比例) 的电压耦合到 “活动” 数字线 104, 以提高该线上的偏置电压。

[0035] 因此, 通过从 “基准” 数字线 102 去耦合电压、使电压耦合到 “活动” 数字线 104 或者既使电压从 “基准” 数字线 102 去耦合又使电压耦合到 “活动” 数字线 104, 可以提高 “基准” 数字线 102 与 “活动” 数字线 104 之间的电压差。电压耦合 / 去耦合器件 130、140 的电压耦合或去耦合功能取决于其相应数字线是被指定为 “活动” 数字线, 还是被指定为 “基准” 数字线。

[0036] 图 2 示出图 1 所示电压耦合 / 去耦合器件 (器件 130 或 140) 的电图解表示。利用  $C_{digitline}$  表示数字线电容 204, 而在电路中, 它被表示为具有到数字线 206 的第一接线和到地的第二接线的电容器。该数字线电容不是诸如耦合 / 去耦合电容器 210 的制造元件。它是存在的寄生效应, 因此, 它不包括在图 1 所示的电路图中。

[0037] 耦合 / 去耦合电容器 210 具有第一连接端子 212 和第二连接端子 214, 其中第一连接端子 212 从电压驱动器器件或者信号源接收耦合 / 去耦合驱动电压信号 ( $V_{CSL}$ )。第二连接端子 214 连接到数字线 206, 因此, 连接到数字线电容 204 的第一接线。因此, 在耦合 / 去耦合电容器 210 与数字线电容 204 之间形成电容器网。通过对连接端子 212 施加适当耦合 / 去耦合驱动电压信号 ( $V_{CSL}$ ), 可以从数字线 206 去耦合电压, 或者使电压耦合到数字线 206。下面的等式 (1) 也说明了这种情况:

$$[0038] \quad \Delta V_{NODE} = \frac{C_c}{C_c + C_{digitline}} \times \Delta V_{CSL} \quad (1)$$

[0039] 其中  $\Delta V_{NODE}$  是数字线 206 上的电压的变化,  $C_c$  是耦合 / 去耦合电容器 210 的电容,  $C_{digitline}$  是数字线 206 上的电容 204,  $\Delta V_{CSL}$  是耦合 / 去耦合驱动电压信号 ( $V_{CSL}$ ) 产生的电压转换量。图 5 和 6 更详细示出耦合过程和去耦合过程。

[0040] 通过将图 2 的电图解说明与图 1 中的耦合 / 去耦合器件 130、140 进行比较, 耦合

/ 去耦合电容器 210 与耦合 / 去耦合电容器 134 和 144 等效。此外,每个信号驱动器器件 132、142 分别产生  $V_{CSL}$ , 其中信号驱动器器件 132 产生第一驱动电压信号 ( $V_{CSL1}$ ), 而信号驱动器器件 142 产生第二驱动电压信号 ( $V_{CSL2}$ )。两个驱动电压信号 ( $V_{SCL}$ ) 产生的电压转换量  $\Delta V_{SCL}$  提供必要信令, 该必要信令使电压耦合到相应数字线 102 和 104 上, 或者从该相应数字线 102 和 104 去耦合电压。数字线 206 的电容 ( $C_{\text{digitline}}$ ) 204 等效于数字线 102 和 104 的寄生电容。信号驱动器器件 (132 或者 142) 将耦合 / 去耦合驱动电压信号 ( $V_{CSL}$ ) 施加到信号线 136、146, 其中耦合 / 去耦合电容器 134、144 分别接收驱动电压信号 ( $V_{CSL}$ )。电压转换量  $\Delta V_{SCL}$  的转换过渡方向 (低到高 或者高到低) 确定是使电压耦合到数字线, 还是从数字线去耦合电压。因此, 数字线上电压的变化 ( $\Delta V_{NODE}$ ) 取决于是电压耦合到数字线 (提高其偏置电压), 还是从该数字线去耦合电压 (降低其偏置电压)。

[0041] 从等式 (1) 可以看出, 通过同时提高耦合 / 去耦合电容器 210 的电容值和电压转换量  $\Delta V_{SCL}$ , 可以实现更高百分比 (或者比例) 的耦合或者去耦合。例如, 为了从数字线去耦合 10% 的偏置电压, 耦合 / 去耦合电容应该接近数字线电容的十分之一 (1/10), 或者百分之十。然而, 如果数字线电容较大, 则必须按比例增大耦合 / 去耦合电容器, 这样就以降低单位器件尺寸的 DRAM 存储容量为代价, 制造了大电容器器件。

[0042] 信号驱动器器件 (132 或 142) 产生的电压转换量 ( $\Delta V_{SCL}$ ) 通常介于地电压与供电主线 ( $V_{CC}$ ) 之间, 以将耦合 / 去耦合比例提高到最高。请注意, 信号驱动器器件 (132 或 142) 可以在第一电压与第二电压之间改变电压转换量 ( $\Delta V_{SCL}$ ), 以改变耦合 / 去耦合比例。信号驱动器器件 (132 或 142) 产生的第一电压和第二电压均是可控变量。还请注意, 在任何给定数字线与信号驱动器器件之间均可以连接一个以上的耦合 / 去耦合电容器。

[0043] 在对感测放大器 100 的感测操作所做的描述中, 认为存储单元 116 保持对应于存储逻辑“1”的电荷。如上所述, 在存储单元 116 内存取 (即, 读)、感测以及恢复电荷期间, 认为数字线 104 是“活动”数字线, 而认为相邻数字线 102 是“基准”数字线。此外, 在启动 N 感测放大器和 P 感测放大器之前, 均以  $V_{CC}/2$  (供电主线的一半) 预偏置这两个数字线。

[0044] 为了取出存储在存储单元 116 内的电荷, 利用字线 (WL) 122 对晶体管 118 的栅极施加适当电压。一施加了栅压 (gate voltage) 而且晶体管 118 一完全导通, 就在晶体管 118 的端子 124 与 126 之间建立了低阻抗电连接。这样有效地将电容器 120 的一端直接电连接到数字线 104, 以致在电容器 120 与数字线 104 之间共享电荷。由于电荷从电容器 120 排放到“活动”数字线 104, 所以与相邻基准数字线 102 上的偏置电压相比, 稍许提高“活动”数字线偏置电压。因此, 在数字线 104 与 102 之间存在可检测到的电压差 ( $\Delta V$ )。

[0045] 一对存储单元 116 进行存取, 栅极驱动器 110 就分别对隔离晶体管 108、106 的栅极端 114 和栅极端 112 施加栅压。这样使隔离晶体管 106、108 均完全导通。利用处于导通状态的隔离晶体管 106, 在节点 B 与“基准”数字线 102 之间建立电连接。感测放大器 100 的感测接线 178 连接到节点 B, 并因此连接到“基准”数字线 102。同样, 利用处于导通状态的隔离晶体管 108, 在节点 A 与“活动”数字线 104 之间建立电连接。感测放大器 100 的感测接线 180 连接到节点 A, 并因此连接到“活动”数字线 104。因此, 感测放大器的感测接线 180 接收“活动”数字线 104 上的电压, 而感测放大器的感测接线 178 接收“基准”数字线 102 上的电压。隔离晶体管一处于断开状态, 感测放大器的接线 178 和 180 就与相应数字线 102、104 隔离。然而, 数字线 102 和 104 上的电压保持存储在节点 A 和 B 以及感测接线 178

和 180 上。

[0046] “活动”数字线 104 与“基准”数字线 102 之间的电压差较小。通过提高该电压差，可以提高 DRAM 器件的感测性能和刷新性能。例如，对于感测操作，感测放大器 100 错误地对存取存储单元分配适当电荷，或者不对存取存储单元分配适当电荷的概率非常低。此外，随着“活动”数字线 104 与“基准”数字线 102 之间的电压差的增加，有利于延长所需刷新操作之间的时间间隔。这是因为，“基准”数字线 102 上的偏置电压具有更低电压阈值，这样又使存取存储单元 116 内的电荷进一步减少，而又不会检测不到。这意味着，一存取存储单元 116 内的减少的电荷，“活动”数字线 104 上的偏置电压也就高于基准数字线 102。然而，根据本发明的校正操作，如果在存取存储单元 116 内不存在电荷（即，存储的逻辑“0”），则“活动”数字线 104 上的偏置电压必须具有比“基准”数字线 104 上的偏置电压值低的偏置电压值。

[0047] 通过激活电压耦合 / 去耦合器件 140 使得从基准数字线 102 去耦合某个比例或者百分比的现有基准数字线偏置电压（即， $V_{CC}/2$ ），可以如上所述增加“活动”数字线 104 与“基准”数字线 102 之间的电压差。因此，因为存取存储单元 116，降低“基准”数字线 102 上的偏置电压，而提高“活动”数字线 104 上的偏置电压可以这样增加电压差。因为，隔离晶体管 106 和 108 仍处于导通状态，所以在节点 A 和 B 分别提高“活动”数字线 104 上的偏置电压，而降低“基准”数字线 102 上的偏置电压。

[0048] 感测放大器的感测接线 (connection) 180、178 分别从节点 A 和 B 接收“活动”数字线和“基准”数字线上出现的相应偏置电压。在“启动”P 感测放大器和 N 感测放大器之前，使隔离晶体管 106 和 108 被断开，使得 P 感测放大器和 N 感测放大器与数字线 102 和 104 上的寄生电容隔离。因此，栅极驱动器 110 从隔离晶体管栅极 112、114 上清除先前施加的电压。这样使晶体管 106 和 108 均断开，因此，节点 A 和 B 以及感测接线 180、179 与数字线 104、102 隔离。

[0049] 对于存储单元 116（具有存储逻辑“1”），在“启动”N 感测放大器时，检测到相对于基准数字线 102 的偏置电压活动数字线 104 的偏置电压（也出现在节点 A 上）的提高。一旦被“启动”，晶体管 162 就导通，使“基准”数字线 102 接地（0V）。“活动”数字线 104 上较高的偏置电压使晶体管 162 在晶体管 164 导通之前开始导通。因此，在晶体管 162 导通时，晶体管 164 保持断开状态。

[0050] 基准数字线 102 一接地，就启动 P 感测放大器。在“启动”P 感测放大器时，晶体管 160 导通，并通过接线 180 和接地 A，使“活动”数字线 104 连接到电源电压（Vcc）。应该明白，一旦在“启动”P 感测放大器之后，对节点 A 施加充电电压，就必须再一次导通隔离晶体管 108。这样在节点 A 上存在的充电电压与“活动”数字线 104 之间提供电通路。如果隔离晶体管处于断开状态，则充电电压与“活动”数字线 104 隔离。

[0051] 如果隔离晶体管 108 导通，则将充电电压（Vcc）施加到“活动”数字线 104。此外，如果存储单元晶体管 118 处于导通状态（WL 活动），则“活动”数字线 104 上的充电电压将存储单元电容器 120 充电到其满容量。然后，通过清除字线 122 上的栅压，使存储单元晶体管 118 断开。现在，存储单元电容器 120 上的电荷被恢复，并使它与数字线 104 隔离。

[0052] 例如，如果相对来说，存储单元 116 上未存储电荷（即，逻辑“0”），则相反，一存取存储单元 116，电荷共享就使“活动”数字线 104 的偏置电压相对于“基准”数字线 102 的

偏置电压降低。隔离晶体管 106、108 一导通,感测接线 180、178 就分别接收“活动”数字线 104 的偏置电压和“基准”数字线 102 的偏置电压。然后,隔离晶体管 106、108 断开,并“启动”感测放大器。感测放大器 100 检测到“活动”数字线 104 的偏置电压相对于“基准”数字线 102 的偏置电压降低。因此,在“启动”感测放大器 100 之后,通过节点 A 和隔离晶体管 108(处于导通状态),将地电压基准信号(即,0V)施加到“活动”数字线 104。为了恢复存储单元 116(到逻辑“0”),必须存取该单元,因此,晶体管 118 完全处于导通状态。

[0053] 图 3 示出本发明的第二实施例。图 1 和 3 所示的实施例之间的一个差别是,在图 3 上,耦合/去耦合电容器 134、144 连接到节点 A 和 B,而不象在图 1 中那样,直接连接到数字线 104 和 102。

[0054] 如图 3 所示,通过节点 A,感测放大器 100 的感测接线 180 连接到隔离晶体管 108 的端子 109a。感测放大器 100 与隔离晶体管 108 之间的这种接线被称为第一“连线节点(gut-node)”300。耦合/去耦合电容器 134 的端子 136 连接到信号驱动器 132(如图 1 所示)。在节点 A,耦合/去耦合电容器 134 的端子 138 连接到“连线节点”300。

[0055] 同样,通过节点 B,感测放大器 100 的感测接线 178 连接到隔离晶体管 106 的端子 107b。感测放大器 100 与隔离晶体管 106 之间的这种接线被称为第二“连线节点(gut-node)”302。耦合/去耦合电容器 144 的端子 146 连接到信号驱动器 142(如图 1 所示)。在节点 B,耦合/去耦合电容器 144 的端子 148 连接到“连线节点”302。

[0056] 图 4 示出用于图 3 的耦合/去耦合器件配置的电图解表示。正如上面的段落所述,耦合/去耦合电容器 134 和 144 分别连接到“连线节点”300 和 302,而不是直接将它们连接到数字线。在电路中,“连线节点”电容 404 被表示为具有到“连线节点”的第一接线和到地的第二接线的电容器。该“连线节点”电容不是诸如耦合/去耦合电容器 410 的制造元件。它是存在的寄生效应,因此,它不包括在图 3 所示的电路图中。

[0057] 耦合/去耦合电容器 410 具有第一接线端子和第二接线端子,其中第一接线端子 412 从信号源的电压驱动器器件接收耦合/去耦合驱动电压信号( $V_{CSL}$ )。耦合/去耦合电容器 410 的端子 414 连接到“连线节点”,并因此连接到“连线节点”电容器 404 的第一接线。因此,在耦合/去耦合电容器 410 与“连线节点”电容器 404 之间形成电容器网,其中通过对耦合/去耦合电容器 410 的端子 412 施加适当耦合/去耦合驱动电压信号( $V_{CSL}$ ),可以从“连线节点”去耦合电压,或者使电压耦合到该“连线节点”。下面的等式(2)也说明了这种情况:

$$[0058] \quad \Delta V_{NODE} = \frac{C_c}{C_c + C_{gut-node}} \times \Delta V_{CSL} \quad (2)$$

[0059] 其中  $\Delta V_{NODE}$  是“连线节点”上的电压的变化,  $C_c$  是耦合/去耦合电容器 410 的电容,  $C_{gut-node}$  是“连线节点”上的电容 404,  $\Delta V_{CSL}$  是耦合/去耦合驱动电压信号( $V_{CSL}$ )产生的电压转换量。

[0060] 通过将图 4 的电图解说明与图 3 中的耦合/去耦合器件 130、140 进行比较,耦合/去耦合电容器 410 与耦合/去耦合电容器 134 和 144 等效。此外,第一或第二信号驱动器器件 132、142 产生  $V_{CSL}$ ,其中信号驱动器器件 132 产生第一驱动电压信号( $V_{CSL1}$ ),而信号驱动器器件 142 产生第二驱动电压信号( $V_{CSL2}$ )。两个驱动电压信号  $V_{CSL}$  产生的电压转换量  $\Delta V_{CSL}$  提供必要信令,该必要信令使电压耦合到相应数字线 102 和 104 上,或者从该相应数

字线 102 和 104 去耦合电压。“连线节点”的电容 ( $C_{\text{gut-node}}$ ) 404 是寄生元件。信号驱动器器件 (132 或者 142) 产生耦合 / 去耦合驱动电压信号 ( $V_{\text{CSL}}$ ), 该耦合 / 去耦合驱动电压信号 ( $V_{\text{CSL}}$ ) 被耦合 / 去耦合电容器 134 和 144 接收。电压转换量  $\Delta V_{\text{CSL}}$  的转换过渡方向 (低到高或者高到低) 确定是使电压耦合到 数字线, 还是从数字线去耦合电压。

[0061] 等式 (2) 说明, 通过提高耦合 / 去耦合电容器 410 的电容值和电压电平变化  $\Delta V_{\text{CSL}}$ , 可以实现更高百分比 (或者比例) 的耦合或者去耦合。将耦合 / 去耦合电容器 134 和 144 连接到“连线节点”300 和 302 的优点是, 可以实现更高比例或者百分比的电压耦合 / 去耦合。这是因为, “连线节点”300 和 302 的电容值更低。参考等式 (2), 可以看出, 对于给定的电压去耦合量或耦合量, 耦合 / 去耦合电容器 134 和 144 的电容基本较小, 因为“连线节点”300、302 的电容较小。在图 1 所示的配置中, 如果耦合 / 去耦合电容器 134 和 144 连接到相应数字线 104 和 102, 则数字线 102 和 104 的较高电容 ( $C_{\text{digitline}}$ ) 要求耦合 / 去耦合电容器 134 和 144 也具有成比例大的电容。因此, 通过使用非常小的耦合 / 去耦合电容器 134、144, “连线节点”电容实现电压耦合。这样有利于在 DRAM 存储器件内制造物理上较小的电容器。此外, 对于给定的耦合 / 去耦合电容器尺寸的制约, 与直接从数字线获得耦合 / 去耦合电压 (如图 1 所示) 相比, 可以实现较大的电压耦合 / 去耦合。这是因为,  $C_{\text{gut-node}}$  明显小于  $C_{\text{digitline}}$  (例如, 十分之一)。参考等式 (1) 和 (2), 对于恒定值的耦合 / 去耦合电容 ( $C_C$ ),  $C_{\text{digitline}}$  和  $C_{\text{gut-node}}$  越小, 则产生的电压耦合量或去耦合量就越大。

[0062] 为了使“连线节点”电容对被感测的数字线有效耦合电压和去耦合电压, 在启动感测放大器 100 时, 应该使隔离晶体管 106、108 完全断开, 或者部分断开。如果晶体管 106、108 处于完全导通状态 (即, 处于饱和), 则对于每个数字线, 数字线电容和“连线节点”电容电并联。因此, 总电容是数字线电容和“连线节点”电容之和, 其中数字线电容显著大于“连线节点”电容。参考等式 (1) 或等式 (2), 增大分母上的总电容将显著减小电压耦合 / 去耦合比例或百分比。因此, 如果隔离晶体管处于完全导通状态, 则显著削弱了利用“连线节点”电容的优点。两个隔离晶体管 106、108 应该处于断开状态, 或者处于部分断开状态。

[0063] 如上所述, 信号驱动器器件 (132 或 142) 产生的电压转换量 ( $\Delta V_{\text{CSL}}$ ) 通常介于地电压与供电主线 ( $V_{\text{CC}}$ ) 之间, 以将耦合 / 去耦合 比例提高到最高。请注意, 信号驱动器器件 (132 或 142) 可以在第一电压与第二电压之间改变 (增大或者减小) 电压电平改变值 ( $\Delta V_{\text{CSL}}$ ), 以改变耦合 / 去耦合比例。还请注意, 在任何给定数字线与信号驱动器器件之间均可以连接一个以上的耦合 / 去耦合电容器。

[0064] 现在, 参考图 5 所示的时序图, 说明图 3 所示的实施例的操作。如时序图 500 所示, 为了存取存储单元 116, 在时间  $t_0$ , 字线电压信号 502 ( $V_{\text{CCP}}$ ) 施加到晶体管 118 的栅极 122。该电压信号量确保在后续感测操作和恢复操作期间使存储单元 116 处于完全导通状态。

[0065] 如时序图 504 所示, 在时间  $t_0$ , IS0 选通信号 506 从  $V_{\text{CC}}/2$  升高到  $V_{\text{CCP}}$ , 以使隔离晶体管 106 和 108 的栅压升高到高于其阈值。这样使隔离晶体管 106、108 导通, 以使“活动”数字线 104 上和“基准”数字线 102 上的电压被相应“连线节点”300 和 302 接收, 并因此而被感测放大器 100 的感测接线 180 和 178 接收。

[0066] 时序图 508 示出连线节点 300 和 302 上的偏置电压。如图所示, 在时间  $t_0$  之前, 以  $V_{\text{CC}}/2$  偏置连线节点 300、302。在  $t_0$ , 一旦对存储单元 116 (即, 存储的逻辑“1”) 和隔离晶体管 108 进行存取, 则在“活动”数字线 104 与存储单元 116 之间共享电荷。这样导致“活

动”数字线偏置电压的电压升高 ( $V_2$ )。由于“活动”数字线 104 和连线节点 300 通过导通的隔离晶体管连接在一起,所以使第一“连线节点”偏置电压 510 充电到升高的“活动”数字线偏置电压 ( $V_2$  增加)。此外,在时间  $t_0$  之后,第二“连线节点”偏置电压 512 与“基准”数字线偏置电压相同。

[0067] 参考时序图 504,在时间  $t_1$ ,被施加到隔离晶体管 106 和 108 的选通信号 506 返回  $V_{cc}/2$  (或者更低)。这样使晶体管 106、108 部分断开或者完全断开 (取决于器件阈值)。在这两种情况下,数字线 102 和 104 与相应连线节点 302 和 300 隔离。然而,升高的“活动”数字线偏置电压和“基准”数字线偏置电压分别出现 (存储) 在“连线节点”300 和“连线节点”302 上。因此,还在感测放大器 100 的感测接线 178 和 180 接收这两个偏置电压。

[0068] 现在,连线节点 302 和 300 与数字线 102 和 104 被充分隔离,在时间  $t_2$ ,利用耦合 / 去耦合器件 140,从“基准”数字线 102 去耦合电压。时序图 514 示出信号驱动器器件 142 产生的耦合 / 去耦合驱动电压信号 ( $V_{CSL2}$ ) 516。在时间  $t_2$ ,耦合 / 去耦合驱动电压信号 516 实现从  $V_{cc}$  到地电压的高到低电压过渡 (transition) ( $\Delta V_{CSL}$ )。信号驱动器器件 142 施加到电容器网 ( $C_c$  和  $C_{gut-node}$ ) 的该电压转换量 ( $\Delta V_{CSL}$ ) 去耦合现在存储在“连线节点”302 上的要求百分比或者比例的“基准”数字线偏置电压。时序图 508 示出这种情况,其中在时间  $t_2$ ,第二“连线节点”偏置电压 512 降低 (降低  $V_1$ )。因此,“连线节点”302 上的偏置电压降低,从而支持改善刷新性能。

[0069] 信号驱动器器件 132 产生耦合 / 去耦合驱动电压信号 ( $\Delta V_{CSL1}$ ) 518。如该时序图所示,在时间  $t_2$ ,驱动电压信号 518 不发生电压过渡 ( $\Delta V_{CSL} = 0$ )。参考等式 (2),不发生电压耦合或去耦合 (即,  $\Delta V_{NODE} = 0$ ),除非耦合 / 去耦合驱动电压信号 ( $V_{CSL}$ ) 发生电压过渡。因此,“连线节点”300 上的偏置电压不发生变化。

[0070] 如时序图 520 所示,在时间  $t_3$ ,“启动”N 感测放大器,其中公共节点接线 166 上的公共节点偏置电压 522 从  $V_{cc}/2$  (电源电压的一半) 降低到接近地电压。这样使连线节点 302 接地,如时序图 508 中的时间  $t_4$  所示。在时序图 520 的时间  $t_5$ ,“启动”P 感测放大器,其中公共节点接线 170 上的公共节点偏置电压 524 从地电压 (0V) 升高到  $V_{cc}$  (电源电压)。这样使连线节点 300 连接到电源电压,如时序图 508 中的时间瞬间  $t_6$  所示。

[0071] 如时序图 504 所示,在时间瞬间  $t_7$ ,通过使 ISO 选通信号 506 的电压从  $V_{cc}/2$  升高到  $V_{ccp}$ ,隔离晶体管被导通。因此,在“连线节点”300 与“活动”数字线 104 之间建立电通路。因此,在“连线节点”300 上施加的电源电压还被“活动”数字线 104 接收。因为存储单元晶体管 118 仍处于完全导通状态,所以电源电压使存储单元电容器 120 完全充电。因此,通过将充电电压 (例如,电源电压) 施加到“活动”数字线 104,完全恢复存储单元 116 内的电荷。

[0072] 图 6 示出在感测放大器的感测操作期间,耦合到数字线及其相应“连线节点”和从数字线及其相应“连线节点”去耦合的信号发出方法。

[0073] 时序图 602 与图 5 所示的时序图 514 相同。时序图 602 示出,在时间  $t_2$ ,第二耦合 / 去耦合驱动电压信号 604 ( $V_{CSL2}$ ) 实现从  $V_{cc}$  到地电压的高到低电压过渡 ( $\Delta V_{CSL}$ )。这样从存储在“连线节点”302 上的“基准”数字线偏置电压进行电压去耦合。第一耦合 / 去耦合驱动电压信号 606 ( $V_{CSL1}$ ) 处于“逻辑高”状态,并使得在时间  $t_2$ ,没有电压过渡。因此,不使存储在“连线节点”300 上的“活动”数字线偏置电压发生电压变化。时序图 608 示出处于

“逻辑低”状态的第一耦合 / 去耦合驱动电压信号 610 ( $V_{CSL1}$ )。再一次不使存储在“连线节点”300 上的“活动”数字线偏置电压发生电压变化。因此，“连线节点”偏置电压保持不变（即，没有耦合或去耦合）。如果该电压保持恒定，则不发生电压耦合或去耦合。

[0074] 如上所述，通过使偏置电压耦合到活动数字线或者“连线节点”，并从“基准”数字线或“连线节点”去耦合电压，也可以提高 DRAM 器件的刷新性能。时序图 612 示出用于实现这种情况的耦合 / 去耦合驱动电压信号。时序图 612 示出，在时间  $t_2$ ，第二耦合 / 去耦合驱动电压信号 614 ( $V_{CSL2}$ ) 实现从  $V_{CC}$  到地电压的高到低电压过渡 ( $\Delta V_{CSL}$ )。这样实现从存储在“连线节点”302 上的“基准”数字线偏置电压去耦合电压。此外，在时间  $t_2$ ，第一耦合 / 去耦合驱动电压信号 616 ( $V_{CSL1}$ ) 实现从地电压到  $V_{CC}$  的低到高电压过渡 ( $\Delta V_{CSL}$ )。这样实现将电压耦合到存储在“连线节点”300 上的“活动”数字线偏置电压。这样将某个百分比或比例的低到高电压过渡 ( $\Delta V_{CSL}$ ) 耦合到“活动”数字线或“连线节点”，其中利用构成电容器网的电容器值确定耦合的比例或百分比。

[0075] 正如在时间  $t_2$  确定的那样，第一耦合 / 去耦合驱动电压信号 616 ( $V_{CSL1}$ ) 实现低到高电压过渡 ( $\Delta V_{CSL}$ )，并使某个百分比或者比例的低到高电压过渡 ( $\Delta V_{CSL}$ ) 耦合到“活动”数字线或“连线节点”。根据本发明，第二耦合 / 去耦合驱动电压信号 614 ( $V_{CSL2}$ ) 可以保持恒定电压（即，没有电压过渡），因此不从“基准”数字线去耦合电压。通过仅提高“活动”数字线上的偏置电压，也可以提高刷新性能。

[0076] 请注意，在图 1 所示的实施例中，利用耦合 / 去耦合电容器（例如，电容器 134）的电容和数字线电容（例如，“活动”数字线 104 的  $C_{\text{digital line}}$ ）确定耦合 / 去耦合比例或者耦合 / 去耦合百分比。作为一种选择，在图 3 所示的实施例中，利用耦合 / 去耦合电容器（例如，电容器 134）的电容和相应“连线节点”电容（例如，位于 300 的  $C_{\text{gut-node}}$ ）确定耦合比例或耦合百分比。

[0077] 还请注意，为了说明问题，对特定“活动”或“基准”数字线进行了说明。根据本发明，耦合 / 去耦合器件连接到与特定感测放大器对应的任何一对数字线。

[0078] 图 7 示出包含本发明的系统。系统 700 包括：多个 DRAM 芯片 775、处理器 770、存储器控制器 772、输入装置 774、输出装置 776 以及光存储装置 778。DRAM 芯片 775 包括图 1 和 3 分别示出的实施例之一。通过总线 771，在处理器 770 与存储器控制器 772 之间传送数据信号和控制信号。同样，通过总线 773，在存储器控制器 772 与 DRAM 芯片 775 之间传送数据信号和控制信号。输入装置 774 可以包括例如：键盘、鼠标、触摸板显示屏或者允许用户将信息输入系统 700 内的其它任何适当装置。输出装置 776 可以包括例如：视频显示单元、打印机或者可以对用户提供输出数据的其它任何适当装置。请注意，作为一种选择，输入装置 774 和输出装置 776 还可以是单个输入 / 输出装置。存储装置 778 可以包括例如一个或者多个磁盘驱动器或磁带驱动器。

[0079] 因此，显然，所提供的 DRAM 感测放大器具有改善的刷新性能。本技术领域内的技术人员明白，除了上述实施例，也可以实现本发明，提供上述实施例是为了说明，而不是为了限制，而且仅由下面的权利要求限定本发明。



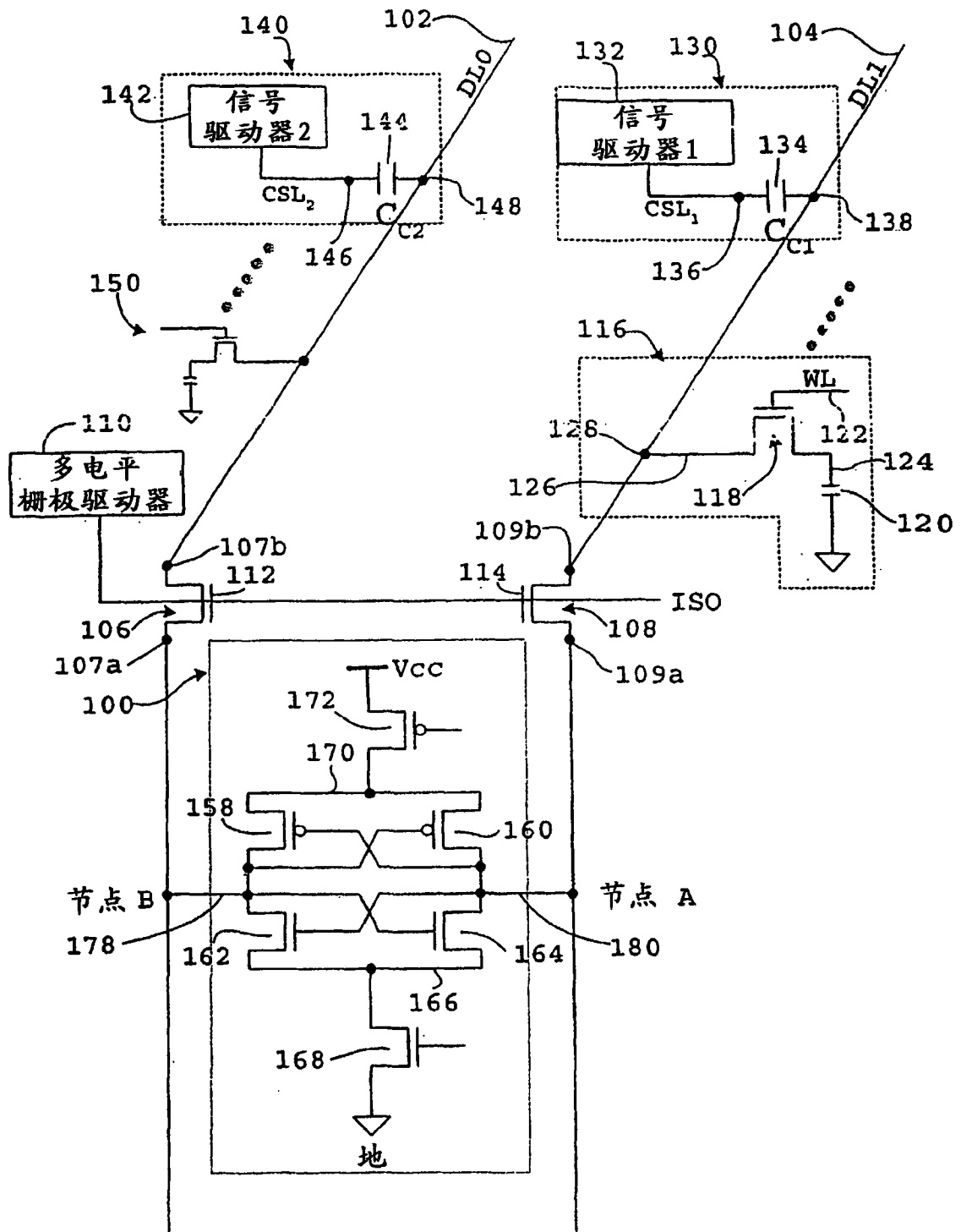


图 1

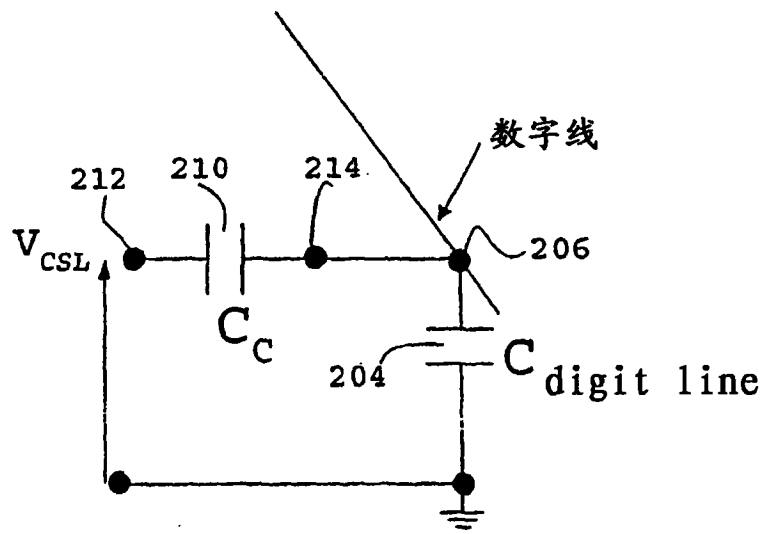


图 2

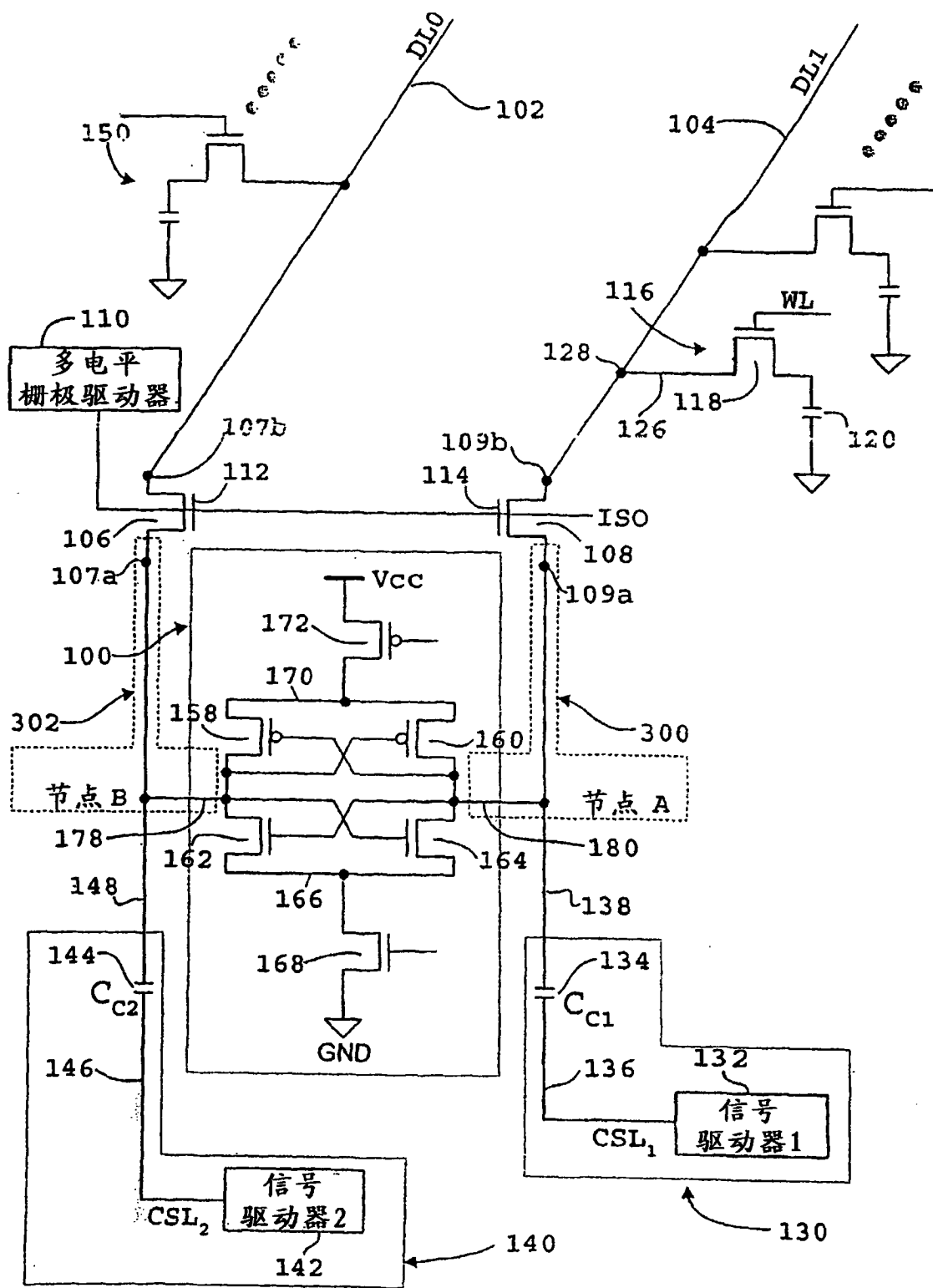


图 3

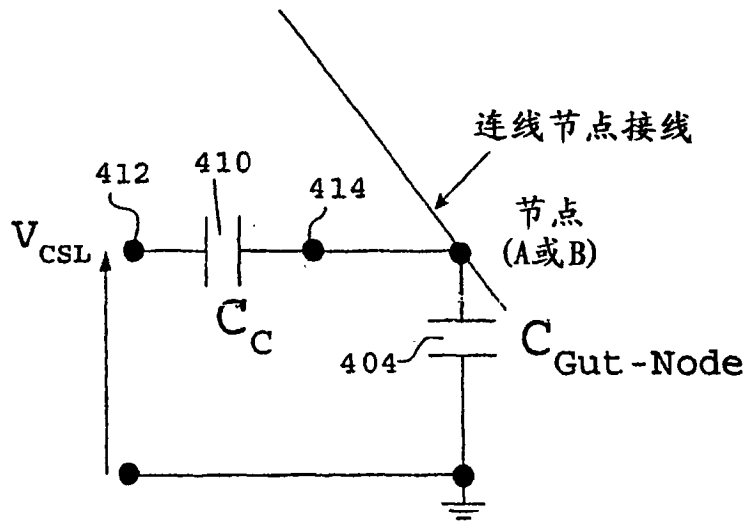


图 4

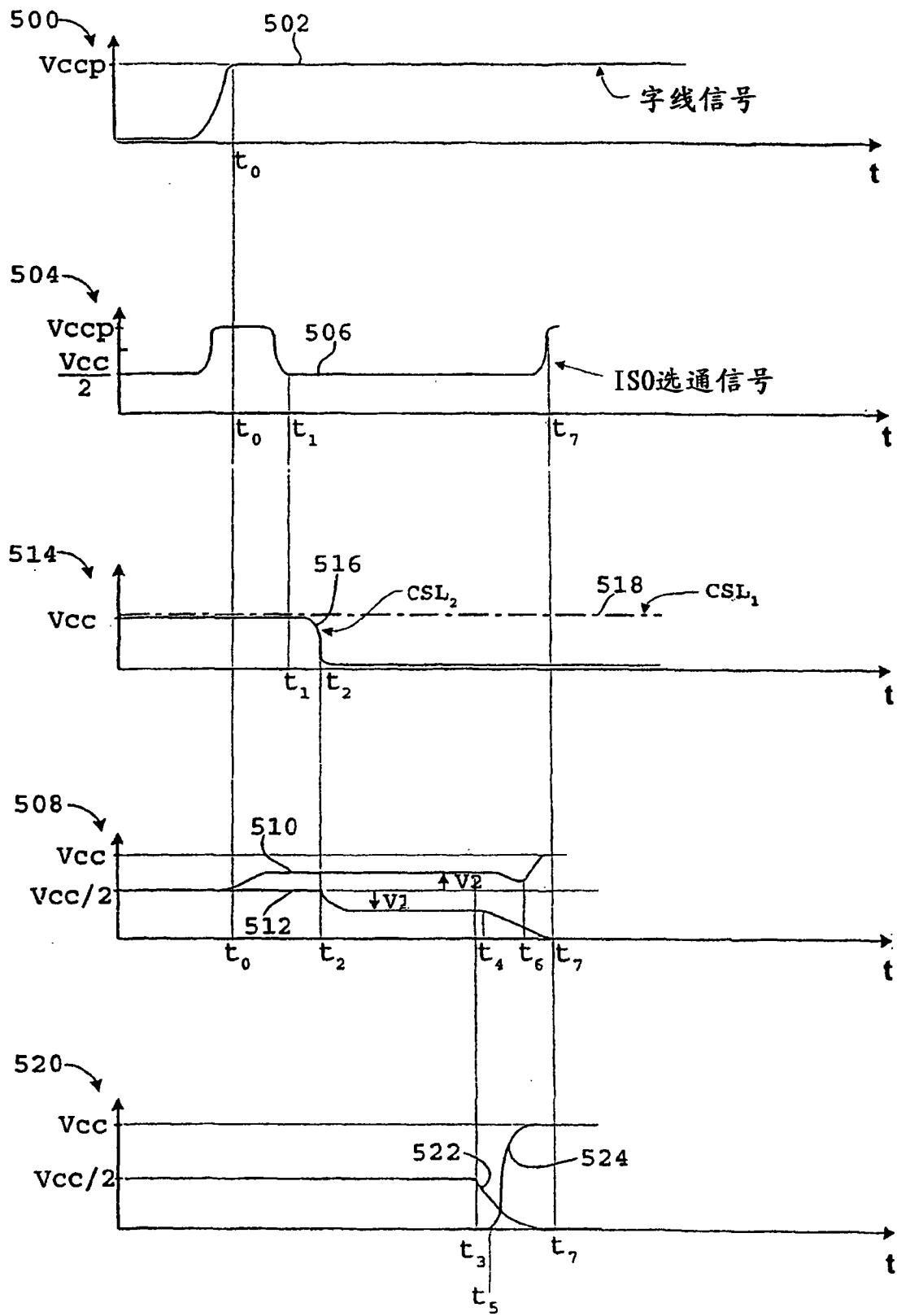


图 5

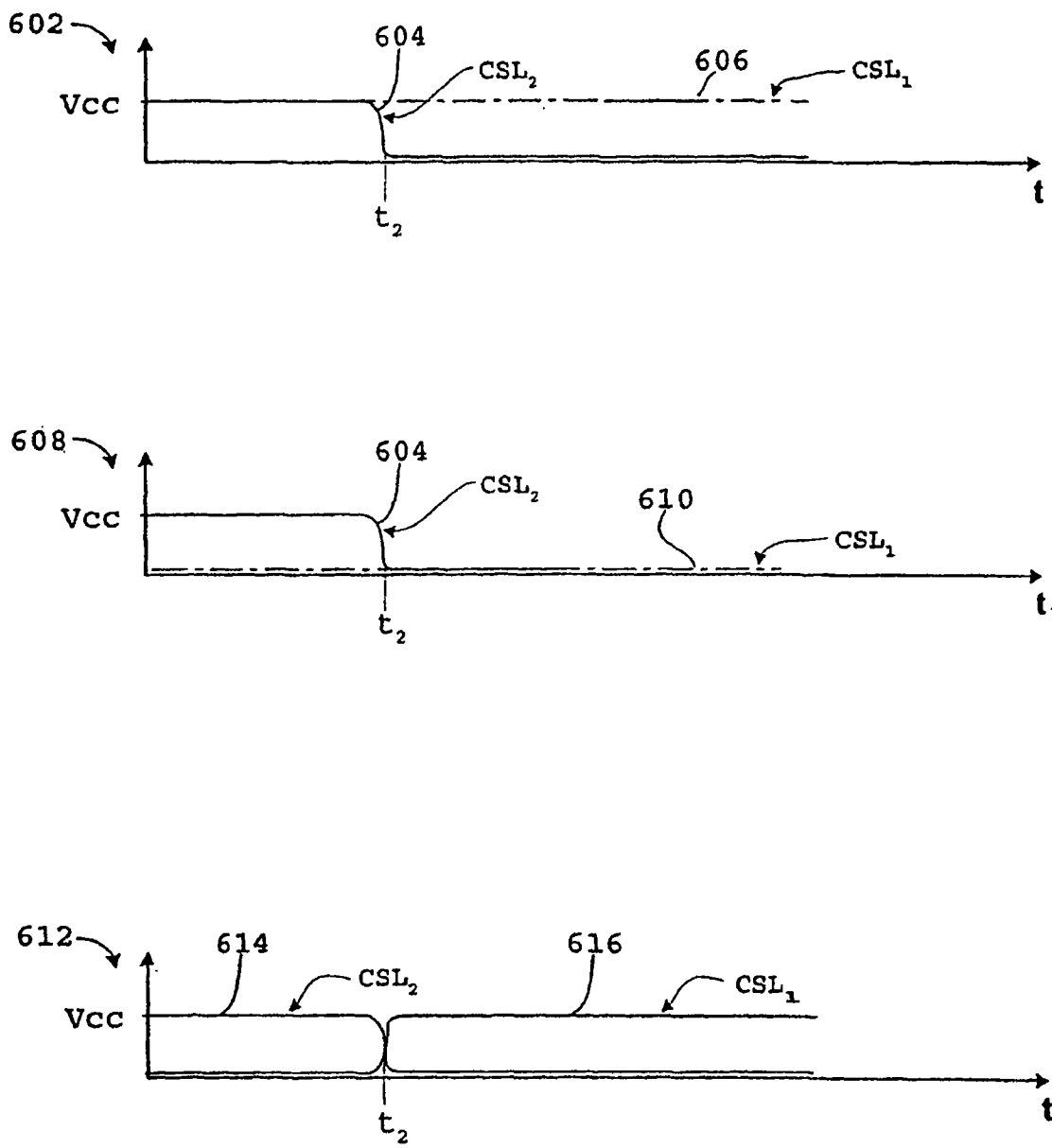


图 6

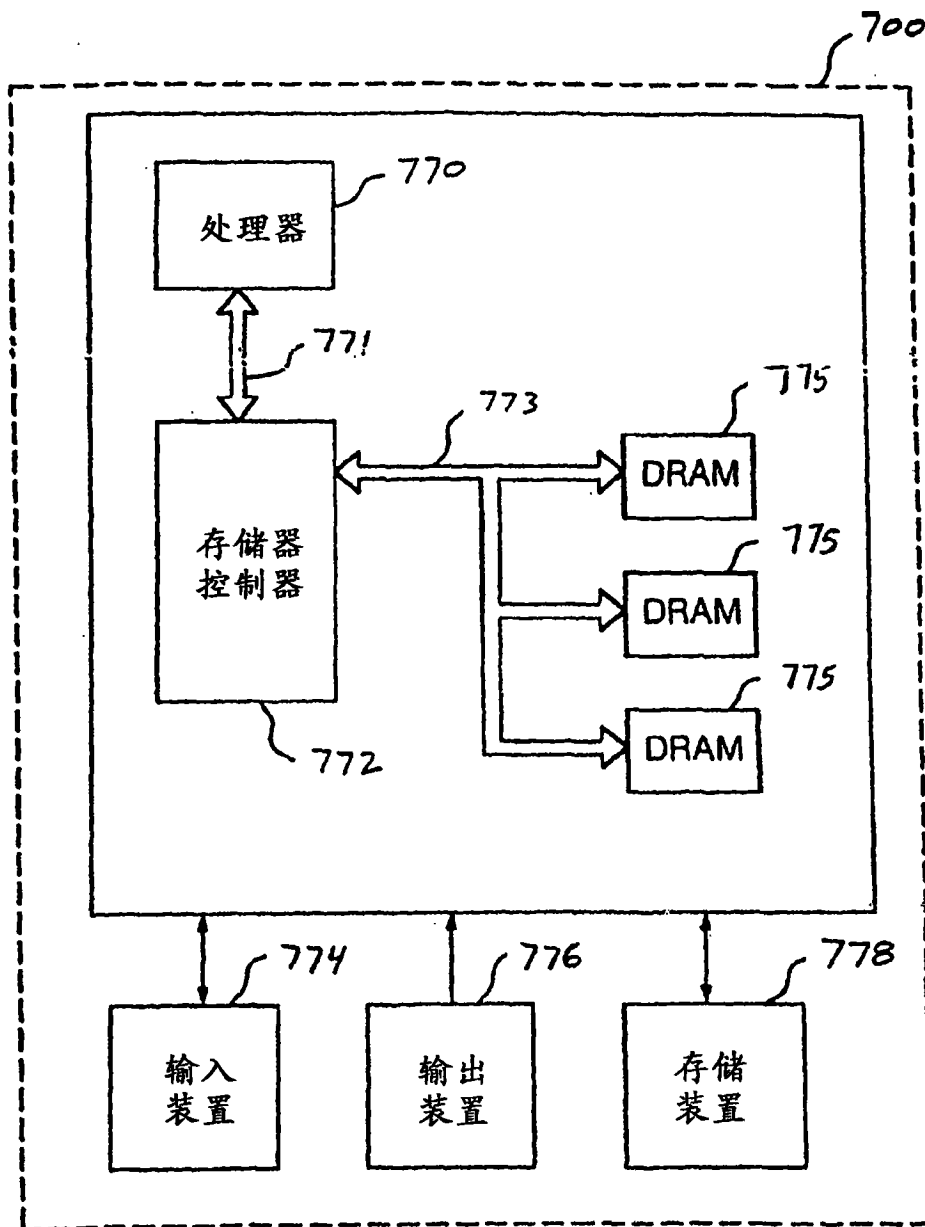


图 7