



(12) 发明专利申请

(10) 申请公布号 CN 118073204 A

(43) 申请公布日 2024. 05. 24

(21) 申请号 202410224493.0

(22) 申请日 2024.02.28

(71) 申请人 上海华力集成电路制造有限公司  
地址 201203 上海市浦东新区康桥东路298号1幢1060室

(72) 发明人 张强强

(74) 专利代理机构 上海浦一知识产权代理有限公司 31211  
专利代理师 刘昌荣

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 21/425 (2006.01)

H01L 29/06 (2006.01)

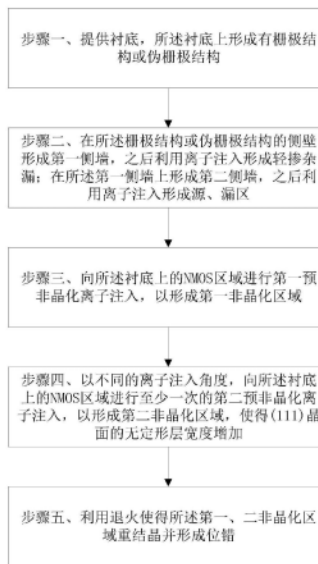
权利要求书1页 说明书3页 附图2页

(54) 发明名称

具有位错结构的半导体NMOS器件形成方法

(57) 摘要

本发明提供一种具有位错结构的半导体NMOS器件形成方法,提供衬底,衬底上形成有栅极结构或伪栅极结构;在栅极结构或伪栅极结构的侧壁形成第一侧墙,之后利用离子注入形成轻掺杂漏;在第一侧墙上形成第二侧墙,之后利用离子注入形成源、漏区;向衬底上的NMOS区域进行第一预非晶化离子注入,以形成第一非晶化区域;以不同的离子注入角度,向衬底上的NMOS区域进行至少一次的第二预非晶化离子注入,以形成第二非晶化区域,使得(111)晶面的无定形层宽度增加;利用退火使得第一、二非晶化区域重结晶并形成位错。本发明能够形成具有更加显著的位错结构的半导体器件,提高载流子迁移率并提升器件性能。



1. 一种具有位错结构的半导体NMOS器件形成方法,其特征在于,至少包括:  
步骤一、提供衬底,所述衬底上形成有栅极结构或伪栅极结构;  
步骤二、在所述栅极结构或伪栅极结构的侧壁形成第一侧墙,之后利用离子注入形成轻掺杂漏;在所述第一侧墙上形成第二侧墙,之后利用离子注入形成源、漏区;  
步骤三、向所述衬底上的NMOS区域进行第一预非晶化离子注入,以形成第一非晶化区域;  
步骤四、以不同的离子注入角度,向所述衬底上的NMOS区域进行至少一次的第二预非晶化离子注入,以形成第二非晶化区域,使得(111)晶面的无定形层宽度增加;  
步骤五、利用退火使得所述第一、二非晶化区域重结晶并形成位错。
2. 根据权利要求1所述的具有位错结构的半导体NMOS器件形成方法,其特征在于:步骤一中的所述衬底包括块状半导体衬底或绝缘体上硅(SOI)衬底。
3. 根据权利要求1所述的具有位错结构的半导体NMOS器件形成方法,其特征在于:步骤三中的所述第一预非晶化离子注入的离子注入角度为 $0-7^{\circ}$ 。
4. 根据权利要求3所述的具有位错结构的半导体NMOS器件形成方法,其特征在于:步骤三中的所述第一预非晶化离子注入的工艺条件还包括:注入离子包括Ge、Si和Xe的至少一种,注入能量为 $10\text{KeV} \sim 60\text{KeV}$ ,注入剂量为 $1\text{E}13 \sim 1\text{E}15/\text{cm}2$ ,注入温度为 $-100^{\circ}\text{C} \sim 25^{\circ}\text{C}$ 。
5. 根据权利要求1所述的具有位错结构的半导体NMOS器件形成方法,其特征在于:步骤四中的所述第二预非晶化离子注入的离子注入角度为 $7-45^{\circ}$ 。
6. 根据权利要求5所述的具有位错结构的半导体NMOS器件形成方法,其特征在于:步骤四中的所述第二预非晶化离子注入的次数为一次。
7. 根据权利要求6所述的具有位错结构的半导体NMOS器件形成方法,其特征在于:步骤四中的所述第二预非晶化离子注入的工艺条件还包括:注入离子包括Ge、Si和Xe的至少一种,注入能量为 $30\text{KeV} \sim 90\text{KeV}$ ,注入剂量为 $1\text{E}13 \sim 1\text{E}15/\text{cm}2$ ,注入温度为 $-100^{\circ}\text{C} \sim 25^{\circ}\text{C}$ 。
8. 根据权利要求1所述的具有位错结构的半导体NMOS器件形成方法,其特征在于:步骤五中的所述退火的方法为快速热退火、毫秒热退火、微秒热退火、尖峰退火或炉管退火工艺。
9. 根据权利要求1所述的具有位错结构的半导体NMOS器件形成方法,其特征在于:步骤五中的所述退火的温度为 $600-1100^{\circ}\text{C}$ 。

## 具有位错结构的半导体NMOS器件形成方法

### 技术领域

[0001] 本发明涉及半导体技术领域,特别是涉及一种具有位错结构的半导体NMOS器件形成方法。

### 背景技术

[0002] 在后栅极工艺中,移除伪栅消除了栅极对沟道施加的高应力,因此需通过加强S/D SMT(源漏立碑)效应提高NMOS性能。

[0003] 目前的方法是在S/D区域注入高能量重离子形成非晶层,采用常规应力记忆技术覆盖氧化层和高应力SIN,进行S/D激活。在固相外延生长过程中,晶面生长速率(001) > (110) > (111),最终在(111)面形成晶面缺陷。此缺陷可增强S/D区域和沟道区域拉应力,提高载流子迁移率,进而提高NMOS性能。

[0004] 工艺延伸至22nm技术节点,该方法适用性较低,主要是由于多晶硅之间的距离明显减小,导致形成的PAI(预非晶化)区域减小,位错较难形成,因此效果并不显著。

[0005] 为解决上述问题,需要提出一种新型的具有位错结构的半导体NMOS器件形成方法。

### 发明内容

[0006] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种具有位错结构的半导体NMOS器件形成方法,用于解决现有技术中由于多晶硅之间的距离明显减小,导致形成的PAI(预非晶化)区域减小,位错较难形成的问题。

[0007] 为实现上述目的及其他相关目的,本发明提供一种具有位错结构的半导体NMOS器件形成方法,包括:

[0008] 步骤一、提供衬底,所述衬底上形成有栅极结构或伪栅极结构;

[0009] 步骤二、在所述栅极结构或伪栅极结构的侧壁形成第一侧墙,之后利用离子注入形成轻掺杂漏;在所述第一侧墙上形成第二侧墙,之后利用离子注入形成源、漏区;

[0010] 步骤三、向所述衬底上的NMOS区域进行第一预非晶化离子注入,以形成第一非晶化区域;

[0011] 步骤四、以不同的离子注入角度,向所述衬底上的NMOS区域进行至少一次的第二预非晶化离子注入,以形成第二非晶化区域,使得(111)晶面的无定形层宽度增加;

[0012] 步骤五、利用退火使得所述第一、二非晶化区域重结晶并形成位错。

[0013] 优选地,步骤一中的所述衬底包括块状半导体衬底或绝缘体上硅(SOI)衬底。

[0014] 优选地,步骤三中的所述第一预非晶化离子注入的离子注入角度为0-7°。

[0015] 优选地,步骤三中的所述第一预非晶化离子注入的工艺条件还包括:注入离子包括Ge、Si和Xe的至少一种,注入能量为10KeV~60KeV,注入剂量为1E13~1E15/cm<sup>2</sup>,注入温度为-100℃~25℃。

[0016] 优选地,步骤四中的所述第二预非晶化离子注入的离子注入角度为7-45°。

[0017] 优选地,步骤四中的的所述第二预非晶化离子注入的次数为一次。

[0018] 优选地,步骤四中的的所述第二预非晶化离子注入的工艺条件还包括:注入离子包括Ge、Si和Xe的至少一种,注入能量为30KeV~90KeV,注入剂量为 $1E13 \sim 1E15/cm^2$ ,注入温度为 $-100^{\circ}C \sim 25^{\circ}C$ 。

[0019] 优选地,步骤五中的的所述退火的方法为快速热退火、毫秒热退火、微秒热退火、尖峰退火或炉管退火工艺。

[0020] 优选地,步骤五中的的所述退火的温度为 $600-1100^{\circ}C$ 。

[0021] 如上所述,本发明的具有位错结构的半导体NMOS器件形成方法,具有以下有益效果:

[0022] 本发明能够形成具有更加显著的位错结构的半导体器件,提高载流子迁移率并提升器件性能。

### 附图说明

[0023] 图1显示为本发明的工艺流程示意图;

[0024] 图2显示为本发明的形成第一非晶化区域示意图;

[0025] 图3显示为本发明的形成第二非晶化区域示意图;

[0026] 图4显示为本发明的位错结构示意图。

### 具体实施方式

[0027] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0028] 请参阅图1,本发明提供一种具有位错结构的半导体NMOS器件形成方法,包括:

[0029] 步骤一、提供衬底101,衬底101上形成有栅极结构102或伪栅极结构102;

[0030] 栅极结构102可以是公知的任意半导体栅极,伪栅极结构102通常包括自下而上依次堆叠的栅介质层、伪栅多晶硅层、硬掩膜层,伪栅多晶硅层用于在之后去除并填充形成栅极结构102。

[0031] 在一种可选的实施方式中,步骤一中的衬底101包括块状半导体衬底或绝缘体上硅(SOI)衬底。SOI衬底包括位于作为SOI衬底的有源层的薄半导体层下方的绝缘体层。有源层的半导体和块状半导体通常包括晶体半导体材料硅,但也可以包括一种或多种其他半导体材料,诸如锗、硅锗合金、化合物半导体(例如,GaAs、AlAs、InAs、GaN、AlN等)或其合金(例如, $GaxAl_{1-x}As$ 、 $GaxAl_{1-x}N$ 、 $InxGa_{1-x}As$ 等)、氧化物半导体(例如,ZnO、SnO<sub>2</sub>、TiO<sub>2</sub>、Ga<sub>2</sub>O<sub>3</sub>等)或其组合。半导体材料可以是掺杂的或未掺杂的。可以使用的其他衬底包括多层衬底、梯度衬底或混合取向衬底。

[0032] 步骤二、在栅极结构102或伪栅极结构102的侧壁形成第一侧墙,之后利用离子注入形成轻掺杂漏;在第一侧墙上形成第二侧墙,之后利用离子注入形成源、漏区;第一、二侧墙可通过淀积、回刻蚀的方法形成;

[0033] 步骤三、向衬底101上的NMOS区域进行第一预非晶化离子注入,以形成第一非晶化

区域103,形成如图2所示的结构;

[0034] 通常衬底101上还包括例如PMOS等区域,可通过光刻胶覆盖衬底101,之后利用光刻打开NMOS区域上的光刻胶再进行离子注入。

[0035] 在一种可选的实施方式中,步骤三中的的第一预非晶化离子注入的离子注入角度为0-7°。

[0036] 在一种可选的实施方式中,步骤三中的的第一预非晶化离子注入的工艺条件还包括:注入离子包括Ge、Si和Xe的至少一种,注入能量为10KeV~60KeV,注入剂量为1E13~1E15/cm<sup>2</sup>,注入温度为-100℃~25℃。

[0037] 步骤四、以不同的离子注入角度,向衬底101上的NMOS区域进行至少一次的第二预非晶化离子注入,以形成第二非晶化区域104,使得(111)晶面的无定形层宽度增加,形成如图3所示的结构,从而增强(111)晶面形成的缺陷,能够形成具有更加显著的位错结构的半导体器件,提高载流子迁移率并提升器件性能;

[0038] 在一种可选的实施方式中,步骤四中的的第二预非晶化离子注入的离子注入角度为7-45°。

[0039] 在一种可选的实施方式中,步骤四中的的第二预非晶化离子注入的次数为一次。

[0040] 在一种可选的实施方式中,步骤四中的的第二预非晶化离子注入的工艺条件还包括:注入离子包括Ge、Si和Xe的至少一种,注入能量为30KeV~90KeV,注入剂量为1E13~1E15/cm<sup>2</sup>,注入温度为-100℃~25℃。

[0041] 步骤五、利用退火使得第一、二非晶化区域重结晶并形成位错105,形成图4所示的结构。

[0042] 在一种可选的实施方式中,步骤五中的退火的方法为快速热退火、毫秒热退火、微秒热退火、尖峰退火或炉管退火工艺。

[0043] 在一种可选的实施方式中,步骤五中的退火的温度为600-1100℃。

[0044] 需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0045] 综上所述,本发明能够形成具有更加显著的位错结构的半导体器件,提高载流子迁移率并提升器件性能。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0046] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

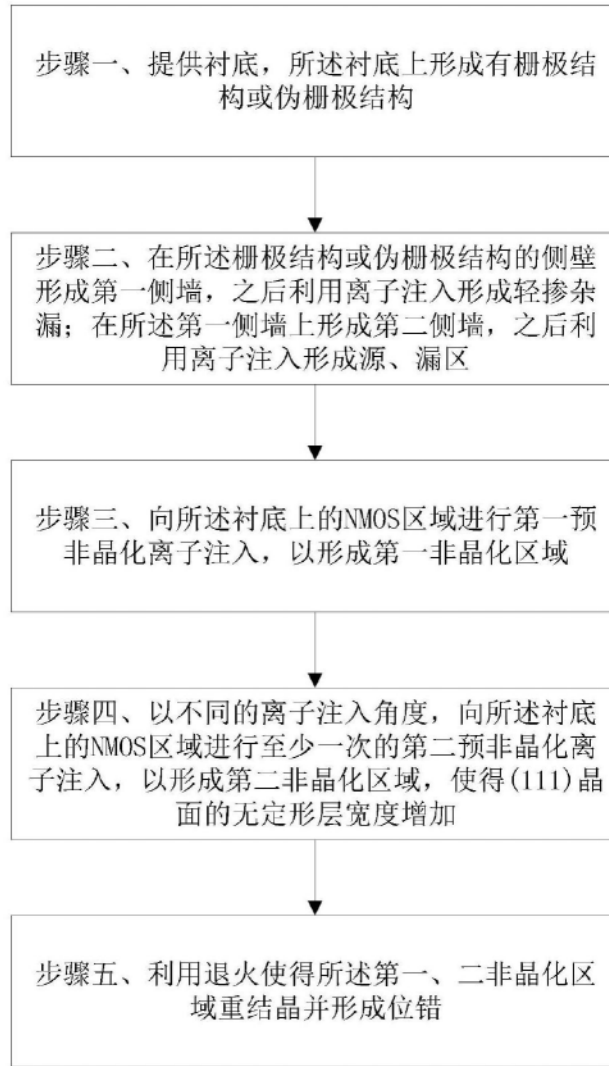


图1

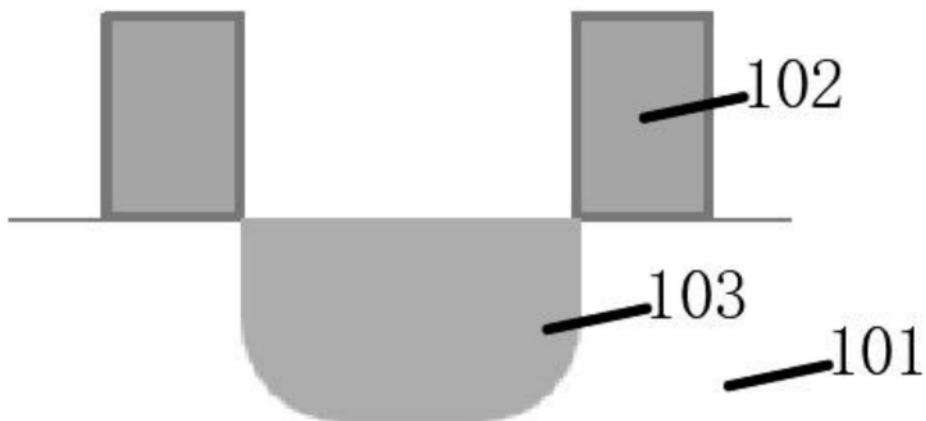


图2

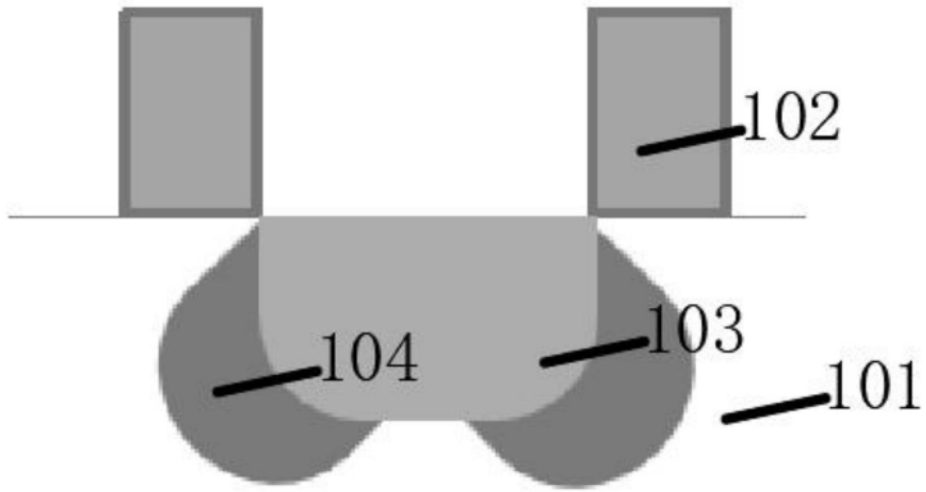


图3

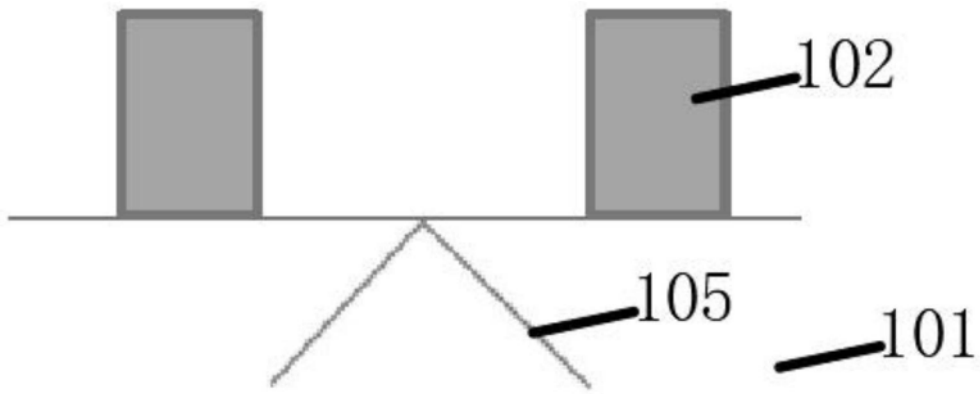


图4