

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-353703
(P2005-353703A)

(43) 公開日 平成17年12月22日(2005.12.22)

(51) Int. Cl. ⁷ H01L 29/78	F I H01L 29/78 301X H01L 29/78 301D	テーマコード(参考) 5F140
--	---	---------------------

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 (22) 出願日	特願2004-170536 (P2004-170536) 平成16年6月8日(2004.6.8)	(71) 出願人 302000346 NEC化合物デバイス株式会社 神奈川県川崎市中原区下沼部1753 (74) 代理人 100110928 弁理士 遠水 進治 (72) 発明者 橋 茂樹 神奈川県川崎市中原区下沼部1753 N EC化合物デバイス株式会社内 Fターム(参考) 5F140 AA12 AA18 AA25 AC21 BA01 BA16 BC06 BC12 BF04 BF11 BF18 BH05 BH08 BH17 BH19 BH30 BH43 BH47 BH49 BH50 BJ03 BJ11 BJ17 BJ25 BJ27 BK13 BK26 BK28 BK39 CA03 CD00 CD02 CD09 CE07
-----------------------	---	--

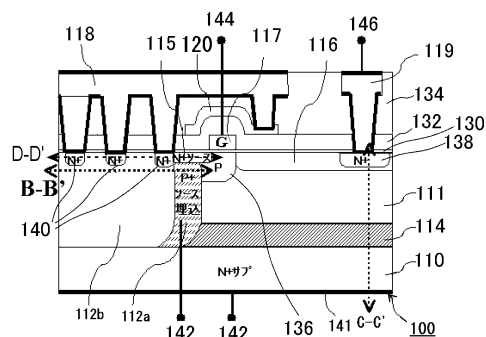
(54) 【発明の名称】 電界効果型トランジスタ

(57) 【要約】

【課題】 ドレイン - ソース間耐圧が大きく、ドレイン - ソース間容量が低減された横型MOSFETを提供する。

【解決手段】 N⁺基板110にAs、Sb、リンなどのN型不純物を導入することにより、P⁺ソース埋込層112aなどを熱処理する際に、P⁺導入層114に含まれるボロン、Alなどの原子とN⁺基板110に含まれるAs、Sb、リンなどの原子とがクーロン力により引き合うため、N⁺基板110のせり上がりを抑制することができる。このため、実効エピ厚を厚くすることができる。したがって、ドレイン - ソース間耐圧が大きく、ドレイン - ソース間容量が低減されたNチャネル型横型MOSFET100を実現できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ソース電極と、ゲート電極と、ドレイン電極とを備える電界効果型トランジスタであって、

第 1 導電型不純物が導入された基板と、

前記基板上に形成された相対的に高濃度の第 2 導電型不純物導入層と、

前記第 2 導電型不純物導入層上に形成された相対的に低濃度の第 2 導電型不純物エピタキシャル層と、

を備えることを特徴とする電界効果型トランジスタ。

【請求項 2】

請求項 1 に記載の電界効果型トランジスタにおいて、

前記基板と前記第 2 導電型不純物導入層とに接する第 2 導電型不純物ソース埋込層をさらに備えることを特徴とする電界効果型トランジスタ。

【請求項 3】

請求項 1 または 2 に記載の電界効果型トランジスタにおいて、

前記第 1 導電型不純物が A s、S b からなる群から選択される一または二の物質であることを特徴とする電界効果型トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果型トランジスタの構造に関する。

【背景技術】

【0002】

裏面ソースの横型パワー MOS FET などの電界効果型トランジスタにおいては、実効的なエピ厚はドレイン - ソース間耐圧 (B V d s s) やドレイン - ソース間容量 (C d s) に強く影響しており、実効エピ厚を厚くして、ドレイン - ソース間耐圧を高く、容量を低くすることが望ましい。

【0003】

また、ソースを裏面に接地させるために、基板内に不純物の押し込みが行われるが、一方、不純物の押し込みによって基板のせりあがりが生じるため、実効的なエピ厚が薄くなる。ここで、ソース接地を行うのは、ソース電極からワイヤー接続するとワイヤーによるソースインダクタンスが大きく高周波特性を劣化させるため、裏面ソースにして裏面を直接パッケージフレームに接続するためである。

【0004】

したがって、ソースを裏面に接地させる為に基板内に不純物を押し込みつつ、基板のせりあがりを抑えて実効エピ厚をより厚くとることが重要である。また、基板抵抗を極力小さくすることも重要である。

【0005】

特許文献 1 記載の技術に代表される従来の技術においては、N チャネル型横型 MOS FET などの電界効果型トランジスタは、図 7 の断面図に示すように P⁺ 基板 10 上に P⁻ エピタキシャル層 11 を有しており、その上に N⁺ ソース拡散層 15 や N⁻ ドレイン層 16、及びゲート電極 17 等の MOS FET などの電界効果型トランジスタ構造を形成している。ここで、N⁺ ソース拡散層 15 は、ソース電極 18 を介して P⁺ 埋込層 12 a と接続されている。また、P⁺ 埋込層 12 a は P⁺ 基板 10 と接続することにより、裏面ソース接地構造を形成している。

【0006】

上記ソース接地構造のための P⁺ 埋込層は、図 8 に示す工程断面図のように、P⁺ 基板 10 上に P⁻ エピタキシャル層 11 の成長を行った後、P⁺ 埋込層 12 a を形成するための P⁺ 拡散、もしくはイオン注入を行い、最後に埋め込みのための熱処理を行うことによって形成している。

10

20

30

40

50

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 4 - 6 3 9 2 2 号公報

【 特許文献 2 】 特開 2 0 0 2 - 3 4 3 9 6 0 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、上記文献記載の技術をはじめとする従来の技術は、以下の点で改善の余地を有していた。

【 0 0 0 9 】

図 7 ~ 図 9 は、従来技術における MOSFET など電界効果型トランジスタを説明するための図である。図 7 および図 8 において、通常、 P^+ 基板 10 と P^- エピタキシャル層 11 には P 型不純物としてボロンが用いられるが、ボロンは軽元素のため拡散係数が大きく、エピタキシャル成長の際の熱処理やソース押し込みのための熱処理による基板のせり上がり量が大きい。

10

【 0 0 1 0 】

たとえば、 0.0075 cm (約 $2 \times 10^{19} \text{ cm}^{-3}$) のボロンが導入された P^+ 基板上に、 10 cm (約 $1 \times 10^{15} \text{ cm}^{-3}$) のボロンを導入して、厚さ $10 \mu\text{m}$ の P^- エピを形成して熱処理を加えた場合には、図 7 の A - A' 方向のプロファイルを示した図 9 に示すように、 $2 \times 10^{15} \text{ cm}^{-3}$ にて実効エピ厚を規定した場合、実効エピ厚は約 $3 \mu\text{m}$ 程度となってしまう。そのため、ドレイン - ソース間耐圧 (BV_{ds}) を大きくすることとドレイン - ソース間容量 (C_{ds}) を小さくすることが難しいという点で改善の余地を有していた。

20

【 0 0 1 1 】

本発明は上記事情に鑑みてなされたものであり、その目的とするところは、ドレイン - ソース間耐圧が大きく、ドレイン - ソース間容量が小さい電界効果型トランジスタを提供することにある。

【 課題を解決するための手段 】

【 0 0 1 2 】

本発明によれば、ソース電極と、ゲート電極と、ドレイン電極とを備える電界効果型トランジスタであって、第 1 導電型不純物が導入された基板と、基板上に形成された相対的に高濃度の第 2 導電型不純物導入層と、第 2 導電型不純物導入層上に形成された相対的に低濃度の第 2 導電型不純物エピタキシャル層と、を備えることを特徴とする電界効果型トランジスタが提供される。

30

【 0 0 1 3 】

本発明によれば、基板に含まれる第 1 導電型不純物と第 2 導電型不純物導入層に含まれる第 2 導電型不純物がクーロン力により引き合うため、基板のせり上がりを抑制することができる。したがって、実効エピ厚の厚膜化を実現することができ、ドレイン - ソース間耐圧が大きく、ドレイン - ソース間容量が小さい電界効果型トランジスタを実現することができる。

【 0 0 1 4 】

また、基板と第 2 導電型不純物導入層とに接する第 2 導電型不純物ソース埋込層をさらに備えてもよい。

40

【 0 0 1 5 】

また、第 1 導電型不純物が As 、 Sb からなる群から選択される一または二の物質であってもよい。第 1 導電型不純物として基板に比抵抗の比較的小さな As 、 Sb からなる群から選択される一または二の物質を導入することにより、基板の抵抗値を低減することができる。したがって、基板の抵抗値の低い裏面ソース接地構造を有する電界効果型トランジスタを実現することができる。また、拡散係数の比較的小さな As 、 Sb が導入された基板上に、第 2 導電型不純物導入層が形成されていることにより、基板のせり上がりをより抑制することができる。したがって、実効エピ厚のさらなる厚膜化を実現することがで

50

きる。この結果、ドレイン - ソース間耐圧がより大きく、ドレイン - ソース間容量がより小さい電界効果型トランジスタを実現することができる。

【発明の効果】

【0016】

本発明によれば、ドレイン - ソース間耐圧が大きく、ドレイン - ソース間容量が小さい電界効果型トランジスタが提供される。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。本実施形態においては、たとえば、第1導電型不純物としてN型不純物を用い、第2導電型不純物としてP型不純物を用いたNチャネル型横型MOSFETについて説明するが、Pチャネル型横型MOSFETについても、不純物の導電型を逆にすることで同様に説明することができる。

10

【0018】

図1に本実施形態に係るNチャネル型横型MOSFET100を示す。

【0019】

Nチャネル型横型MOSFET100は、第1導電型不純物としてAs、Sb、リンなどのN型不純物が導入されたシリコン基板であるN⁺基板110と、N⁺基板110上に形成されたボロン、AlなどのP型不純物が導入された相対的に高濃度である第2導電型不純物導入層であるP⁺導入層114、P⁺導入層114上に形成されたボロン、AlなどのP型不純物がイオン注入された相対的に低濃度である第2導電型エピタキシャル層であるP⁻エピタキシャル層111、N⁺基板110上に形成されたボロン、AlなどのP型不純物がイオン注入された第2導電型ソース埋込層であるP⁺ソース埋込層112aおよびAs、Sb、リンなどのN型不純物がイオン注入されたN⁺ソース埋込層112bを有している。ここで、N⁺基板110には、たとえば、Asが $2 \times 10^{19} \text{ cm}^{-3}$ の濃度で導入されている。また、P⁺導入層114には、たとえば、ボロンが $1 \times 10^{16} \text{ cm}^{-3}$ の濃度で導入されており、P⁻エピタキシャル層111には、たとえば、ボロンが $1 \times 10^{15} \text{ cm}^{-3}$ の濃度で導入されており、P⁺導入層114の不純物濃度は、P⁻エピタキシャル層111よりも相対的に高濃度である。さらに、P⁺ソース埋込層112aには、たとえば、ボロンが $1 \times 10^{19} \text{ cm}^{-3}$ の濃度で導入されている。

20

30

【0020】

また、P⁻エピタキシャル層111内には、As、Sb、リンなどのN型不純物がイオン注入されたドレイン拡散層であるN⁻ドレイン層116、ボロン、AlなどのP型不純物が導入されたP⁺ベース層136、As、Sb、リンなどのN型不純物がイオン注入された、ドレイン電極119と接続されるN⁺コンタクト138が形成されており、P⁺ベース層136上にはゲート絶縁膜130を介してゲート電極117が接続されている。ゲート電極117は、ゲート電極端子144を除き、その周囲を絶縁膜132に覆われている。また、絶縁膜132上には、層間膜134と、ゲート電極117への電界集中を抑制し、ソース基準電位を固定する役割を有するポリシリコン電極120とが形成されている。ドレイン電極119はドレイン電極端子146をその上部に備える。

40

【0021】

また、P⁺ソース埋込層112a上には、As、Sb、リンなどのN型不純物がイオン注入されたN⁺ソース拡散層115が形成され、N⁺ソース埋込層112b内に形成されたAs、Sb、リンなどのN型不純物がイオン注入されたN⁺コンタクト140と接続される。ここで、N⁺コンタクト140はソース電極118と接続される。

【0022】

ここで、P⁺導入層114はN⁻ドレイン層116とN⁺基板110とがパンチスルーしないために設けられており、不純物のプロファイルは、たとえば、濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度で、厚さは1 μm 程度である。また、N⁺基板110に導入された不純物の導電型とP⁺導入層114に導入された不純物の導電型とが逆であるため、N⁺基板110

50

のせり上がりを抑制することができる。

【0023】

ここで、 P^+ 導入層 114 は、 P^+ ソース埋込層 112 a に接続され、 P^+ ソース埋込層 112 a は B - B' 方向を上面からみた図 2 に示すようなレイアウトにより N^+ コンタクト 140 を介して、ソース電極 118 に接続されている。

【0024】

また、コンタクト部である D - D' 平面を断面として上面からみた図 3 に示すように、 N^+ ソース拡散層 115 を除く P^+ ソース埋込層 112 a に P^+ コンタクトを配置することで、 P^+ ソース埋込層 112 a とソース電極 118 とが接続される。ソース電極 118 は N^+ コンタクト 140 を介して N^+ ソース埋込層 112 b と接続され、 N^+ ソース埋込層 112 b は、 N^+ 基板 110 の裏面全体に設けられ、裏面ソース端子 142 を下部に備える裏面ソース電極 141 に接続されているため、最終的に P^+ ソース埋込層 112 a は裏面ソース電極 141 へと接地されることになる。

10

【0025】

したがって、Nチャネル型横型 MOSFET 側から N^+ 基板 110 側を見た場合、同じ P 型にて裏面ソース接地されているため、Nチャネル型横型 MOSFET として動作することになる。

【0026】

以下、Nチャネル型横型 MOSFET 100 の製造工程を説明する。

【0027】

図 4 ~ 図 5 は、Nチャネル型横型 MOSFET 100 の工程断面図である。

20

【0028】

As、Sb、リンなどの N 型不純物が導入された N^+ 基板 110 上に、ボロンなどの P 型不純物をイオン注入する、もしくはボロンなどの P 型不純物をイオン拡散させることにより P^+ 導入層 114 を形成する (図 4 (a) ~ (b))。次に、ボロンなどの P 型不純物イオンを用いて P^- エピタキシャル成長を行い、 P^- エピタキシャル層 111 を形成する (図 4 (c))。

【0029】

ついで、 P^- エピタキシャル層 111 上にレジスト 113 を形成し、既知のリソグラフィ技術を用いて、 P^+ ソース埋込層 112 a を形成するために、選択的に、ボロンなどの P 型不純物を拡散させる、もしくはボロンなどの P 型不純物をイオン注入する (図 4 (d))。

30

【0030】

次に、既知のリソグラフィ技術を用いて、 N^+ ソース埋込層 112 b を形成するために、選択的に、As、Sb、リンなどの N 型不純物をイオン拡散させる、もしくは N 型不純物をイオン注入する (図 4 (e))。ついで、 P^+ ソースと N^+ ソースとを埋め込むために、1150 程度で 5 ~ 6 時間、熱処理を行う (図 4 (f))。

【0031】

次に、ゲート絶縁膜 130 を成膜し、その上の一部にポリシリコンとタンゲステンシリコンの積層体などを形成しゲート電極 117 とする (図 5 (g))。ついで、レジスト膜 113 を形成し、既知のリソグラフィ技術を用いてレジスト膜 113 を選択的に除去した後、ゲート電極 117 および P^+ ベース層 136 にボロンなどの P 型不純物を注入し、続いて、As、Sb、リンなどの N 型不純物をソース領域に注入する (図 5 (h))。次に、ゲート電極 117 を保護する絶縁膜 132 を形成し、その上にポリシリコン電極 120 および層間膜 134 を形成した後、層間膜 134 を CMP 技術により平坦化する (図 5 (i))。

40

【0032】

次に、層間膜 134 上にレジスト膜 (不図示) を成膜し、既知のリソグラフィ技術を用いてレジスト膜 (不図示) を選択的に除去した後、プラズマエッチングなどを用いてコンタクトホールを形成する。ついで、コンタクトホールの底部に As、Sb、リンなどの

50

N型不純物をイオン注入し、 N^+ コンタクト138および N^+ コンタクト140を形成する。続いて、コンタクトホール内にバリアメタルを成膜し、その上にタングステン成長させ、エッチバックする。次に、スパッタリング法などを用いてアルミニウムなどを成膜した後、既知のリソグラフィ技術とエッチング技術を用いてソース電極118およびドレイン電極119を形成する(図5(j))。次に、ゲート電極端子144、裏面ソース電極141、裏面ソース端子142、ドレイン電極端子146を設けることでNチャンネル型横型MOSFET100が形成される(図1)。

【0033】

以上のプロセスによりNチャンネル型横型MOSFET100が形成される。

【0034】

以下、本実施形態に係るNチャンネル型横型MOSFET100の効果について説明する。

【0035】

本実施形態においては、 N^+ 基板110にAs、Sb、リンなどのN型不純物を導入することにより、 P^+ ソース埋込層112aなどを熱処理する際に、 P^+ 導入層114に含まれるボロン、Alなどの原子と N^+ 基板110に含まれるAs、Sb、リンなどの原子とがクーロン力により引き合うため、 N^+ 基板110のせり上がりを抑制することができる。このため、実効エピ厚を厚くすることができる。したがって、ドレイン-ソース間耐圧が大きく、ドレイン-ソース間容量が低減されたNチャンネル型横型MOSFET100を実現できる。

【0036】

また、特許文献1記載の技術に代表される従来の技術において用いられていたボロンなどが導入された基板においては、製造安定性を維持するため、導入されるボロンなどの不純物の濃度を高めることは難しかった。そのため、基板の比抵抗の値を低減することが難しく、その数値は、たとえば、 $0.005 \sim 0.010 \text{ cm}$ 程度であった。これに対して、Nチャンネル型横型MOSFET100においては、 N^+ 基板110に導入される不純物として、比較的高濃度で基板に導入することが可能であり、比較的比抵抗が小さいN型不純物であるAs、Sbを用いることにより、 N^+ 基板110の比抵抗を低減することができ、具体的には、比抵抗を従来の $1/3$ 以下程度である $0.001 \sim 0.003 \text{ cm}$ 程度とすることができる。したがって、裏面ソース接地構造を有し、基板抵抗の低いNチャンネル型横型MOSFET100を実現することができる。

【0037】

また、本実施形態においては、従来の技術において基板に導入されていたボロンなどと比較して拡散係数の小さいAs、Sbが N^+ 基板110に導入されている。たとえば、Asが 0.0015 cm (約 $8 \times 10^{19} \text{ cm}^{-3}$)導入された N^+ 基板110上に、 P^+ 導入層114およびボロンなどのP型不純物が 10 cm (約 $1 \times 10^{15} \text{ cm}^{-3}$)導入された P^- エピタキシャル層111を $10 \mu\text{m}$ 形成した場合、図1に示すNチャンネル型横型MOSFET100のC-C'方向のプロファイルである図6に示すように、実効エピ厚は約 $5 \mu\text{m}$ となる。このため、ボロンが用いられていた従来の技術における実効エピ厚である約 $3 \mu\text{m}$ (図9)と比較して、約 $2 \mu\text{m}$ 程度の実効エピ厚膜化を図ることができる。したがって、従来の技術と比較して、約 $2 \mu\text{m}$ 程度実効エピ厚を厚膜化することができることにより、ドレイン-ソース間耐圧を、たとえば 50 V 程度向上させることができる。この理由は、横型MOSFETのドレイン-ソース間耐圧(BV_{ds})は、実効エピ厚に強く依存しているからであり、すなわち、 N^- ドレイン層116と P^- エピタキシャル層111との間のPN接合部において電界集中して耐圧の降伏に至るからである。この電界集中は、 P^- エピタキシャル層111が厚いほど、電圧をかけたときに伝導電子の少ない領域である空乏層が広がりやすいため緩和される。したがって、本実施形態において、実効エピ厚を厚くすることにより、ドレイン-ソース間耐圧が大きいNチャンネル型横型MOSFETを実現することができる。また、ボロンが用いられていた従来の技術における実効エピ厚と比較して、実効エピ厚を約 $2 \mu\text{m}$ 程度厚膜化できることにより、

10

20

30

40

50

ドレイン - ソース間容量 (C_{ds}) を、たとえば、30%程度低減することができる。すなわち、ドレイン - ソース間容量は、N⁻ドレイン層 116 と P⁻エピタキシャル層 111 との間の PN 接合容量に大きな影響を受けるからである。このため、P⁻エピタキシャル層 111 が厚いほど、電圧をかけたときに伝導電子の少ない領域である空乏層が広がりやすい。したがって、PN 接合容量が低減されるため、ドレイン - ソース間容量 (C_{ds}) の低減を図ることができる。この結果、ドレイン - ソース間容量が低減された N チャンネル型横型 MOSFET 100 を実現することができる。

【0038】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

10

【0039】

たとえば、上記実施形態においては、第1導電型不純物としてN型不純物を用い、第2導電型不純物としてP型不純物を用いてNチャンネル型横型MOSFET 100のドレイン - ソース間耐圧の向上とドレイン - ソース間容量の低減を実現する形態について説明したが、第1導電型不純物としてP型不純物を用い、第2導電型不純物としてN型不純物を用いてもよい。具体的には、上記実施形態においては、N⁺基板 110 上に P⁺ 導入層 114 を形成することによるクーロン力を用いた N⁺ 基板 110 のせり上がりの抑制によって、ドレイン - ソース間耐圧を大きくし、ドレイン - ソース間容量が低減された N チャンネル型横型 MOSFET 100 について説明した。これに対して、ボロン、Al などが導入された P⁺ 基板上にリン、As、Sb などの N 型不純物が導入された N⁺ 導入層を形成することによるクーロン力を用いた P⁺ 基板のせり上がりの抑制によって、実効エピ厚の厚膜化を実現し、ドレイン - ソース間耐圧が大きく、ドレイン - ソース間容量が低減された P チャンネル型横型 MOSFET を実現してもよい。

20

【0040】

また、上記実施形態においては、MOSFET について説明したが、MISFET など他の電界効果型トランジスタであっても、基板に第1導電型不純物を用い、基板に含まれる第1導電型不純物と第2導電型不純物導入層に含まれる第2導電型不純物がクーロン力により引き合うことにより基板のせり上がりを抑制することにより実効エピ厚の厚膜化を実現し、ドレイン - ソース間耐圧が大きく、ドレイン - ソース間容量が小さい電界効果型トランジスタが実現できればよい。さらに、第1導電型不純物として基板に比抵抗の比較的小さな As、Sb からなる群から選択される一または二の物質を導入することによって、基板の抵抗値を低減し、基板の抵抗値の低い裏面ソース接地構造を有する電界効果型トランジスタを実現してもよい。さらにまた、拡散係数の比較的小さな As、Sb が導入された基板上に、第2導電型不純物導入層が形成されていることによって、基板のせり上がりをより抑制することにより、実効エピ厚のさらなる厚膜化を実現し、ドレイン - ソース間耐圧がより大きく、ドレイン - ソース間容量がより小さい電界効果型トランジスタを実現してもよい。

30

【図面の簡単な説明】

【0041】

【図1】実施の形態に係る MOSFET を模式的に示した断面図である。

40

【図2】実施の形態に係る MOSFET の B - B' 断面図である。

【図3】実施の形態に係る MOSFET の D - D' 断面図である。

【図4】実施の形態に係る MOSFET の工程断面図である。

【図5】実施の形態に係る MOSFET の工程断面図である。

【図6】実施の形態に係る MOSFET の不純物プロファイルを示す図である。

【図7】従来技術に係る MOSFET を模式的に示した断面図である。

【図8】従来技術に係る MOSFET の工程断面図である。

【図9】従来技術に係る MOSFET の不純物プロファイルを示す図である。

【符号の説明】

【0042】

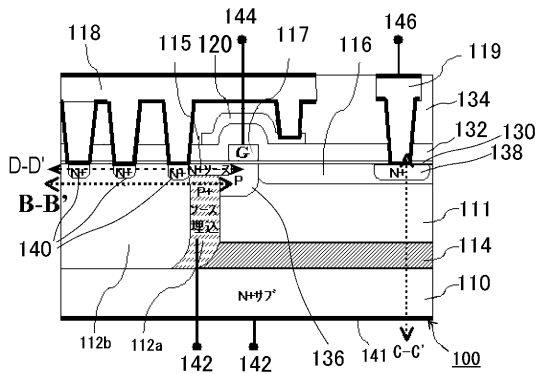
50

- 1 0 0 Nチャネル型横型MOSFET
- 1 1 0 N⁺基板
- 1 1 1 P⁻エピタキシャル層
- 1 1 2 a P⁺ソース埋込層
- 1 1 2 b N⁺ソース埋込層
- 1 1 3 レジスト
- 1 1 4 P⁺導入層
- 1 1 5 N⁺ソース拡散層
- 1 1 6 N⁻ドレイン層
- 1 1 7 ゲート電極
- 1 1 8 ソース電極
- 1 1 9 ドレイン電極
- 1 2 0 ポリシリコン電極
- 1 3 0 ゲート絶縁膜
- 1 3 2 絶縁膜
- 1 3 4 層間膜
- 1 3 6 P⁺ベース層
- 1 3 8 N⁺コンタクト
- 1 4 0 N⁺コンタクト
- 1 4 1 裏面ソース電極
- 1 4 2 裏面ソース端子
- 1 4 4 ゲート電極端子
- 1 4 6 ドレイン電極端子

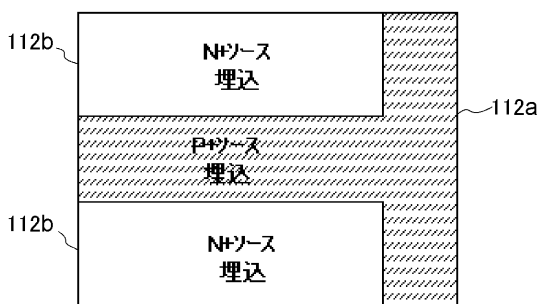
10

20

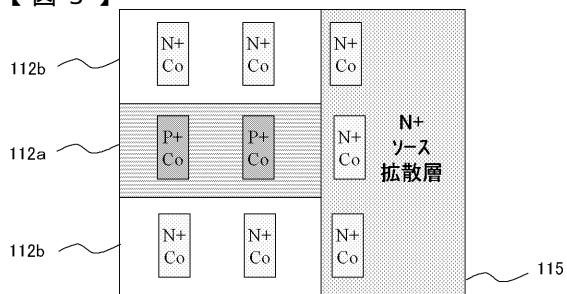
【図1】



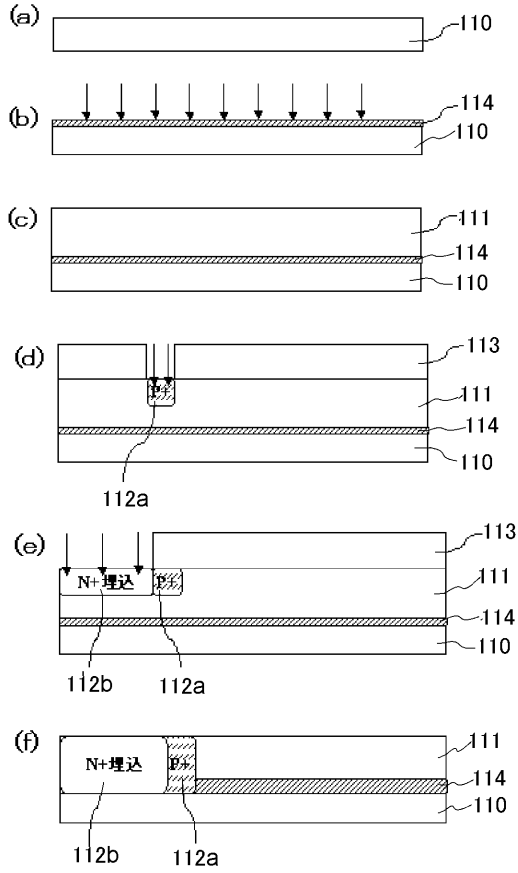
【図2】



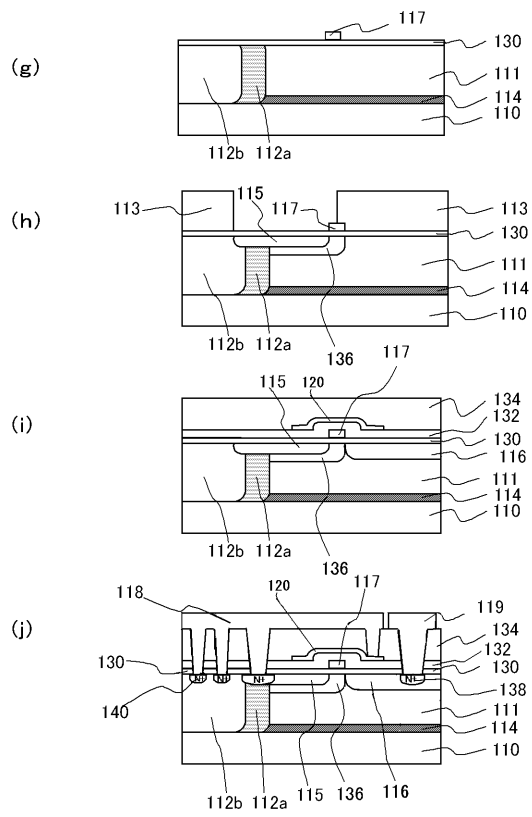
【図3】



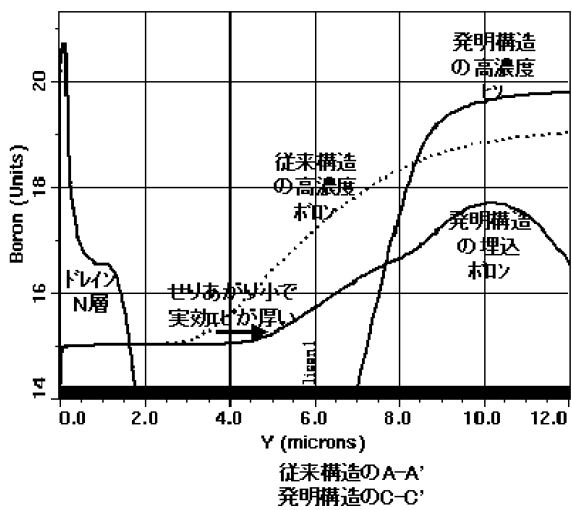
【 図 4 】



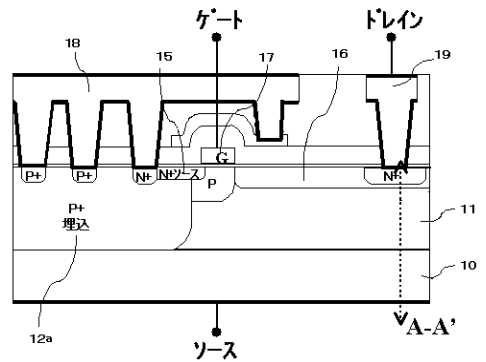
【 図 5 】



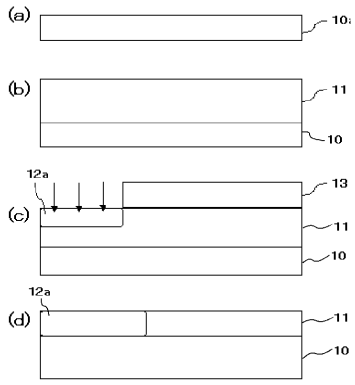
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

