

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4103740号
(P4103740)

(45) 発行日 平成20年6月18日(2008.6.18)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int.Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G06T 5/00 (2006.01)	G06T 5/00	200A
G09G 3/20 (2006.01)	G09G 3/20	612U
G09G 5/00 (2006.01)	G09G 3/20	621K
H04N 1/405 (2006.01)	G09G 3/20	623K
請求項の数 7 (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2003-318448 (P2003-318448)
 (22) 出願日 平成15年9月10日(2003.9.10)
 (65) 公開番号 特開2005-84516 (P2005-84516A)
 (43) 公開日 平成17年3月31日(2005.3.31)
 審査請求日 平成16年6月28日(2004.6.28)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 胡桃澤 孝
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 画像表示装置、画像表示方法及び画像表示プログラム

(57) 【特許請求の範囲】

【請求項1】

nビットの階調表示能力を有する画像表示部と、
 表示すべきmビットの画像データを取得する画像データ取得手段と、
 前記画像データのビット数をmビットからnビットに減少させるビット数減少処理手段と、

前記mビットの画像データの階調値が所定領域外にあるときは、2×2画素構成の第1のディザマトリクスを用い、前記所定領域内にあるときは、3×3画素構成の第2のディザマトリクスを用いて、前記nビットの画像データの階調数をディザ処理により補間し、前記mビットに相当する階調数を有する補間画像データを生成する補間処理手段と、

前記補間画像データを前記画像表示部に表示する表示制御手段と、
 を備えることを特徴とする画像表示装置。

【請求項2】

前記補間処理手段は、前記mビットの画像データのうち、所定の階調値を有するものについてのみ前記第2のディザマトリクスを用いてディザ処理を行うことを特徴とする請求項1に記載の画像表示装置。

【請求項3】

前記ビット数減少処理手段は、前記mビットの画像データの上位nビットを前記nビットの画像データとして使用することを特徴とする請求項1又は2に記載の画像表示装置。

【請求項4】

前記mビットは8ビットであり、前記nビットは6ビットであり、前記mビットに相当する階調数は256階調であることを特徴とする請求項1乃至3のいずれか一項に記載の画像表示装置。

【請求項5】

前記補間処理手段は、前記第1のディザマトリクスを用いたディザ処理により前記画像データを186階調増加させ、前記第2のディザマトリクスを用いたディザ処理により6階調増加させることを特徴とする請求項4に記載の画像表示装置。

【請求項6】

nビットの階調表示能力を有する画像表示部を備える画像表示装置において実行される画像表示方法において、

表示すべきmビットの画像データを取得する画像データ取得工程と、

前記画像データのビット数をmビットからnビットに減少させるビット数減少処理工程と、

前記mビットの画像データの階調値が所定領域外にあるときは、2×2画素構成の第1のディザマトリクスを用い、前記所定領域内にあるときは、3×3画素構成の第2のディザマトリクスを用いて、前記nビットの画像データの階調数をディザ処理により補間し、前記mビットに相当する階調数を有する補間画像データを生成する補間処理工程と、

前記補間画像データを前記画像表示部に表示する表示制御工程と、
を備えることを特徴とする画像表示方法。

【請求項7】

nビットの階調表示能力を有する画像処理部及び画像表示部を備える画像表示装置において実行されることにより、

表示すべきmビットの画像データを取得する画像データの取得と、

前記画像データのビット数をmビットからnビットに減少させるビット数減少処理手段と、

前記mビットの画像データの階調値が所定領域外にあるときは、2×2画素構成の第1のディザマトリクスを用い、前記所定領域内にあるときは、3×3画素構成の第2のディザマトリクスを用いて、前記nビットの画像データの階調数をディザ処理により補間し、前記mビットに相当する階調数を有する補間画像データを生成する補間処理と、

前記補間画像データを前記画像表示部に表示する表示制御と、
を行わせることを特徴とする画像表示プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネルその他の画像表示部を備える画像表示装置において、表示することができる階調数が制限されている画像表示部に、取得した画像データの階調数と同等のものを表示する手法に関する。

【背景技術】

【0002】

最近では、携帯電話やPDA(Personal Digital Assistant)などの携帯端末装置に、LCD(Liquid Crystal Display:液晶表示装置)などの軽量、薄型の表示装置が搭載されている。このような表示装置に画像を表示するとき、入力される画像データはフルカラー(1画素当たりRGB各8ビット(256階調))であるが、表示装置の性能に制限があり、例えば各6ビット(64階調)の階調数しか表現することができない、ということが起こりうる。このため、入力される画像データの色数が、総計16777216色(=256×256×256)であるにも拘らず、表示される色の総計は262144色(=64×64×64)となってしまう。

【0003】

そのため、一般的には、ディザ処理や誤差拡散処理などによって複数の画素で中間の階調値を表現して、上記の不足した色数を擬似的に補間する方法が多く用いられている。例

10

20

30

40

50

例えば、64階調を256階調に拡張する場合は、ディザ処理にて64階調の各ステップ間に3階調を補間する方法が取られている。しかし、64階調(6ビット)では、その間隔は63個であるため、上記の補間を行っても253階調($64 + 63 \times 3$)にしかない。つまり、この階調数は256階調には完全に一致せず、3階調分不足してしまう。これでは、色数は16194277色($= 253 \times 253 \times 253$)になってしまい、元のデータと比べて総計で582939色が減色してしまうことになる。また、表示装置の性能が5ビット(32階調)の表現しかできなければ、上記ディザ処理を行っても階調数は249階調($32 + 31 \times 7$)になり、7階調分不足してしまう。そのため、総計で1338967色分が減色してしまう。このように、すべての階調に対して一様なディザ処理を行って補間すると、元のフルカラーの色数には完全には一致しない。

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、上記のような問題を解決するためになされたもので、その目的とするところは、液晶表示パネルその他の画像表示部を備える画像表示装置において、表示することができる階調数が制限されている画像表示部に、取得した画像データの階調数と同等の階調数を表示するように色数を補間することが可能な画像表示装置、画像表示方法及び画像表示プログラムを提供することにある。

【課題を解決するための手段】

【0005】

本発明の1つの観点では、画像表示部を備える画像表示装置は、 n ビットの階調表示能力を有する画像表示部と、表示すべき m ビットの画像データを取得する画像データ取得手段と、前記画像データのビット数を m ビットから n ビットに減少させるビット数減少処理手段と、前記 n ビットの画像データの階調数をディザ処理により補間し、前記 m ビットに相当する階調数を有する補間画像データを生成する補間処理手段と、前記補間画像データを前記画像表示部に表示する表示制御手段と、を備える。

20

【0006】

上記の画像表示装置は、例えば画像表示部として液晶表示パネルを備える携帯電話、携帯型端末などの各種端末装置とすることができる。前記液晶表示パネルは、その性能から入力された m ビット、例えば各色8ビットのフルカラーのデータを表示することができない場合がある。そのため、データ量を削減した画像データを画像表示部に表示させている。本発明では、このときに、取得した画像データの階調数と同等の階調数を表示するように、擬似的にその中間調を補間するディザ処理を行う。これにより、元のイメージから離れることなく、フルカラー画像と同等の階調数の画像を表示することができる。

30

【0007】

上記の画像表示装置の一態様では、前記補間処理手段は、前記 m ビットの画像データの階調値が所定領域内にあるときは、第2のディザマトリクスを用いたディザ処理を行い、前記所定領域外にあるときは、第1のディザマトリクスを用いたディザ処理を行う。階調数に応じて、第1のディザマトリクスを用いたディザ処理と、第2のディザマトリクスを用いたディザ処理を切り替えて行うことにより、表示画像の階調数を入力された画像データの階調数に完全に合わせることができる。

40

【0008】

上記の画像表示装置の他の一態様では、前記第1のディザマトリクスは 2×2 画素構成のマトリクスであり、前記第2のディザマトリクスは 3×3 画素構成のマトリクスである。所定の領域外にあるときは、 2×2 のディザマトリクスにてディザ処理を行い、所定領域内にあるときは、 3×3 のディザマトリクスを用いたディザ処理を行う。 2×2 のディザマトリクスによれば3階調の増加しかできないが、 3×3 のディザマトリクスを用いれば8階調までの階調数増加が可能になる。よって、所定の領域内の階調値については 3×3 のディザマトリクスを用いることにより階調数を増加させ、入力される階調数と表示させる画像の階調数を合わせることができる。

50

【 0 0 0 9 】

上記の画像表示装置の他の一態様では、前記補間処理手段は、前記mビットの画像データのうち、所定の階調値を有するものについてのみ前記第2のディザマトリクスを用いてディザ処理を行う。よって、所定の階調値を有する画像データ以外の画像データについては、ディザ処理に用いるディザマトリクスの画素構成のサイズは変えずに、入力される階調数と表示させる画像の階調数を合わせることができる。例えば、所定の階調数を有する画像データに対しては、ディザマトリクス内に3ステップ分の階調数を含んだものでディザ処理を行うことができる。これにより、表示される画像の階調数を入力された画像の階調数と完全に合わせることができる。

【 0 0 1 0 】

上記の画像表示装置の他の一態様では、前記ビット数減少処理手段は、前記mビットの画像データの上位nビットを前記nビットの画像データとして使用する。ビット数減少手段には、例えば入力された画像データの下位の数ビットをビットスライスする。これにより、前記画像表示部にて表示可能なデータ量にすることができる。

【 0 0 1 1 】

好適な実施例では、前記mビットは8ビットであり、前記nビットは6ビットであり、前記mビットに相当する階調数は256階調である。入力された各8ビットのフルカラー画像データにおいて、前記の処理を行って各6ビットとなった画像データを表示することができる。

【 0 0 1 2 】

さらに、好適な実施例では、前記補間処理手段は、前記第1のディザマトリクスを用いたディザ処理により前記画像データを186階調増加させ、前記第2のディザマトリクスを用いたディザ処理により6階調増加させる。入力された画像が256階調であれば、まず、前記ビット数減少処理手段にて64階調にされる。この不足する192階調(256-64)のうち、186階調は前記第1のディザマトリクスを用いて補間し、残りの6階調は前記第2のディザマトリクスを用いて補間する。

【 0 0 1 3 】

本発明の同様の観点では、nビットの階調表示能力を有する画像表示部を備える画像表示装置において実行される画像表示方法は、表示すべきmビットの画像データを取得する画像データ取得工程と、前記画像データのビット数をmビットからnビットに減少させるビット数減少処理工程と、前記nビットの画像データの階調数をディザ処理により補間し、前記mビットに相当する階調数を有する補間画像データを生成する補間処理工程と、前記補間画像データを前記画像表示部に表示する表示制御工程と、を備える。

【 0 0 1 4 】

本発明の同様の観点では、画像表示プログラムは、nビットの階調表示能力を有する画像処理部及び画像表示部を備える画像表示装置において実行されることにより、表示すべきmビットの画像データを取得する画像データ取得手段と、前記画像データのビット数をmビットからnビットに減少させるビット数減少処理手段と、前記nビットの画像データの階調数をディザ処理により補間し、前記mビットに相当する階調数を有する補間画像データを生成する補間処理手段と、前記補間画像データを前記画像表示部に表示する表示制御手段として前記画像表示装置を機能させる。

【 0 0 1 5 】

これら画像表示方法及び画像表示プログラムによっても、上記の画像表示装置と同様に、表示することができる階調数が制限されている画像表示部に、取得した画像データの階調数と同等の階調数を表示するように補間することが可能となる。

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

以下、図面を参照して本発明の好適な実施の形態について説明する。

【 0 0 1 7 】

[携帯端末装置の概略構成]

10

20

30

40

50

図1に、本発明の実施形態に係る携帯端末装置の概略構成を示す。図1において、携帯端末装置210は、例えば携帯電話やPDAなどの端末装置である。携帯端末装置210は、表示装置212と、送受信部214と、CPU216と、入力部218と、プログラムROM220と、RAM224とを備える。また、表示装置212は、ドライバ226と表示パネル227などから構成されている。

【0018】

送受信部214は、外部から画像データなどのコンテンツを受信する。以下では、主に、画像データを受信した場合の携帯端末装置210でのデータ処理について説明する。画像データの受信は、例えば利用者が携帯端末装置210を操作してコンテンツ提供サービスを行うサーバ装置などに接続し、所望の画像データをダウンロードする指示を入力することにより行われる。受信される画像データは、動画データと静止画データとを含む。ここでは、例えば1画素当りRGB24ビットの画像データ(各色8ビット)が受信されるものとする。なお、送受信部214が受信した画像データはCPU216などに供給され、さらに、RAM224に保存することができる。

10

【0019】

入力部218は、携帯電話であれば各種の操作ボタンなど、PDAであればタッチペンなどによる接触を検出するタブレットなどにより構成することができ、ユーザが各種の指示、選択を行う際に使用される。入力部218に対して入力された指示、選択などは、電気信号に変換されてCPU216へ送られる。

【0020】

20

プログラムROM220は、携帯端末装置210の各種機能を実行するための各種プログラムを記憶し、特に本実施例では送受信部214から送られてきた画像データに対してビットスライス処理を行うためのビットスライス処理プログラムと、ディザ処理を行うためのディザ処理プログラムなどを記憶している。

【0021】

RAM224は、上記のビットスライス処理プログラムやディザ処理プログラム等のプログラムに従って画像データを変換する際などに作業用メモリとして使用される。また、前述のように、送受信部214が受信した外部からの画像データ、又は、携帯端末装置210に備え付けられた図示しないカメラなどから取得した画像データを必要に応じて保存することもできる。

30

【0022】

CPU216は、プログラムROM220内に記憶されている各種プログラムを実行することにより、携帯端末装置210の各種機能を実行する。本実施例では、プログラムROM220内に記憶されているプログラムを読み出して実行することによりビットスライス処理部231とディザ処理部232として機能する。

【0023】

まず、ビットスライス処理部231では、受信装置214から供給される画像データなどに対して、画像データ量を削減するビットスライス処理を行う。例えば、RGB各色が8ビットのデータが入力されれば、下位2ビットを削減して6ビットのデータにすることができる。ビットスライス処理231にてデータ量が削減された後の画像データS1と、削減したデータS2は、それぞれディザ処理部232に送られる。上記の例だと、上位6ビットのデータがS1に当たり、下位2ビットのデータがS2に当たる。

40

【0024】

次に、ディザ処理部232では、入力された画像データのディザ処理を行う。具体的には、入力された画像データS1を、削減した画像データS2に基づきディザ処理を行う。もしくは、ディザ処理部232は、上位ビットの画像データS1と下位ビットのデータS2を合成してビットスライス処理前の画像データを生成し、これに基づいて上記画像データS1のディザ処理を行う。このディザ処理は、液晶などの表示装置212においては、8ビットのフルカラーの色全て(256階調)を表示することができないので、例えば6ビットの階調数の色で擬似的に階調数を拡張して表現させるものである。これにより、要

50

素を成す色の階調数は6ビットであるが、擬似的にその中間調を表現することにより、256階調の色数を表現することができる。このディザ処理は、RGBの各色に対して行うものとする。具体的なディザ処理の詳細については後述する。

【0025】

なお、CPU216は、これら以外に各種のプログラムを実行することにより携帯端末装置210の各種機能を実現するが、それらは本発明とは直接の関連を有しないので、説明を省略する。

【0026】

表示装置212は、例えばLCD(Liquid Crystal Display:液晶表示装置)などの軽量、薄型の表示装置であり、液晶の表示パネル227や半導体であるドライバ226などから構成されている。なお、表示装置212はCPU216から受け取った画像データに対する処理部として機能することもできるが、それらは本発明とは直接の関連を有しないので、説明を省略する。

10

【0027】

なお、図1においては、ディザ処理を行うディザ処理部232をCPU216内に設けたが、CPU216とは別のハードウェア等を設置して、その中で行ってもよい。

【0028】

[ディザ処理]

以下では、本実施例に係るディザ処理について説明する。上述したように、ディザ処理は、CPU216内のディザ処理部232にて実行される。このディザ処理部232には、ビットスライス処理部231にてビットスライスされた画像データS1と、ビットスライスしたデータS2が入力される。本実施例では、ビットスライス処理部231にRGB各8ビットのフルカラーの画像データが入力され、ディザ処理部232には、そのデータの上位6ビットが画像データS1として、下位2ビットがデータS2として入力される例について説明していく。

20

【0029】

本実施例に係るディザ処理は、液晶などの表示装置212においては、8ビットのフルカラーの色全て(256階調)を表示することができないので、例えば6ビットの階調数の色で擬似的に階調数を拡張して表現させるものである。これにより、要素を成す色の階調数は6ビットであるが、擬似的にその中間調を表現することにより、256階調の色数を表現することができる。

30

【0030】

以下で、図2を参照して具体的にディザ処理を説明する。1画像の画像データとして、画像データS1により示される上位6ビットの階調値が同じであり、データS2により示される下位2ビットの値が「00」、「01」、「10」、「11」と異なるデータが、別々にCPU216のディザ処理部232に入力される。説明の便宜上、下位2ビットの値をそれぞれ10進数で示し、「00」を「0」、「01」を「1」、「10」を「2」、「11」を「3」と表し、この数字を用いて以下では説明を行っていく。また、この例において、上位6ビットの共通となるデータは、「N」階調であるものとする。この「N」は64階調におけるある階調に当たる。図2においては、ブロック内の色が「白」であるものが「N」階調であり、ブロック内が「斜線」で埋められているものが「N+1」階調である。

40

【0031】

図2の中央に、ディザ行列(以下、「ディザマトリクス」とも呼ぶ)を示す。ここでは、例として2×2のディザ行列を示している。図において、正方形のブロック内に書かれた数字がディザ行列を構成する。この数字は、入力される下位2ビットを10進数で表した数字(「0」、「1」、「2」、「3」と比較するために用いられる。すなわち、ブロック内の数字は、ディザ処理を行うときの閾値としての意味を持つ。

【0032】

次に、上記の2×2のディザ行列を用いて行うディザ処理について説明する。ディザ処

50

理は、ディザ行列と同じサイズの画素の集合（以下、「ブロック」と呼ぶ。）に対して、その単位で適用される。即ち、 2×2 のディザ行列は、ディザ処理の対象となる画像データの縦横 2×2 画素のブロック単位で適用される。図2の左側に、 2×2 画素のブロックの例を示している。このブロックは $x_1 \sim x_4$ の4画素から構成されており、各画素について、上位6ビットが画像データS1として、下位2ビットがデータS2として、ビットスライス処理部231から供給されている。

【0033】

図3(a)に、ある矩形の画像データについて 2×2 のディザ行列を適用する方法を模式的に示す。例えば、ディザ処理の対象となる矩形の画像データ90について、まず、左上の 2×2 画素のブロックaに対して 2×2 のディザ行列を適用し、4画素の各々についてディザ処理後の階調値を決定する。次に、ディザ処理の対象となる画像データ90に対するディザ行列の位置を右方向へ2画素分シフトし、隣の 2×2 画素のブロックbに対して同様にディザ処理を適用する。こうして、ディザ行列を2画素分ずつシフトさせながら、 2×2 画素のブロック毎にディザ処理が行われていく。

10

【0034】

各画素については、その画素に対応する画像データの下位2ビットの値（即ちデータS2）と、 2×2 のディザ行列のうち、その画素に対応する閾値とが比較される。例えば、図3(a)において、ブロックaの左上の画素a1については、その画像データの下位2ビットの値と、図2に示すディザ行列の左上の閾値「0」とが比較される。また、図3(a)において、ブロック2の右下の画素b4については、そのデータの下位2ビットの値と、図2に示すディザ行列の右下の閾値「1」とが比較される。そして、各画素の下位2ビットの値が閾値より以下であれば、その画素の階調値は「N」と決定され、閾値より大きければその画素の階調値は「N+1」と決定される。

20

【0035】

図3(b)に具体例を示す。図3(b)は、図3(a)に示すブロックa及びbに含まれる各画素の下位2ビットの値を示した例である。即ち、ブロックaでは、 $a_1 = 0$ 、 $a_2 = 2$ 、 $a_3 = 0$ 、 $a_4 = 2$ である。これら各画素の下位2ビットの値を、ディザ行列中の対応する位置の閾値と比較すると、ブロックaでは画素a4のみが閾値より大きいので、画素a4のみが階調値「N+1」（斜線）となり、残りの3画素は階調値「N」となる。同様に、ブロックbでは、画素b1及びb4のみが閾値より大きいので、それらの階調値は「N+1」となり、残りの画素の階調値は「N」となる。

30

【0036】

こうして、 2×2 画素のブロック単位で 2×2 のディザ行列を適用すると、ディザ処理後の各ブロックの階調値は図2の右側に示すように4通りのパターンのいずれかとなる。これにより、N階調とN+1階調との間に疑似的に中間調3階調を補間することができる。つまり、実質的には、256階調で細かく刻まれた色を用いていないが、荒く刻まれた64階調の色の組み合わせで疑似的に階調数を拡張することにより、256階調相当の色があるように表現することができる。

【0037】

以上のようなディザ処理を、入力された256階調のデータに対して行った様子を示した図4について説明する。図4の上段には、64階調のステップが四角形内の数字で示されており、その下には、256階調表現のステップが三角形内の数字で示されている。ここでは、CPU216に256階調のデータ（S1とS2を含む）が入力されるものとし、CPU216にてディザ処理を行い、64階調の色のみを用いて256階調を表現しようとするものである。そして、最下段には、先に述べたディザ処理を行うことによって、64階調の色を用いて256階調を疑似的に表現したものを示してある。この図において、ブロック内に示された「斜線」などで64階調の色を表しているものとする。256階調で4の倍数である色は、64階調の色と一致するため、4つのブロックがすべて同じ色で塗られている。一方、4の倍数でない階調値の色は、その両端にある4の倍数の階調値の色の組み合わせパターンを用いて、疑似的に表現されている。

40

50

【 0 0 3 8 】

但し、このようにディザ処理にて64階調のステップ間を擬似的に3階調分ずつ補間する処理を、入力された256階調データ全てに一様に行っていくと、先述したように253階調しか表現できない。これは、間隔の数が階調数よりも、1小さいからである。

【 0 0 3 9 】

〔 第 1 実施例 〕

以下で、上記の問題を解決することができる第1実施例に係る手法について説明する。上記のように64階調の各間隔を一様に3階調分ずつ補間していくと最終的には256階調には3階調分不足してしまう。そこで、第1実施例においては、この不足する3階調分を補間する処理を行う。具体的には、256階調のうち所定の領域には、他よりも大きなサイズのディザ行列を用いてディザ処理を行う。これにより、64階調の色のみで256階調分の色数を完全に表現することができる。なお、第1実施例に係る処理は、前述のディザ処理部232などを含んだCPU216で行うことができる。

10

【 0 0 4 0 】

(実施例 1 a)

まず、実施例1aについて、図5を用いて説明する。図5の上段には、64階調のステップが四角形内の数字で示されており、その下には、256階調のステップが三角形内の数字で示されている。そして最下段には、ディザ処理を行うことによって、64階調の色で256階調を擬似的に表現したパターンを示してある。この図において、ブロック内に描かれた「斜線」などが64階調表現の色を表しているものとする。

20

【 0 0 4 1 】

実施例1aに係る具体的な処理方法について説明する。実施例1aにおいては、64階調表現において、0階調から1階調までの間を3×3のディザ行列を用いて処理を行う。すなわち、0階調から1階調までの間に6階調を補間する。

【 0 0 4 2 】

3×3のディザ行列は、図6(a)に示すように、処理の対象となる矩形の画像データ90のうち、縦横3×3画素のブロックを単位として適用される。例えば、図6(a)に示すように、処理の対象となる画像データのうち左上の3×3画素のブロックAに対して適用し、次にその右側の3×3のブロックBに対して適用し、以後順にシフトしていく。3×3のディザ行列中の閾値を適当に決定することにより、図5に三角形の数字で示す256階調の0～6までの画素については、3×3のディザ処理後のN階調とN+1階調との組み合わせを7通り作ることができ、その結果、64階調でのデータ0～1の間に6階調分を補間することができる。

30

【 0 0 4 3 】

図6(b)に具体例を示す。いま、ブロックAの左上の画素A1=1(256階調表現)であるとする。図5を参照して、階調値1に対応するディザ処理後の3×3の画素ブロックは中央のみがN+1階調となり(斜線参照)、それ以外はN階調となることわかる。よって、左上の画素A1はN階調、即ち階調値0となる。また、ブロックAの右上の画素A3=5であるとする、図5を参照して階調値5に対応するディザ処理後の3×3の画素ブロックは中央列の上から2画素及び右列の全3画素が階調値N+1となることわかる(斜線参照)。よって、右上の画素A3はN+1階調、即ち階調値1となる。このように、256階調表現で0～6の値を有する画素は、3×3のディザ行列を適用することにより図5の最下段に示すパターンのように階調値が決定される。これにより、64階調表現の階調値0～1との間に、擬似的に6階調分を補間することができる。

40

【 0 0 4 4 】

一方、64階調表現の1以上の階調値を有する画素は、先述の方法と同様に2×2のディザ行列を用いて表現する。これにより、最終的に補間される階調数は、62×3+6=192となり、256階調を64階調の色数で、完全に表すことが可能である。

【 0 0 4 5 】

次に、CPU216のディザ処理部232にて行われる上述の処理を、図7のフローチ

50

ャートを参照しながら説明する。

【 0 0 4 6 】

まず、ステップ S 1 0 1 では、CPU 2 1 6 のディザ処理部 2 3 2 はビットスライス処理部 2 3 1 より表示すべき画像データを取得する。この取得する画像データは、RGB 各 8 ビットのフルカラーのデータがビットスライスされて 6 ビットとなった画像データ S 2 と、下位 2 ビットのデータ S 1 として得られる。次に、ステップ S 1 0 2 ではディザ処理部 2 3 2 は、画像データ S 1 及びデータ S 2 から取得した画像データ 2 5 6 階調表現の階調値を求め、その階調値が 7 以下であるかどうかを判定する。なお、この判定は、実際の処理上は、(その階調値 + 1) の値を「8」と比較することにより単純に行うことができる。

10

【 0 0 4 7 】

ここで、その階調値が 7 (2 5 6 階調表現において) 以下であれば (ステップ S 1 0 2 ; Y e s)、ステップ S 1 0 3 に進み、上述したように 3 × 3 のディザ行列にてディザ処理を行う。一方、入力されたデータの階調値が 7 より大きければ (ステップ S 1 0 3 ; N o)、ステップ S 1 0 4 に進み、2 × 2 のディザ行列にてディザ処理を行う。なお、ステップ S 1 0 4 では、7 以下の階調値のデータに対して 0 階調から 1 階調 (6 4 階調表現において) までの色で表現したので (即ち、余分に 3 階調が付加されている)、7 より大きい階調値が 2 階調目以降に割り当てられていくため、入力された階調値から 3 を減算したものに図 2 で説明したディザ処理を行う。

【 0 0 4 8 】

20

(実施例 1 b)

次に、実施例 1 b に係る処理方法について説明する。実施例 1 a においては最下位の領域 (即ち、0 階調から 1 階調) に 3 × 3 のディザ行列を用いた補間を行ったが、実施例 1 b では、最上位の領域の階調に対して 3 × 3 のディザ処理を行う。図 8 に実施例 1 b に係る処理の例を示す。図 8 に示すように、2 5 6 階調にて 0 から 2 4 7 まで (6 4 階調表現では 0 階調から 6 2 階調) は 2 × 2 のディザ行列にてディザ処理を行う。一方、2 4 8 から 2 5 5 まで (6 4 階調表現では、6 2 階調から 6 3 階調) は、先に述べたように 3 × 3 のディザ行列を用いてディザ処理を行う。これにより、実施例 1 a と同様に、2 5 6 階調の色全てを 6 4 階調の色のみで擬似的に表現することができる。

【 0 0 4 9 】

30

なお、CPU 2 1 6 のディザ処理部 2 3 2 にて行う処理としては、入力される階調値が 2 4 7 以下か 2 4 8 以上かを判別し、2 4 7 以下であれば 2 × 2 ディザ行列で処理を行い、2 4 8 以上であれば 3 × 3 のディザ行列で処理を行う。

【 0 0 5 0 】

(実施例 1 c)

実施例 1 c も、上述の実施例 1 a と b と同様に 3 × 3 のディザ行列を用いて、不足する 3 階調分を補間するための処理を行う。実施例 1 c では、3 × 3 のディザ行列を用いた処理を、上記のように最下位の階調領域 (0 階調から 1 階調) 又は最上位の階調領域 (6 2 階調から 6 3 階調) に限定せず、中間の階調の所定領域に行うことができる。つまり、任意の中間の 7 階調分の領域に 3 × 3 のディザ処理を行う。それ以外の領域には 2 × 2 のディザ行列を用いて変換を行う。

40

【 0 0 5 1 】

なお、CPU 2 1 6 のディザ処理部 2 3 2 で行う処理としては、入力される階調値が所定の領域よりも小さい値を取るか又は大きい値を取るか、若しくは所定の領域内にあるかを判定する。CPU 2 1 6 は入力される階調値が、所定の領域から外れていれば 2 × 2 のディザ行列で処理を行い、所定領域内であれば 3 × 3 のディザ行列で処理を行う。さらに、入力階調値が所定領域以上であれば入力階調値から 3 引いた値に対して 2 × 2 のディザ行列で処理を行う。

【 0 0 5 2 】

[第 2 実施例]

50

以下では、第2実施例に係る処理について説明する。前述の第1実施例においては、 3×3 のディザ行列を所定の階調値に対して用いることにより、不足する3階調を補間したが、第2実施例では 2×2 のディザ行列のみを用いて処理を行う。その概要を説明すると、第2実施例ではディザ処理にて、3値のディザ行列（3ステップ分の階調値を含む）ディザ行列にて擬似的に中間の階調を表現する処理を行う。

【0053】

具体的に、図9を参照して説明する。図9の上段には、64階調のステップが四角形内の数字で示されており、その下には、256階調表現のステップが三角形内の数字で示されている。そして最下段には、ディザ処理を行うことによって、64階調の色で256階調を擬似的に表現したものを示してある。図9において、64階調表現の0階調から2階調までの間に不足する3階調が補間されており、具体的には256階調表現の3階調にd1、5階調にd2、8階調にd3のディザ行列が用いられている。このd1、d2、d3のディザ行列は、3階調分（64階調表現において、0階調、1階調及び2階調が用いられている）の階調を用いて表現されている。さらに、64階調表現の3階調以降（256階調の12階調目以降）は、通常の2値（即ち階調値NとN+1）のみを用いた 2×2 のディザ処理が行われる。これにより、64階調の表現で、256階調全てを表すことができる。なお、第2実施例に係る処理は、前述のディザ処理部232などを含んだCPU216内で行うことができる。

【0054】

（実施例2a）

次に、上述の方法を具体的にを行うことができる実施例2aに係る処理について、図10のフローチャートを用いて説明する。ここでの処理は、CPU216内のディザ処理部232が行う。前述の3階調分の階調を用いる処理は所定の階調値のデータのみに行うので、入力階調値が所定階調値であるかを判別する。この領域内において所定階調値を有するデータに対しては、上記の特殊なディザ行列でディザ処理を行う。

【0055】

まず、ステップS201では、ディザ処理部232はビットスライス処理231より、上位6ビットの画像データS1と、下位2ビットの画像データS2を取得する。次に、ステップS202では、その画像データS1及びS2により示される256階調表現の階調値が11階調以下であるかどうかを判別する。階調値が11以下であれば（ステップS202；Yes）、ステップS203に進む。

【0056】

ステップS203では、その階調値が3であるかどうかを判定する。階調値が3であれば（ステップS203；Yes）、ステップS204にてディザ行列d1を用いてディザ処理を行う。一方、階調値が3ではない場合は（ステップS203；No）、ステップS205にて階調値が5であるかどうかを判定する。階調値が5であれば（ステップS205；Yes）、ステップS206にてディザ行列d2を用いてディザ処理を行う。また、階調値が5ではない場合は（ステップS205；No）、ステップS207にて階調値が8であるかどうかを判定する。階調値が8であれば（ステップS207；Yes）、ステップS208にてディザ行列d3を用いてディザ処理を行う。

【0057】

階調値が11以下であるが、3でも5でも8でもなかった場合は、ステップS209にて通常のディザ処理（即ち、2値のディザ行列にて行うディザ処理）を行う。ここでは、特別なディザ処理を行った階調値3、5、8を除いた値に、通常のディザ処理を行う。具体的には、階調値が2以下（0、1、2）にはそのままディザ処理を行い、階調値が4である場合は階調値から1引いた値（即ち、3）に対して通常のディザ処理を行い、階調値が6と7である場合は階調値から2引いた値（即ち、4、3）に対して通常のディザ処理を行い、さらに階調値が9以上であれば階調値から3引いた値に対して通常のディザ処理を行う。

【0058】

一方、階調値が12以上であれば(ステップS202; No)、ステップS210に進み、前述のものと同様な通常のディザ処理を行う。このときも、階調値が11以下の領域のデータに対して特殊なディザ処理を行ったので、階調値から3引いたものに対して通常のディザ処理を行う。

【0059】

なお、上記の例では、3階調分を含んだディザ行列による処理を階調値が0から11までの範囲に行うものを示したが、これに限定はしない。すなわち、第1実施例で述べたように、任意に設定した領域に同様の処理を行うことができる。

【0060】

(実施例2b)

次に、上述のものとは異なる他の実施例について説明する。実施例2aでは、所定の階調値である場合のみに特殊な処理を行ったが、実施例2bの方法では新たなディザ行列を用いて、一括にディザ処理を行うことができる。この新たなディザ行列を用いる場合も、所定領域内のデータに対してのみ行う。なお、実施例2aも実施例2bもディザ処理によって得られる結果は同じであり、図9に示したもののようになる。

【0061】

以下で、実施例2bに係る処理について、図11を用いて説明する。図11に、先に述べた新たに設定したディザ行列を示す。図11(a)は、256階調表現で階調値が6以下であるものに用いるディザ行列で、図11(b)は階調値が7以上のものに用いるディザ行列を示している。ここでは、図11(a)のディザ行列をテーブル1とし、図11(b)のものをテーブル2とする。これらのテーブルのブロック内に書かれた数字は、処理をする際の閾値となる。入力された階調値が閾値よりも大きければ、上位6ビットを表す階調値Nに1加えた階調値に変換し、大きくなければ、上位6ビットを表す階調値Nのままにしておく。

【0062】

実施例2bでは、さらに、テーブルのブロック内に閾値とは別の数字を設けている。図9において()内に書かれている数字がそれに当たり、この数字と入力された値が同じときには、特殊な処理を行う。テーブル1の場合は、()内の数字と重なったとき、その部分は(N+2)階調に変換する。例えば、2×2画素のブロックの右上の画素の階調値が3である場合、テーブル1の右上のブロックの()内に書かれた数字と重なることから、この部分が(N+2)階調に変換される。一方、テーブル2の場合は、()内の数字と重なったとき、その部分はN階調に変換する。例えば、2×2画素のブロックの右上の画素の階調値が8である場合、右上のブロックの()内に書かれた数字と重なることから、この部分がN階調に変換される。このようなディザ処理により、図9に示すように、256階調を64階調で擬似的に表現することができる。

【0063】

次に、実施例2bに係る処理のフローを図12を用いて説明する。ここでの処理は、入力された階調値が、テーブル1又は2を用いる所定領域内にあるかどうかと、所定領域内であればテーブル1とテーブル2のどちらを用いるべきか、とを判定する工程を有している。なお、これらの処理は、CPU216内のディザ処理部232が行うことができる。

【0064】

まず、ステップ301では、ディザ処理部232はビットスライス処理部231より、上位6ビットの画像データS1と、下位2ビットの画像データS2を取得する。次に、ステップS302では、その入力された画像データの階調値(256階調表現において)が11階調以下であるかどうかを判別する。階調値が11以下であれば(ステップS302; Yes)、ステップS303に進む。

【0065】

ステップS303では、その階調値が6以下であるかどうかを判定する。階調値が6以下であれば(ステップS303; Yes)、ステップS304に進み、先に述べたテーブル1を用いたディザ処理を行う。階調値が6以下でない場合は(ステップS303; No

10

20

30

40

50

)、ステップS 3 0 5に進み、テーブル2を用いたディザ処理を行う。

【0066】

一方、階調値が12以上であれば(ステップS 3 0 2; No)、ステップS 3 0 6に進み、通常のディザ処理を行う。このときは、階調値が11以下の領域のデータに対して特殊なディザ処理を行ったので、階調値から3を引いたものに対して通常のディザ処理を行う。

【0067】

なお、上記の例では、3階調分を含んだディザ行列による処理を階調値が0から11までの範囲に行うものを示したが、これに限定はしない。すなわち、第1実施例で述べたように、任意に設定した領域に上述の処理を行うことができる。

10

【図面の簡単な説明】

【0068】

【図1】本発明の実施例に係る画像処理を適用した携帯端末装置の概略構成を示す。

【図2】本実施例に係るディザ処理の概要を説明するための図である。

【図3】2×2のディザ行列の用いたディザ処理を説明する図である。

【図4】ディザ処理にて中間調を擬似的に補間して256階調を表現する例を示す。

【図5】実施例1aに係るディザ処理による補間方法を示した図である。

【図6】3×3のディザ行列を用いたディザ処理を説明する図である。

【図7】実施例1aに係るフローチャートを示した図である。

【図8】実施例1bに係るディザ処理による補間方法を示した図である。

20

【図9】第2実施例に係るディザ処理による補間方法を示した図である。

【図10】実施例2aに係るフローチャートを示した図である。

【図11】実施例2bに用いるディザ行列を示した図である。

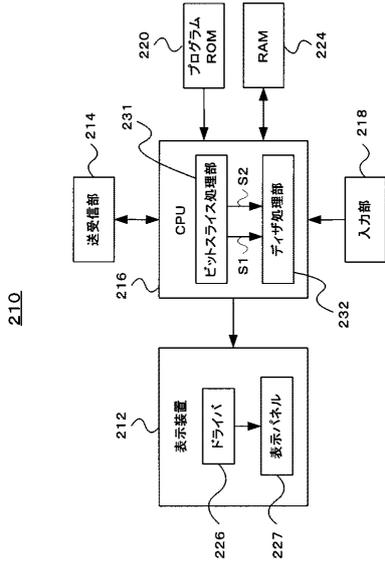
【図12】実施例2bに係るフローチャートを示した図である。

【符号の説明】

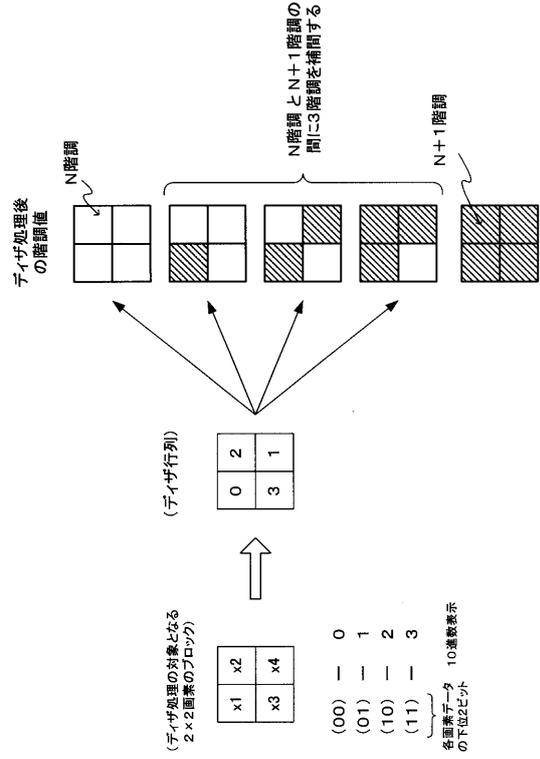
【0069】

210 携帯端末装置、 212 表示装置、 214 送受信部、 216 CPU、
218 入力部、 220 プログラムROM、 224 RAM 231 ビット
スライス処理部 231 ディザ処理部

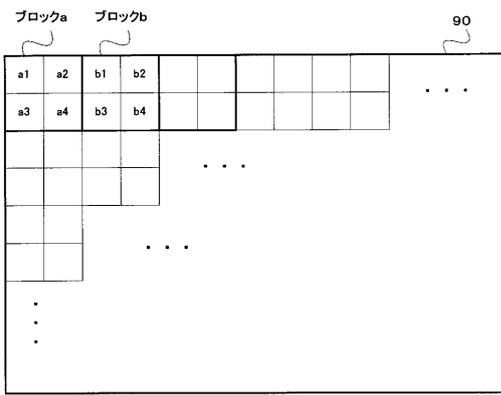
【図1】



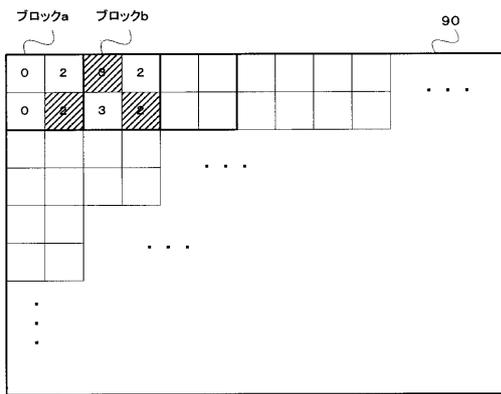
【図2】



【図3】

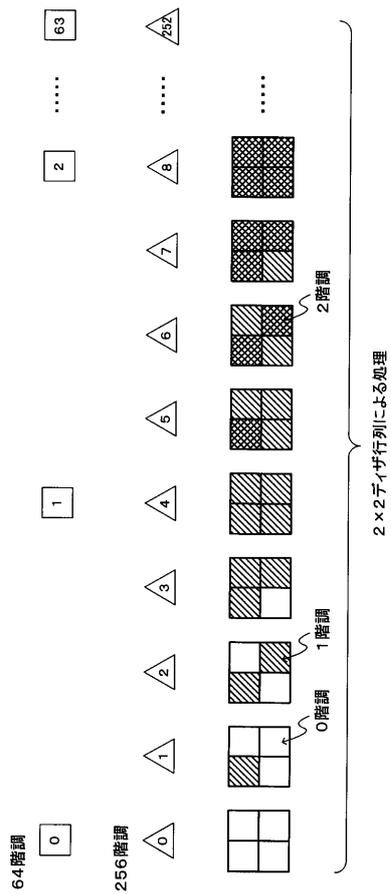


(a)

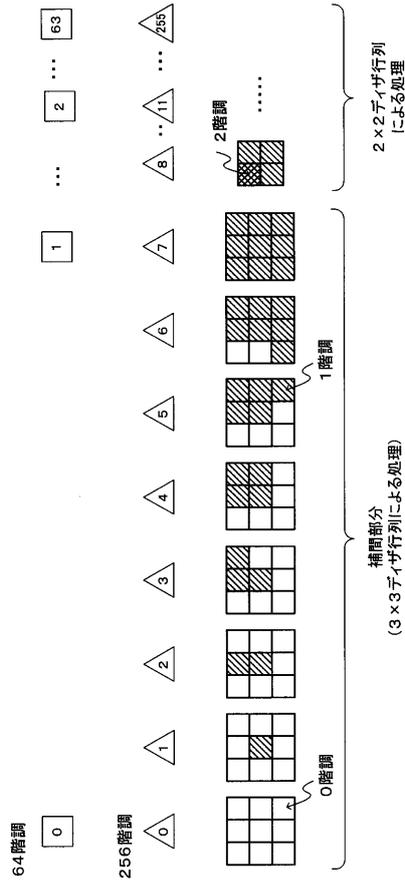


(b)

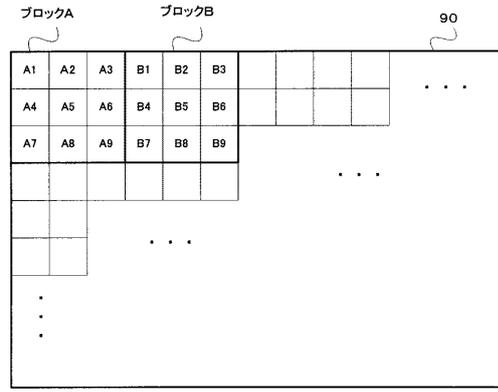
【図4】



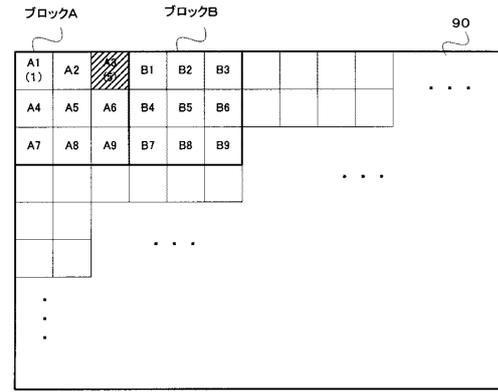
【図5】



【図6】

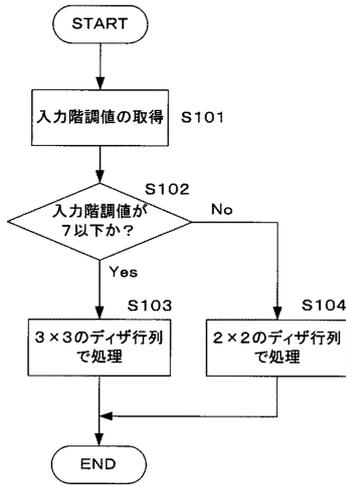


(a)

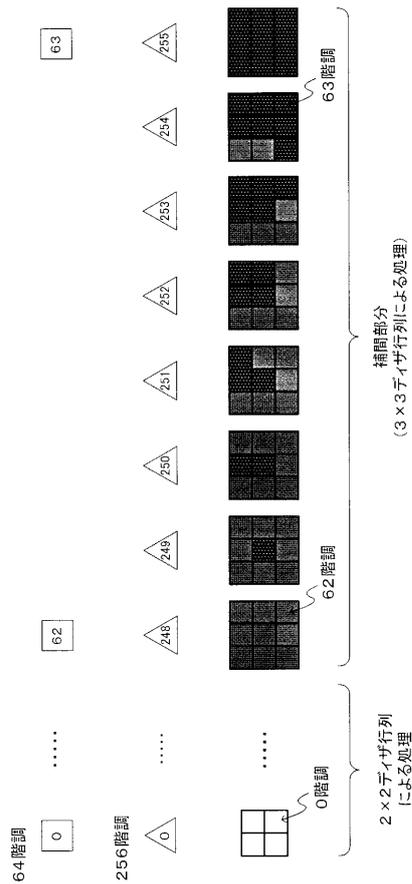


(b)

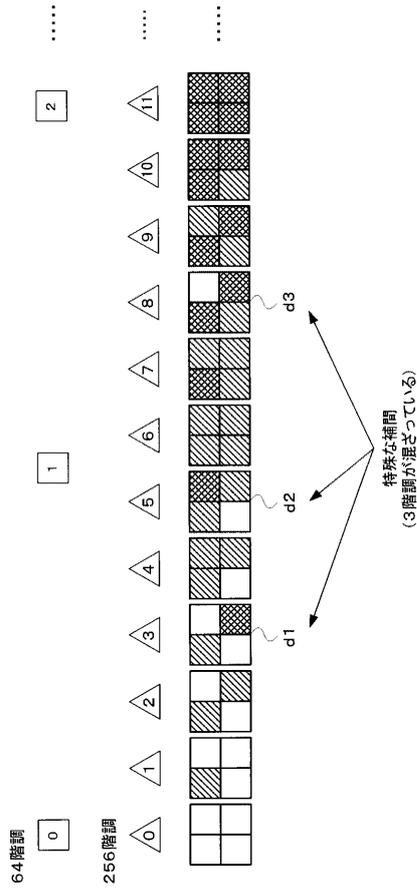
【図7】



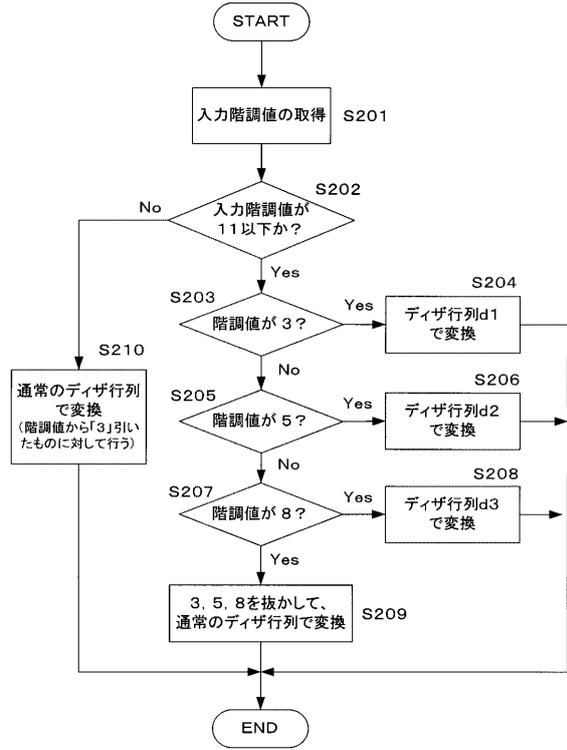
【図8】



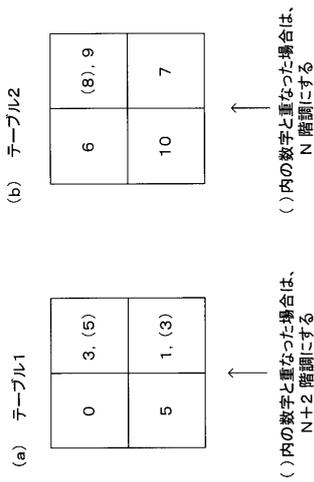
【図9】



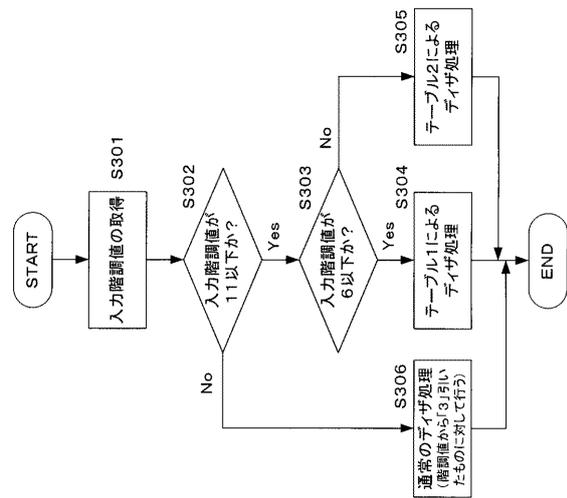
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/66 (2006.01) G 0 9 G 3/20 6 4 1 G
G 0 9 G 5/00 5 2 0 J
H 0 4 N 1/40 C
H 0 4 N 5/66 A

(56)参考文献 特開2000-148068(JP,A)
特開平01-214898(JP,A)
特開平06-083295(JP,A)
特開平06-332410(JP,A)
特開平09-050262(JP,A)
特開平01-267782(JP,A)
特開2004-126320(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3