



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I693716 B

(45)公告日：中華民國 109 (2020) 年 05 月 11 日

(21)申請案號：107141856

(22)申請日：中華民國 107 (2018) 年 11 月 23 日

(51)Int. Cl. : *H01L29/43 (2006.01)**H01L21/30 (2006.01)*

(71)申請人：世界先進積體電路股份有限公司 (中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣新竹科學工業園區園區三路 123 號

(72)發明人：陳志諺 CHEN, CHIH YEN (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW 201407787A

TW 201541636A

TW 201635522A

審查人員：黃淑萍

申請專利範圍項數：20 項 圖式數：4 共 32 頁

(54)名稱

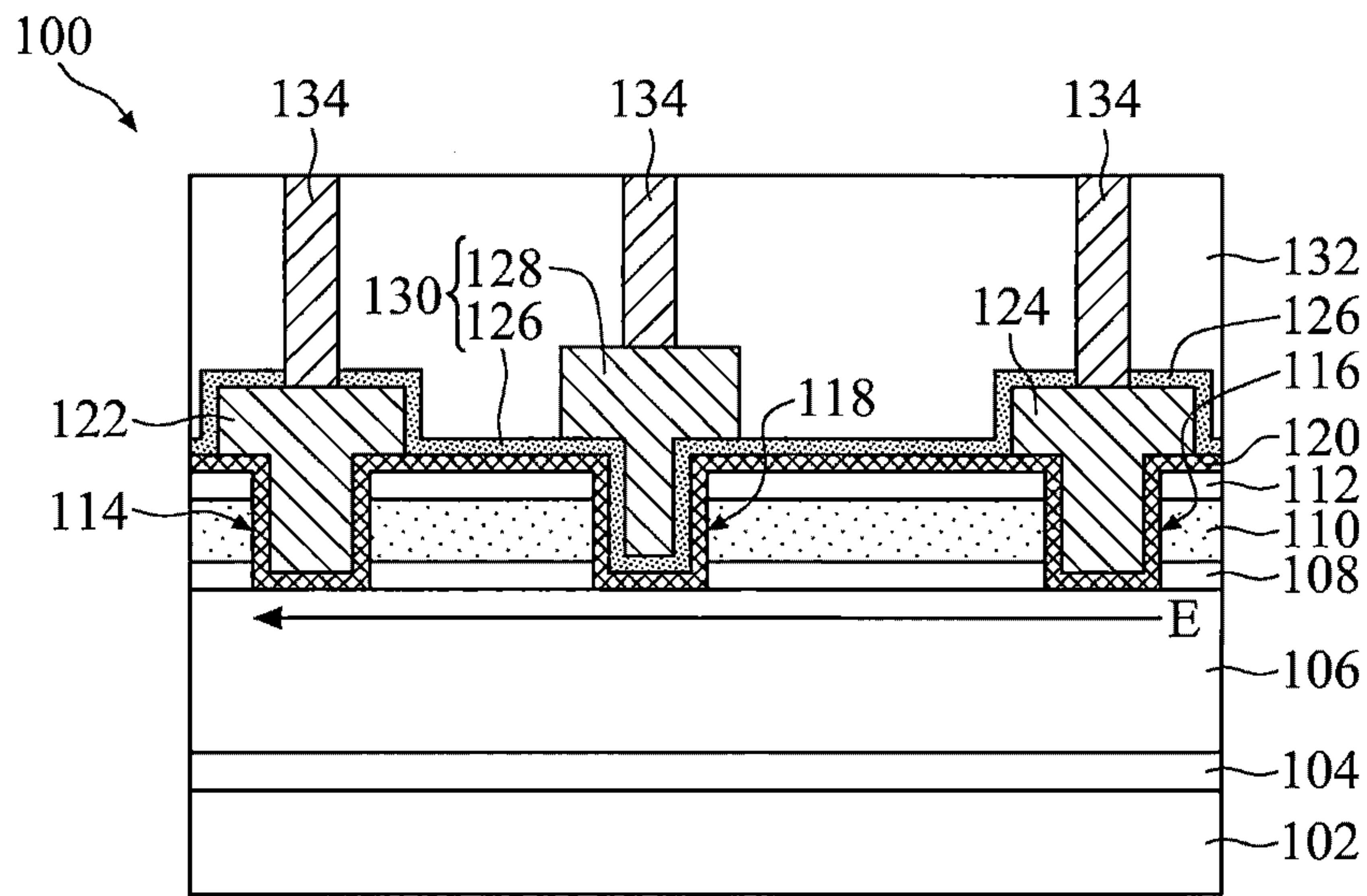
半導體裝置及其製造方法

(57)摘要

一種半導體裝置，包含通道層、第一阻障層、第二阻障層、源極電極、汲極電極、以及閘極結構。通道層、第一阻障層、第二阻障層依序堆疊於基底之上。源極電極、汲極電極、和閘極結構至少延伸穿過部分的第二阻障層。源極電極、汲極電極、和閘極結構具有位於大抵相同的水平高度且鄰近第一阻障層的各自底面。

A semiconductor device includes a channel layer, a first barrier layer, a second barrier layer, a source electrode, a drain electrode and a gate structure. The channel layer, the first barrier layer, the second barrier layer sequentially stacked over a substrate. The source electrode, a drain electrode and the gate structure at least extend through a portion of the second barrier layer. The source electrode, a drain electrode and the gate structure have respective bottom surfaces located at substantially the same level and adjacent to the first barrier layer.

指定代表圖：



第 2G 圖

符號簡單說明：

- 100 . . . 半導體裝置
- 102 . . . 基底
- 104 . . . 緩衝層
- 106 . . . 通道層
- 108 . . . 第一阻障層
- 110 . . . 第二阻障層
- 112 . . . 蓋層
- 114 . . . 源極凹陷
- 116 . . . 汲極凹陷
- 118 . . . 閘極凹陷
- 120 . . . 襯層
- 122 . . . 源極電極
- 124 . . . 汲極電極
- 126 . . . 介電層
- 128 . . . 閘極電極
- 130 . . . 閘極結構
- 132 . . . 層間介電層
- 134 . . . 接觸件

申請案號: 107141856

I693716

## 發明摘要

【發明名稱】 半導體裝置及其製造方法

SEMICONDUCTOR DEVICES AND METHODS  
FOR FABRICATING THE SAME

【中文】

一種半導體裝置，包含通道層、第一阻障層、第二阻障層、源極電極、汲極電極、以及閘極結構。通道層、第一阻障層、第二阻障層依序堆疊於基底之上。源極電極、汲極電極、和閘極結構至少延伸穿過部分的第二阻障層。源極電極、汲極電極、和閘極結構具有位於大抵相同的水平高度且鄰近第一阻障層的各自底面。

【英文】

A semiconductor device includes a channel layer, a first barrier layer, a second barrier layer, a source electrode, a drain electrode and a gate structure. The channel layer, the first barrier layer, the second barrier layer sequentially stacked over a substrate. The source electrode, a drain electrode and the gate structure at least extend through a portion of the second barrier layer. The source electrode, a drain electrode and the gate structure have respective bottom surfaces located at substantially the same level and adjacent to the first barrier layer.

【代表圖】

【本案指定代表圖】：第(2G)圖

【本代表圖之符號簡單說明】：

100~半導體裝置；

102~基底；

104~緩衝層；

106~通道層；

108~第一阻障層；

110~第二阻障層；

112~蓋層；

114~源極凹陷；

116~汲極凹陷；

118~閘極凹陷；

120~襯層；

122~源極電極；

124~汲極電極；

126~介電層；

128~閘極電極；

130~閘極結構；

132~層間介電層；

134~接觸件。

【本案若有化學式時，請揭露最能顯示發明特徵的化學式】：

無。

# 發明專利說明書

【發明名稱】 半導體裝置及其製造方法

SEMICONDUCTOR DEVICES AND METHODS  
FOR FABRICATING THE SAME

【技術領域】

【0001】 本發明是有關於半導體裝置，且特別是有關於高電子遷移率電晶體及其製造方法。

【先前技術】

【0002】 氮化鎵系(GaN-based)半導體材料具有許多優秀的材料特性，例如高抗熱性、寬能隙(band-gap)、高電子飽和速率。因此，氮化鎵系半導體材料適合應用於高速與高溫的操作環境。近年來，氮化鎵系半導體材料已廣泛地應用於發光二極體(light emitting diode, LED)元件、高頻率元件，例如具有異質界面結構的高電子遷移率電晶體(high electron mobility transistor, HEMT)。

【0003】 導通電阻( $R_{on}$ )為影響半導體裝置之耗電量的重要因素，其電阻值正比於半導體裝置的耗電量。導通電阻( $R_{on}$ )包含源極/汲極接觸電阻( $R_{contact}$ )以及通道電阻( $R_{channel}$ )。高電子遷移率電晶體(HEMT)具有高電子遷移率和高載子密度的二維電子氣(two-dimensional electron gas, 2DEG)形成於異質界面上，使得高電子遷移率電晶體(HEMT)具有低通道電阻( $R_{channel}$ )。而高電子遷移率電晶體(HEMT)的源極/汲極接觸電阻( $R_{contact}$ )大小將影響導通電阻( $R_{on}$ )的整體性能。

【0004】 隨著氮化鎵系半導體材料的發展，這些使用氮化

鎵系半導體材料的半導體裝置應用於更嚴苛工作環境中，例如更高頻、更高溫、或更高電壓。因此，具有氮化鎵系半導體裝置之製程條件也面臨許多新的挑戰。

**【發明內容】**

**【0005】** 本發明的一些實施例提供半導體裝置，此半導體裝置包含設置於基底之上的通道層、設置於通道層之上的第一阻障層、以及設置於第一阻障層之上的第二阻障層。此半導體裝置還包含至少延伸穿過部分的第二阻障層的源極電極、汲極電極、和介於源極電極與汲極電極之間的閘極結構。源極電極、汲極電極、和閘極結構具有位於大抵相同的水平高度且鄰近第一阻障層的各自底面。

**【0006】** 本發明的一些實施例提供半導體裝置的製造方法，此方法包含在基底之上依序形成通道層、第一阻障層、以及第二阻障層，凹蝕第二阻障層和第一阻障層，以形成至少穿過部分的第一阻障層的源極凹陷、汲極凹陷、和介於源極凹陷與汲極凹陷之間的閘極凹陷，以及在源極凹陷、汲極凹陷、和閘極凹陷中分別形成源極電極、汲極電極、和閘極結構。源極凹陷、汲極凹陷、和閘極凹陷具有位於大抵相同的水平高度的各自底面。

**【0007】** 為讓本發明之特徵和優點能更明顯易懂，下文特舉出一些實施例，並配合所附圖式，作詳細說明如下。

**【圖式簡單說明】**

**【0008】** 藉由以下詳細描述和範例配合所附圖式，可以更加理解本發明實施例。為了使圖式清楚顯示，圖式中各個不同

的元件可能未依照比例繪製，其中：

第1圖是根據本發明的一些實施例之半導體裝置於基底的不同區域的剖面示意圖。

第2A-2G圖是根據本發明的一些實施例，說明形成半導體裝置在各個不同製程階段的剖面示意圖。

第3和4圖是根據本發明的另一些實施例之半導體裝置的剖面示意圖。

#### 【實施方式】

**【0009】** 以下揭露提供了許多的實施例或範例，用於實施所提供的半導體裝置之不同元件。各元件和其配置的具體範例描述如下，以簡化本發明實施例之說明。當然，這些僅僅是範例，並非用以限定本發明實施例。舉例而言，敘述中若提及第一元件形成在第二元件之上，可能包含第一和第二元件直接接觸的實施例，也可能包含額外的元件形成在第一和第二元件之間，使得它們不直接接觸的實施例。此外，本發明實施例可能不同的範例中重複參考數字及/或字母。如此重複是為了簡明和清楚，而非用以表示所討論的不同實施例之間的關係。

**【0010】** 以下描述實施例的一些變化。在不同圖式和說明的實施例中，相似的元件符號被用來標明相似的元件。可以理解的是，在方法的前、中、後可以提供額外的步驟，且一些敘述的步驟可為了該方法的其他實施例被取代或刪除。

**【0011】** 請參考第1圖，第1圖是根據本發明的一些實施例之半導體裝置10A和半導體裝置10B於基底102的不同區域的剖面示意圖。在此實施例中，半導體裝置10A和10B為高電子

遷移率電晶體 (HEMT)。

【0012】 請參考第1圖，提供基底12，基底12包含多個區域，例如，第一區50A和第二區50B。儘管未顯示，基底12可包含任何其他區域。在基底12上依序形成緩衝層14、通道層16、和阻障層18。通道層16與阻障層18之間的異質界面可產生二維電子氣 (2DEG)，以做為半導體裝置10A和10B的導電載子。在一些實施例中，通道層16的材料可以是二元(binary)III-V族化合物半導體，例如 GaN。阻障層18的材料可以是三元(ternary)III-V族化合物半導體，例如 AlGaN。一般而言，二維電子氣 (2DEG) 存在於平行於異質界面的橫向方向上，而幾乎不存在於垂直於異質界面的縱向方向上。

【0013】 接著，透過第一蝕刻製程，形成源極凹陷20A和汲極凹陷22A於第一區50A中，以及源極凹陷20B和汲極凹陷22B於第二區50B中。源極凹陷20A、20B和汲極凹陷22A、22B穿過阻障層18，並且延伸至通道層16中。第一區50A中的源極凹陷20A和汲極凹陷22A具有第一蝕刻深度D1，而第二區50B中的源極凹陷20B和汲極凹陷22B具有第一蝕刻深度D1'。在基底12之不同區域的蝕刻深度具有一定程度的變異(即蝕刻深度均勻度)，例如，第一區50A中的第一蝕刻深度D1可能不等於第二區中50B的第一蝕刻深度D1'，這主要取決於蝕刻製程的能力。

【0014】 接著，在源極凹陷20A和汲極凹陷22A中分別形成源極電極26A和汲極電極28A，並且在源極凹陷20B和汲極凹陷22B中分別形成源極電極26B和汲極電極28B。

【0015】 接著，透過第二蝕刻製程，形成閘極凹陷24A於第



一區 50A 中，以及閘極凹陷 24B 於第二區 50B 中。閘極凹陷 24A 和 24B 穿過阻障層 18，並且延伸至通道層 16 中。第一區 50A 的閘極凹陷 24A 具有第二蝕刻深度  $D_2$ ，而第二區 50B 的閘極凹陷 24B 具有第二蝕刻深度  $D_2'$ 。相似地，第一區 50A 中的第二蝕刻深度  $D_2$  可能不等於第二區 50B 中的第二蝕刻深度  $D_2'$ 。

【0016】 接著，在閘極凹陷 24A 中形成閘極結構 30A，並且在閘極凹陷 24B 中形成閘極結構 30B。在形成閘極結構 30A 和 30B 之後，形成了半導體裝置 10A 和 10B。

【0017】 值得注意的是，當半導體裝置操作時，電流  $E$  或  $E'$  自汲極電極流向源極電極。二維電子氣 (2DEG) 幾乎不存在於電流  $E$  或  $E'$  的縱向路徑上 (虛線表示)，這導致半導體裝置的汲極與源極的接觸電阻 ( $R_c$ ) 增加，連帶導致半導體裝置的整體導通電阻 ( $R_{on}$ ) 增加。

【0018】 再者，源極凹陷和汲極凹陷由第一蝕刻製程形成，而閘極凹陷由第二蝕刻製程形成，使得所形成的源極、汲極電極的底面與閘極電極的底面可能無法位於相同的水平高度上。底面的水平高度差異造成了通道耦合 (channel coupling) 效應，進一步使半導體裝置的通道電阻 ( $R_{channel}$ ) 增加。再者，兩道蝕刻製程具有各自的蝕刻均勻度，這導致不同區域的半導體裝置 (例如，半導體裝置 10A 與半導體裝置 10B) 之間之通道電阻 ( $R_{channel}$ ) 的差異增加，進而降低半導體裝置的製造穩定性。

【0019】 第 2A-2G 圖是根據本發明的一些實施例，說明形成第 2G 圖所示之半導體裝置 100 在各個不同製程階段的剖面示意圖。在第 2A-2G 圖的實施例中，透過一道蝕刻製程同時形成源

極凹陷、汲極凹陷、和閘極凹陷，以具有位於大抵相同的水平高度的各自底面。因此，避免了通道耦合(channel coupling)效應，而降低半導體裝置的通道電阻( $R_{\text{channel}}$ )，並且降低不同區域的半導體裝置之間之通道電阻( $R_{\text{channel}}$ )的差異。

【0020】 請參考第2A圖，提供基底102。在一些實施例中，基底102可以是摻雜的(例如以p型或n型摻雜物進行摻雜)或未摻雜的半導體基底，例如矽基底、矽鍺基底、或類似半導體基底。在一些實施例中，基底102可以是半導體位於絕緣體之上的基底，例如絕緣層上的矽(silicon on insulator, SOI)基底。在一些實施例中，基底102可以是玻璃基底或陶瓷基底，例如碳化矽(SiC)基底、氮化鋁(AlN)基底、或藍寶石(Sapphire)基底。

【0021】 在基底102之上依序形成緩衝層104、通道層106、第一阻障層108、第二阻障層110、以及蓋層112。在一些實施例中，在基底102與緩衝層104之間可形成晶種層(未顯示)。

【0022】 緩衝層104可減緩後續形成於緩衝層104上方的通道層106的應變(strain)，以防止缺陷形成於通道層106中，應變是由通道層106與基底102之間的不匹配造成。在一些實施例中，緩衝層104的材料可包含或者是AlN、GaN、AlGaN、AlInN、前述之組合、或類似材料。緩衝層104可由磊晶成長製程形成，例如金屬有機化學氣相沉積(MOCVD)、氫化物氣相磊晶法(HVPE)、分子束磊晶法(MBE)、前述之組合、或類似方法。儘管在第1A圖所示的實施例中，緩衝層104為單層結構，然而緩衝層104也可以是多層結構。此外，在一些實施例中，緩衝層104的材料是由晶種層的材料和磊晶製程時通入的氣體所決

定。

**【0023】** 在一些實施例中，通道層106的材料可包含二元(binary)III-V族化合物半導體材料，例如，III族氮化物。在一些實施例中，通道層106的材料是GaN。在一些實施例中，通道層106的厚度可在約0.01微米( $\mu\text{m}$ )至約10微米的範圍內。在一些實施例中，通道層106可具有摻雜物，例如n型摻雜物或p型摻雜物。通道層106可由磊晶成長製程形成，例如金屬有機化學氣相沉積(MOCVD)、氮化物氣相磊晶法(HVPE)、分子束磊晶法(MBE)、前述之組合、或類似方法。

**【0024】** 在一些實施例中，第一阻障層108的材料可包含二元(binary)III-V族化合物半導體材料，例如氮化鋁( $\text{AlN}$ )。在一些實施例中，第一阻障層108可由磊晶成長製程形成，例如金屬有機化學氣相沉積(MOCVD)、氮化物氣相磊晶法(HVPE)、分子束磊晶法(MBE)、前述之組合、或類似方法。在一些實施例中，第一阻障層108的厚度在約0.5奈米( $\text{nm}$ )至約10奈米的範圍內，例如2奈米。第一阻障層108亦可作為蝕刻停止層，此部分將於後續說明。

**【0025】** 在一些實施例中，第二阻障層110的材料可包含三元(ternary)III-V族化合物半導體，例如，III族氮化物。在一些實施例中，第二阻障層110的材料可以是AlGaN、AlInN、或前述之組合。在一些實施例中，第二阻障層110可具有摻雜物，例如n型摻雜物或p型摻雜物。第二阻障層110可由磊晶成長製程形成，例如金屬有機化學氣相沉積(MOCVD)、氮化物氣相磊晶法(HVPE)、分子束磊晶法(MBE)、前述之組合、或類似方法

。在一些實施例中，第二阻障層110的厚度大於第一阻障層108的厚度，並且第二阻障層110的厚度在約1奈米至約80奈米的範圍內。

**【0026】** 透過通道層106與第一和第二阻障層108和110之間不同能帶所引發之自發性極化及壓電極化效應，形成二維電子氣(2DEG)(未顯示)於通道層106與第一阻障層108之間的異質界面上。如第2G圖所示之半導體裝置100是利用二維電子氣(2DEG)作為導電載子的高電子遷移率電晶體(HEMT)。此外，相較於三元三五族化合物半導體，第一阻障層108的材料選擇二元三五族化合物半導體可引起較低的合金散射(alloy scattering)，可形成二維電子氣(2DEG)具有較高的電子遷移率，以降低半導體裝置的通道電阻( $R_{\text{channel}}$ )。

**【0027】** 在一些實施例中，蓋層112的材料可包含或者是氮化鎵(GaN)，例如未摻雜的氮化鎵。在一些實施例中，於第二阻障層110上設置蓋層112可用以防止含有鋁(Al)的第二阻障層110的表面氧化。在一些實施例中，蓋層112的厚度在約1奈米至約100奈米的範圍內。在一些實施例中，蓋層112可由磊晶成長製程形成，例如金屬有機化學氣相沉積(MOCVD)、氫化物氣相磊晶法(HVPE)、分子束磊晶法(MBE)、前述之組合、或類似方法。

**【0028】** 在一些實施例中，可於相同的沉積腔室中原位(in-situ)沉積緩衝層104、通道層106、第一阻障層108、第二阻障層110、以及蓋層112。

**【0029】** 接著，對蓋層112、第二阻障層110、和第一阻障

層 108 執行圖案化製程。

【0030】 請參考第 2B 圖，透過圖案化製程凹蝕蓋層 112、第二阻障層 110、和第一阻障層 108，以形成穿過蓋層 112、第二阻障層 110、和第一阻障層 108 的源極凹陷 114、汲極凹陷 116、和閘極凹陷 118，閘極凹陷 118 介於源極凹陷 114 與汲極凹陷 116 之間。在圖案化製程之後，源極凹陷 114、汲極凹陷 116、和閘極凹陷 118 暴露出通道層 106 之部分的上表面。

【0031】 在一些實施例中，對蓋層 112、第二阻障層 110、和第一阻障層 108 執行的圖案化製程包含在蓋層 112 之上形成圖案化遮罩層(未顯示)，其中圖案化遮罩層具有開口暴露出蓋層 112 之部分上表面，通過圖案化遮罩層的開口對蓋層 112、第二阻障層 110、和第一阻障層 108 執行蝕刻製程，移除蓋層 112、第二阻障層 110、和第一阻障層 108 未被圖案化遮罩層覆蓋的部分，以同時形成源極凹陷 114、汲極凹陷 116、和閘極凹陷 118，之後移除圖案化遮罩層，例如透過灰化(ashing)製程或剝除製程。在一些實施例中，蝕刻製程可以是乾式蝕刻製程，例如反應性離子蝕刻(reactive ion etch, RIE)、電子迴旋共振式(electron cyclotron resonance, ERC)蝕刻、感應耦合式電漿(inductively-coupled plasma, ICP)蝕刻、中子束蝕刻(neutral beam etch, NBE)、前述之組合、或類似乾式蝕刻製程。

【0032】 在本發明實施例中，透過一道蝕刻製程同時形成源極凹陷 114、汲極凹陷 116、和閘極凹陷 118，使得源極凹陷 114、汲極凹陷 116、和閘極凹陷 118 可具有大抵相同的水平高度的各自底面。

【0033】 在此，「大抵相同的水平高度」之用語表示這些凹陷 114、116、118 之底面的水平高度差異在 2 奈米的範圍內、或 1 奈米的範圍內、或 0.5 奈米的範圍內。或者，「大抵相同的水平高度」之用語表示這些凹陷 114、116、118 之底面的水平高度差異為凹陷 114 之深度的在 5%以內。

【0034】 第一阻障層 108 可作為蝕刻停止層。舉例而言，在一些實施例中，第一阻障層 108 包含氮化鋁 (AlN)，第二阻障層 110 包含氮化鎵鋁 (AlGaIn)。在蝕刻製程中，第二阻障層 110 相較於第一阻障層 108 具有較高的蝕刻速度。舉例而言，在以  $\text{Cl}_2$  或  $\text{SF}_6$  作為蝕刻劑執行的蝕刻製程中，第二阻障層 110 的蝕刻速率對第一阻障層 108 的蝕刻速率的比值為約 1.5 至約 50 的範圍內。第一阻障層 108 減緩蝕刻製程的蝕刻速率，以控制源極凹陷 114、汲極凹陷 116、和閘極凹陷 118 之底面停止的位置。因此，蝕刻製程之後，源極凹陷 114、汲極凹陷 116、和閘極凹陷 118 剛好穿過第一阻障層 108，但未延伸至通道層 106 中。換言之，源極凹陷 114、汲極凹陷 116、和閘極凹陷 118 的各自底面的水平高度等於第一阻障層 108 的底面的水平高度。

【0035】 儘管第 2B 圖的實施例顯示這些凹陷 114、116、118 剛好穿過第一阻障層 108，但未延伸至通道層 106 中，但本發明實施例並不以此為限。在另一些實施例中，這些凹陷 114、116、118 可些許延伸至通道層 106 中 (如第 3 圖所示)。在另一些實施例中，這些凹陷 114、116、118 可僅穿過部分的第一阻障層 108，而未暴露出通道層 106 (如第 4 圖所示)。

【0036】 請參考第 2C 圖，在蓋層 112 的上表面上且在源極凹

陷 114、汲極凹陷 116、和閘極凹陷 118 中順應性地 (conformally) 形成襯層 120。襯層 120 順應性地形成於源極凹陷 114 的底面和側壁上、汲極凹陷 116 的底面和側壁上、和閘極凹陷 118 的底面和側壁上，並且部分填充源極凹陷 114、汲極凹陷 116、和閘極凹陷 118。在一些實施例中，襯層 120 的厚度可在約 0.5 奈米至約 4 奈米的範圍內，例如 2 奈米。在一些實施例中，襯層 120 的材料可包含或者是六方晶系 (hexagonal crystal) 的二元 (binary) 化合物半導體，例如，氮化鋁 (AlN)、氧化鋅 (ZnO)、氮化銦 (InN)、前述之組合、或類似材料，並且可透過原子層沉積 (ALD) 或磊晶成長製程，例如金屬有機化學氣相沉積 (MOCVD)，在基底 102 之上全面地形成襯層 120。

**【0037】** 請參考第 2D 圖，在源極凹陷 114 和汲極凹陷 116 的各自剩餘部分中形成源極電極 122 和汲極電極 124 於襯層 120 上。源極電極 122 具有位於蓋層 112 之上表面上方的上部，以及位於源極凹陷 114 中的下部。汲極電極 124 具有位於蓋層 112 之上表面上方的上部。以及位於汲極凹陷 116 中的下部。

**【0038】** 在一些實施例中，源極和汲極電極 122 和 124 的材料可包含或者是導電材料，例如金屬、金屬矽化物、半導體材料、或前述之組合。金屬可以是金 (Au)、鎳 (Ni)、鉑 (Pt)、鈀 (Pd)、銱 (Ir)、鈦 (Ti)、鉻 (Cr)、鎢 (W)、鋁 (Al)、銅 (Cu)、氮化鈦 (TiN)、前述之組合、前述之合金、或前述之多層。半導體材料可以是多晶矽或多晶鍺。在一些實施例中，形成源極和汲極電極 122 和 124 的步驟可包含沉積用於源極和汲極電極 122 和 124 的導電材料 (未顯示) 於基底 102 之上且填入源極凹陷 114 和汲極凹陷

116的剩餘部分中，以及對導電材料執行圖案化製程，以形成源極和汲極電極122和124。形成導電材料的沉積製程可以是原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)，例如濺鍍、前述之組合、或類似製程。

**【0039】** 請參考第2E圖，在閘極凹陷118的剩餘部分中順應性地形成介電層126於襯層120上，以作為閘極介電層。介電層126還形成於蓋層112之上表面上方的襯層120上。介電層126還形成於源極電極122的上表面和側壁、以及汲極電極124的上表面和側壁上。在一些實施例中，介電層126的材料可包含或者是氧化矽( $\text{SiO}_2$ )、氮化矽( $\text{SiN}$ )、氧化鋁( $\text{Al}_2\text{O}_3$ )、氮化鋁( $\text{AlN}$ )、氧化鈺( $\text{HfO}_2$ )、前述之組合、前述之多層、或類似材料，並且可透過原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)，例如濺鍍，在基底102之上全面地形成介電層126。

**【0040】** 請參考第2F圖，在閘極凹陷118的剩餘部分中形成閘極電極128於介電層126上。閘極電極128具有位於蓋層112之上表面上方的上部，以及位於閘極凹陷118中的下部。閘極電極128與介電層126共同作為閘極結構130。在一些實施例中，閘極電極128的材料可包含或者是導電材料，例如金屬、金屬矽化物、半導體材料、或前述之組合。金屬可以是金(Au)、鎳(Ni)、鉑(Pt)、鈀(Pd)、銱(Ir)、鈦(Ti)、鉻(Cr)、鎢(W)、鋁(Al)、銅(Cu)、氮化鈦(TiN)、前述之組合、前述之合金、或前述之多層。半導體材料可以是多晶矽或多晶鍺。形成閘極電極128的步驟可包含在基底102之上沉積用於閘極電極128的導電材料層(未顯示)，以及對導電材料層執行圖案化製程，以形成閘極



電極 128。形成導電材料的沉積製程可以是原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)，例如濺鍍、前述之組合、或類似製程。

**【0041】** 請參考第 2G 圖，在基底 102 之上形成層間介電層(inter layer dielectric, ILD)132，並且層間介電層 132 覆蓋閘極結構 130、源極電極 122、和汲極電極 124。接著，在層間介電層 132 中形成多個接觸件 134，這些接觸件 134 分別與閘極結構 130、源極電極 122 和汲極電極 124 電性連接。

**【0042】** 在一些實施例中，層間介電層 132 的材料可以是氧化矽、氮化矽、氮氧化矽、氧化鋁、前述之組合、前述之多層、或類似材料。可透過化學氣相沉積(CVD)，例如電漿增強化學氣相沉積(plasma-enhanced CVD, PECVD)、原子層沉積(ALD)、或類似方法，在基底 102 之上全面地形成層間介電層 132。

**【0043】** 在一些實施例中，接觸件 134 的材料可以是金屬材料，例如金(Au)、鎳(Ni)、鉑(Pt)、鈀(Pd)、銱(Ir)、鈦(Ti)、鉻(Cr)、鎢(W)、鋁(Al)、銅(Cu)、前述之組合、或前述之多層。形成接觸件 134 的步驟可包含透過圖案化製程形成各自對應於源極電極 122、汲極電極 124、和閘極電極 128 的多個開口(未顯示)，其穿過層間介電層 132 以及源極電極 122、汲極電極 124 之上的介電層 126，並且暴露出源極電極 122、汲極電極 124、和閘極電極 128 之部分上表面，沉積金屬材料(未顯示)於層間介電層 132 上且填入這些開口，以及執行例如化學機械研磨(chemical mechanical polish, CMP)的平坦化製程，移除金屬材料在層間介電層 132 上方的部分。

【0044】 在形成層間介電層 132 和接觸件 134 之後，形成了半導體裝置 100。半導體裝置 100 也可稱作金屬絕緣體半導體型場效電晶體 (metal-insulator-semiconductor field effect transistor, MIS-FET)。

【0045】 在第 2A-2G 圖所示的實施例中，半導體裝置 100 包含依序堆疊於基底 102 之上的通道層 106、第一阻障層 108、以及第二阻障層 110。半導體裝置 100 還包含源極電極 122、汲極電極 124、和介於源極電極 122 與汲極電極 124 之間的閘極結構 130。源極電極 122、汲極電極 124、和閘極結構 130 至少延伸穿過部分的第二阻障層 110。源極電極 122、汲極電極 124、和閘極結構 130 具有位於大抵相同的水平高度的各自底面。半導體裝置 100 還包含襯層 120，其順應性地設置於源極電極 122、汲極電極 124、和閘極結構 130 的各自下部上。襯層 120 的底面的水平高度等於第一阻障層 108 的底面的水平高度。

【0046】 在第 2A-2G 圖所示的實施例中，用於形成源極電極 122、汲極電極 124、和閘極結構 130 的凹陷 114、116 和 118 穿過第一和第二阻障層 108 和 110，使得第一阻障層 108 與通道層 106 之間的異質界面不存在於此區域中，而減少或消滅了所形成之源極電極 122、汲極電極 124、和閘極結構 130 下方的二維電子氣 (2DEG)。值得注意的是，由於襯層 120 包含六方晶系二元化合物半導體，並且襯層 120 形成於源極電極 122、汲極電極 124、和閘極結構 130 之底部與通道層 106 之間，故襯層 120 與通道層 106 之間可引發自發性極化及壓電極化效應，以回復因前述異質界面消失所減少的二維電子氣 (2DEG)。因此，襯層 120 可作

為二維電子氣回復(2DEG recovery)層，以改善源極電極122和汲極電極124與通道層106之間的接觸電阻( $R_{\text{contact}}$ )，且改善閘極結構130下方的導通電阻( $R_{\text{on}}$ )。

【0047】 此外，在第2A-2G圖所示的實施例中，透過一道蝕刻製程同時形成源極凹陷114、汲極凹陷116、和閘極凹陷118，這降低不同區域的半導體裝置之間之通道電阻( $R_{\text{channel}}$ )的差異，進而提升半導體裝置的製造穩定性。再者，減少一道圖案化製程來形成閘極凹陷，不僅提升半導體裝置的製造效率，也降低化學品(例如圖案化製程中的光阻或顯影劑)對於閘極結構的傷害，進而提升半導體裝置100的效能。

【0048】 再者，源極凹陷114、汲極凹陷116、和閘極凹陷118具有位於大抵相同的水平高度的各自底面，這避免了第1圖所述之通道耦合(channel coupling)效應，而降低半導體裝置的通道電阻( $R_{\text{channel}}$ )，進而提升半導體裝置100的效能。

【0049】 再者，在通道層106和第二阻障層110之間設置第一阻障層108以作為蝕刻停止層，使得源極凹陷114、汲極凹陷116、和閘極凹陷118的這些各自底面的水平高度等於第一阻障層108的底面的水平高度。因此，當半導體裝置100操作時，自汲極電極124流向源極電極122的電流E可以是與異質界面平行的水平路徑，而幾乎不具有與異質界面垂直的縱向路徑，這進一步降低半導體裝置100的通道電阻( $R_{\text{channel}}$ )。

【0050】 第2A-2G圖所示之實施例為一範例，本發明之實施例並不以此為限。除上述第2A-2G圖所示之實施例以外，本發明實施例的方法亦可應用於其他半導體裝置。

【0051】 第3圖是根據本發明的另一些實施例之半導體裝置200的剖面示意圖，其中相同於前述第2A-2G圖的實施例的部件係使用相同的標號並省略其說明。第3圖所示之實施例與前述第2G圖之實施例的差別在於，第3圖中位於源極凹陷114、汲極凹陷116、和閘極凹陷118中之襯層120，其底面的水平高度低於第一阻障層108的底面的水平高度。

【0052】 請參考第3圖，透過與前述第2B圖相似的圖案化製程，凹蝕蓋層112、第二阻障層110、第一阻障層108、和通道層106，以形成源極凹陷114、汲極凹陷116、和閘極凹陷118，其穿過蓋層112、第二阻障層110、和第一阻障層108，且更延伸至通道層106中至尺寸D3，例如在約1奈米至約50奈米的範圍內。

【0053】 在第3圖的實施例中，源極凹陷114、汲極凹陷116、和閘極凹陷118的這些各自底面的水平高度些許低於第一阻障層108的底面的水平高度。因此，當半導體裝置200操作時，自汲極電極124流向源極電極122的電流E具有與異質界面垂直的縱向路徑，使得半導體裝置200的通道電阻( $R_{channel}$ )略高於第2G圖所示之半導體裝置100的通道電阻。然而，蝕刻製程將凹陷114、116和118延伸至通道層106中以產生較深的蝕刻深度，使得基底102之不同區域的凹陷114、116和118之間可具有較佳的蝕刻深度均勻度(即均勻度的數值較低)。較佳的蝕刻深度均勻度可降低半導體裝置在基底102之不同區域之間通道電阻( $R_{channel}$ )的差異，進而提升半導體裝置的製造穩定性。

【0054】 第4圖是根據本發明的另一些實施例之半導體裝

置300的剖面示意圖，其中相同於前述第2A-2G圖的實施例的部件係使用相同的標號並省略其說明。第4圖所示之實施例與前述第2G圖之實施例的差別在於，第4圖中位於源極凹陷114、汲極凹陷116、和閘極凹陷118中之襯層120，其底面的水平高度高於第一阻障層108的底面的水平高度。詳細而言，凹陷114、116和118之底面的水平高度介於第一阻障層108的底面與上表面之間。

**【0055】** 請參考第4圖，透過與前述第2B圖相似的圖案化製程，凹蝕蓋層112、第二阻障層110、和第一阻障層108，以形成源極凹陷114、汲極凹陷116、和閘極凹陷118，其穿過蓋層112、第二阻障層110和部分的第一阻障層108。這些凹陷114、116和118的底面停止於第一阻障層108中，並且第一阻障層108在這些凹陷114、116和118下方的部分具有尺寸D4，例如在約0.5奈米至約5奈米的範圍內。在圖案化製程的蝕刻製程之後，源極凹陷114、汲極凹陷116、和閘極凹陷118的底面高於第一阻障層108的底面的水平高度。

**【0056】** 綜上所述，在本發明實施例中，透過一道蝕刻製程同時形成源極凹陷、汲極凹陷、和閘極凹陷，以具有位於大抵相同的水平高度的各自底面。因此，避免了通道耦合效應，而降低半導體裝置的通道電阻( $R_{channel}$ )，並且降低不同區域的半導體裝置之間之通道電阻( $R_{channel}$ )的差異。

**【0057】** 此外，在本發明實施例中，設置於源極電極、汲極電極、和閘極電極之底部上的襯層可回復或提升源極電極、汲極電極和閘極電極下方的二維電子氣(2DEG)，因而降低半導

體裝置的導通電阻( $R_{on}$ )和通道電阻( $R_{channel}$ )。

**【0058】** 以上概述數個實施例，以便在本發明所屬技術領域中具有通常知識者可以更理解本發明實施例的觀點。在本發明所屬技術領域中具有通常知識者應該理解，他們能以本發明實施例為基礎，設計或修改其他製程和結構，以達到與在此介紹的實施例相同之目的及/或優勢。在本發明所屬技術領域中具有通常知識者也應該理解到，此類等效的製程和結構並無悖離本發明的精神與範圍，且他們能在不違背本發明之精神和範圍之下，做各式各樣的改變、取代和替換。

**【符號說明】**

**【0059】**

10A、10B、100、200、300~半導體裝置；

12、102~基底；

14、104~緩衝層；

16、106~通道層；

18~阻障層；

20A、20B、114~源極凹陷；

22A、22B、116~汲極凹陷；

24A、24B、118~閘極凹陷；

26A、26B、122~源極電極；

28A、28B、124~汲極電極；

30A、30B、130~閘極結構；

50A~第一區；

50B~第二區；

第 107141856 號專利說明書修正頁

108~第一阻障層；

110~第二阻障層；

112~蓋層；

120~襯層；

126~介電層；

128~閘極電極；

132~層間介電層；

134~接觸件；

D1、D1'~第一蝕刻深度

D2、D2'~第二蝕刻深度

D3、D4~尺寸。

## 申請專利範圍

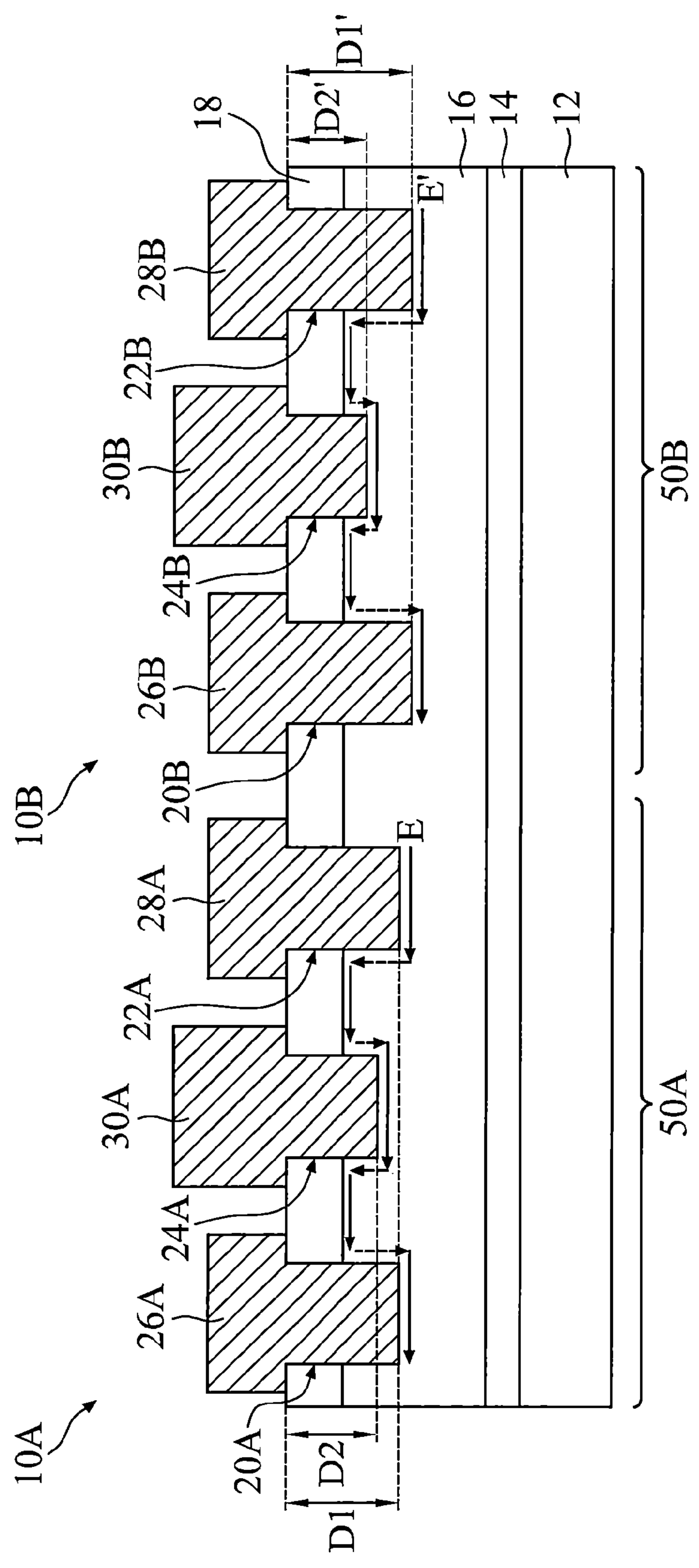
1. 一種半導體裝置，包括：
  - 一通道層，設置於一基底之上；
  - 一第一阻障層，設置於該通道層之上；
  - 一第二阻障層，設置於該第一阻障層之上；
  - 一源極電極、一汲極電極、和介於該源極電極與該汲極電極之間的一閘極結構，至少延伸穿過部分的該第二阻障層，其中該源極電極、該汲極電極、和該閘極結構具有位於大抵相同的水平高度且鄰近該第一阻障層的各自底面；以及
  - 一襯層，順應性地設置於該源極電極、該汲極電極、和該閘極結構的各自下部上。
2. 如申請專利範圍第1項所述之半導體裝置，其中該襯層的底面的水平高度等於、或低於該第一阻障層的底面的水平高度。
3. 如申請專利範圍第1項所述之半導體裝置，其中該襯層的底面的水平高度高於該第一阻障層的底面的水平高度。
4. 如申請專利範圍第1項所述之半導體裝置，其中該襯層的底面的水平高度介於該第一阻障層的底面與上表面之間。
5. 如申請專利範圍第1項所述之半導體裝置，其中該襯層更形成於該第二阻障層的上表面之上。
6. 如申請專利範圍第1項所述之半導體裝置，其中該襯層的材料包含六方晶系(hexagonal crystal)的二元化合物半導體。
7. 如申請專利範圍第6項所述之半導體裝置，其中該二元化合物半導體包含氮化鋁(AlN)、氧化鋅(ZnO)或氮化銾(InN)。



- 8.如申請專利範圍第1項所述之半導體裝置，其中該閘極結構包括：
- 一介電層；以及
  - 一閘極電極，設置於該介電層上，其中該介電層介於該襯層與該閘極電極之間。
- 9.如申請專利範圍第8項所述之半導體裝置，其中該介電層更設置於該源極電極的上表面和側壁、以及該汲極電極的上表面和側壁上。
- 10.如申請專利範圍第1項所述之半導體裝置，其中該第一阻障層的材料為氮化鋁(AIN)。
- 11.一種半導體裝置的製造方法，包括：
- 在一基底之上依序形成一通道層、一第一阻障層、以及一第二阻障層；
  - 凹蝕該第二阻障層和該第一阻障層，以同時形成至少穿過部分的該第一阻障層的一源極凹陷、一汲極凹陷、和介於該源極凹陷與該汲極凹陷之間的一閘極凹陷，其中該源極凹陷、該汲極凹陷、和該閘極凹陷具有位於大抵相同的水平高度的各自底面；以及
  - 在該源極凹陷、該汲極凹陷、和該閘極凹陷中分別形成一源極電極、一汲極電極、和一閘極結構。
- 12.如申請專利範圍第11項所述之半導體裝置的製造方法，其中凹蝕該第二阻障層和該第一阻障層的步驟包含：對該第二阻障層和該第一阻障層執行一蝕刻製程，以同時形成該源極凹陷、該汲極凹陷、和該閘極凹陷。

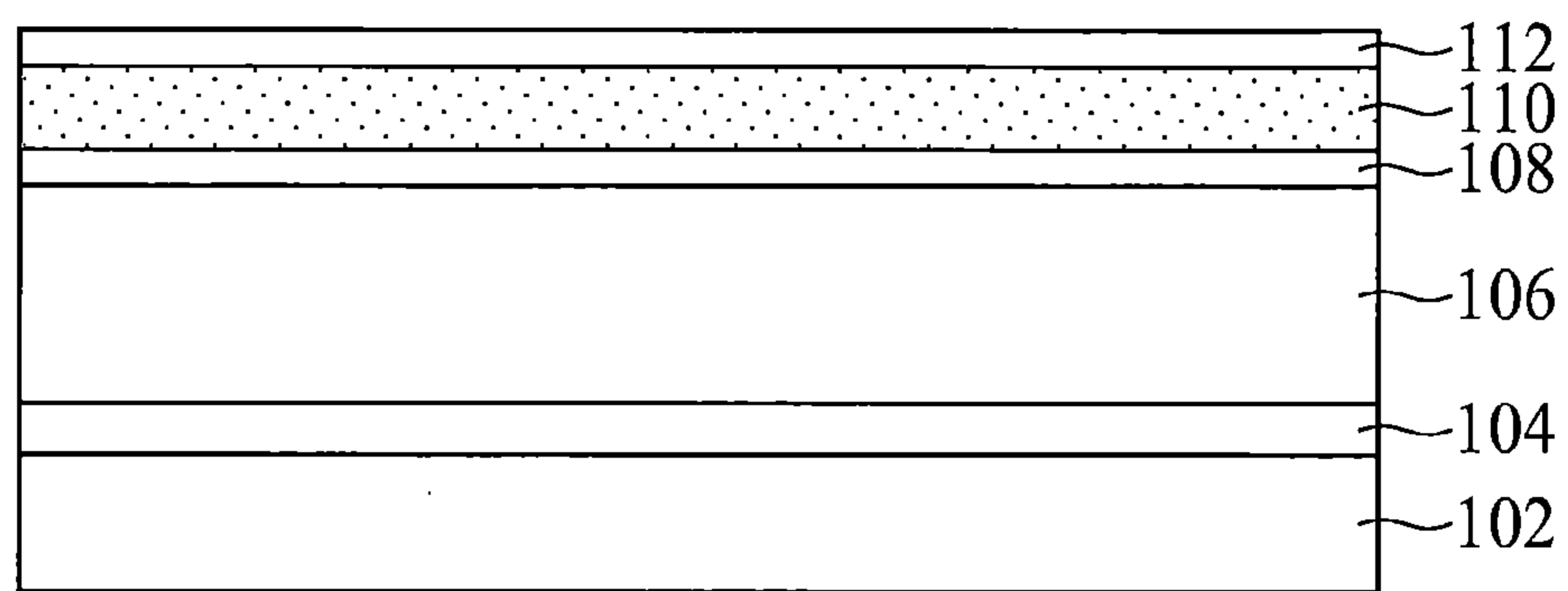
13. 如申請專利範圍第 11 項所述之半導體裝置的製造方法，其中該源極凹陷、該汲極凹陷、和該閘極凹陷的該些各自底面的水平高度等於或低於該第一阻障層的底面的水平高度。
14. 如申請專利範圍第 11 項所述之半導體裝置的製造方法，其中該源極凹陷、該汲極凹陷、和該閘極凹陷的該些各自底面的水平高度介於該第一阻障層的底面與上表面之間。
15. 如申請專利範圍第 11 項所述之半導體裝置的製造方法，更包括：  
在該源極凹陷的底面和側壁上、該汲極凹陷的底面和側壁上、以及該閘極凹陷的底面和側壁上順應性地形成一襯層。
16. 如申請專利範圍第 15 項所述之半導體裝置的製造方法，其中該襯層的材料包含六方晶系(hexagonal crystal)的二元化合物半導體。
17. 如申請專利範圍第 16 項所述之半導體裝置的製造方法，其中該二元化合物半導體包含氮化鋁(AlN)、氧化鋅(ZnO)或氮化銦(InN)。
18. 如申請專利範圍第 15 項所述之半導體裝置的製造方法，其中形成該閘極結構的步驟包括：  
在該閘極凹陷中順應性地形成一介電層於該襯層上；以及在該閘極凹陷中形成一閘極電極於該介電層上。
19. 如申請專利範圍第 18 項所述之半導體裝置的製造方法，其中該介電層更形成於該源極電極的上表面和側壁、以及該汲極電極的上表面和側壁上。

20.如申請專利範圍第11項所述之半導體裝置的製造方法，其中該第一阻障層的材料為氮化鋁(A1N)。

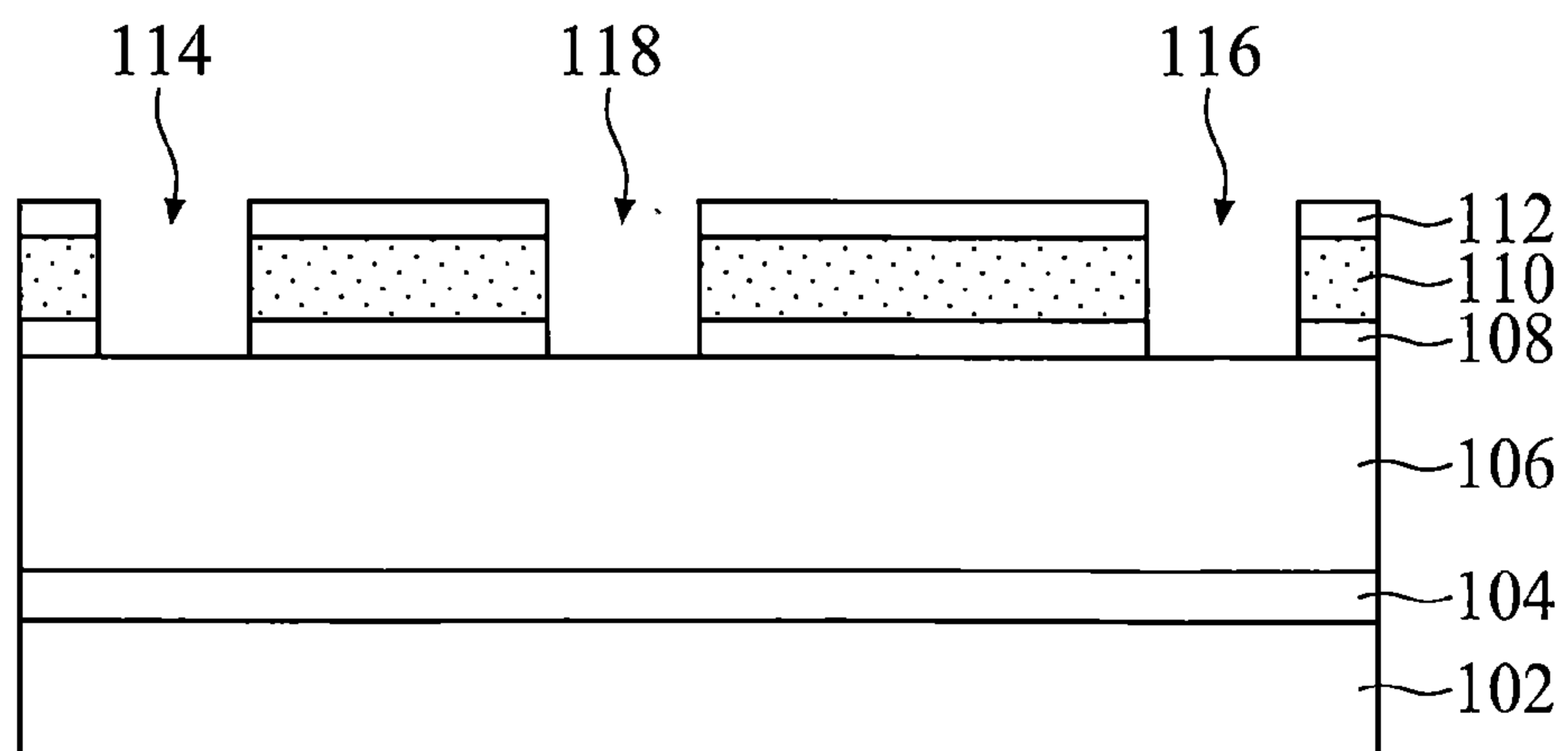


圖式

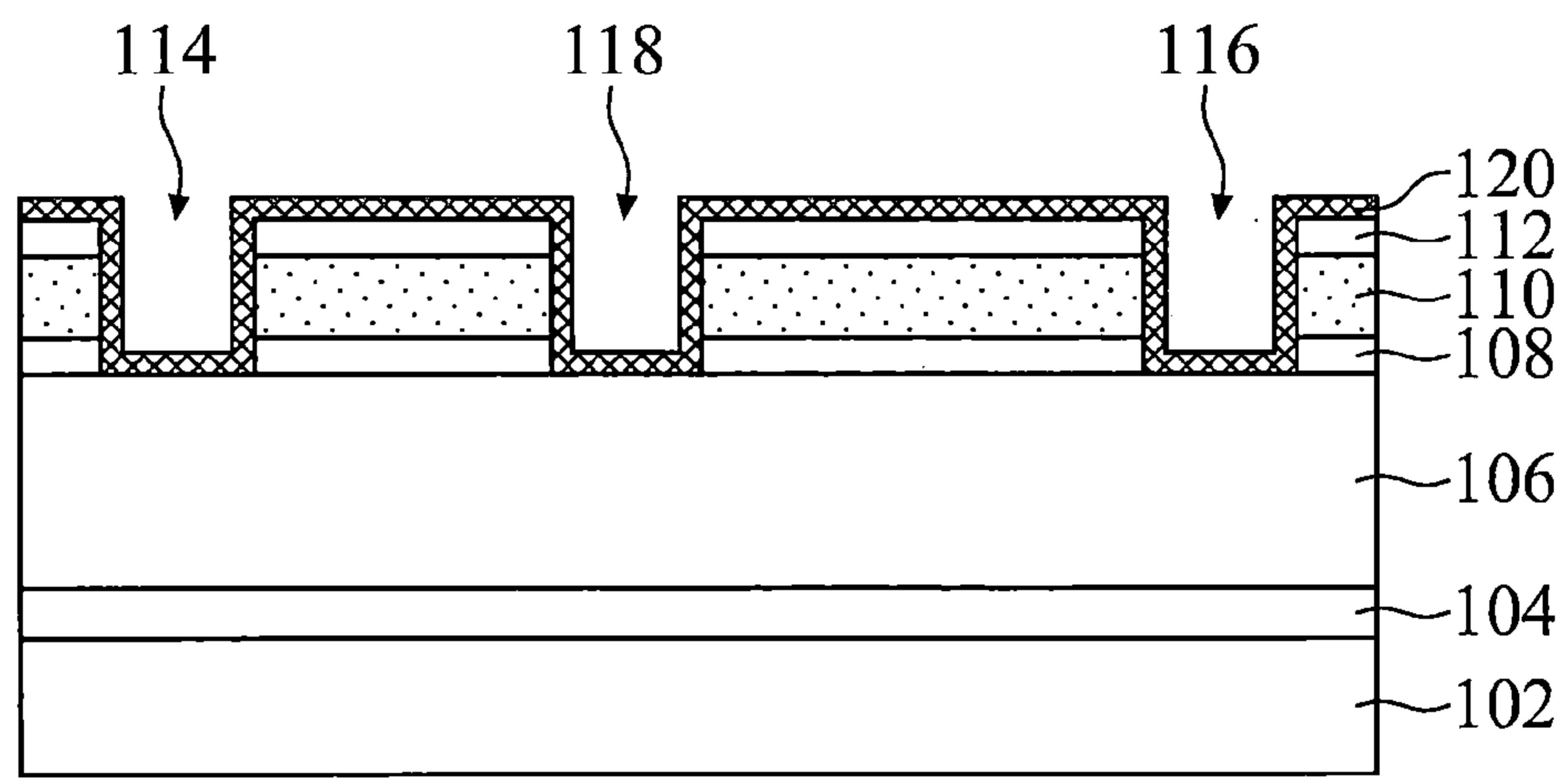
第1圖



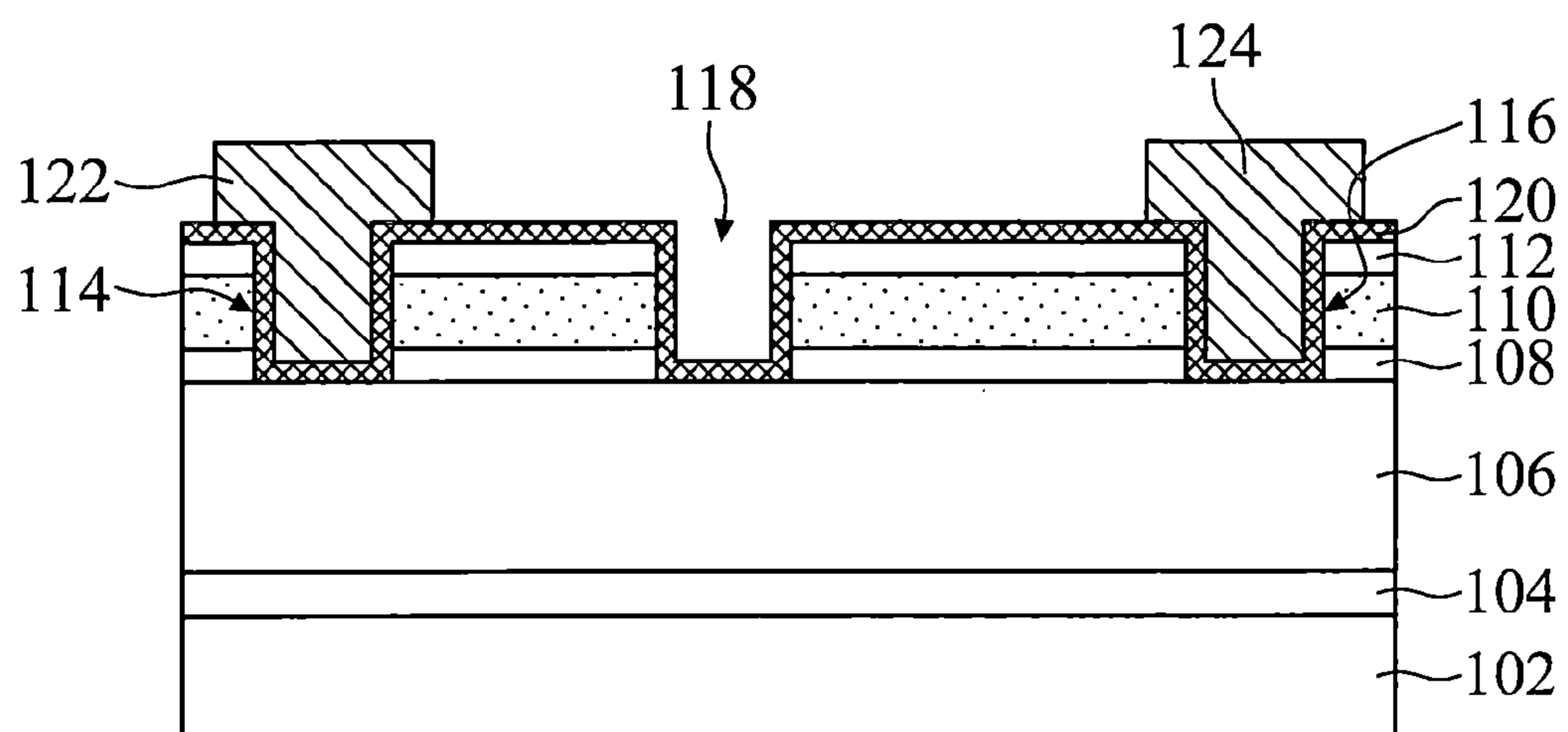
第 2A 圖



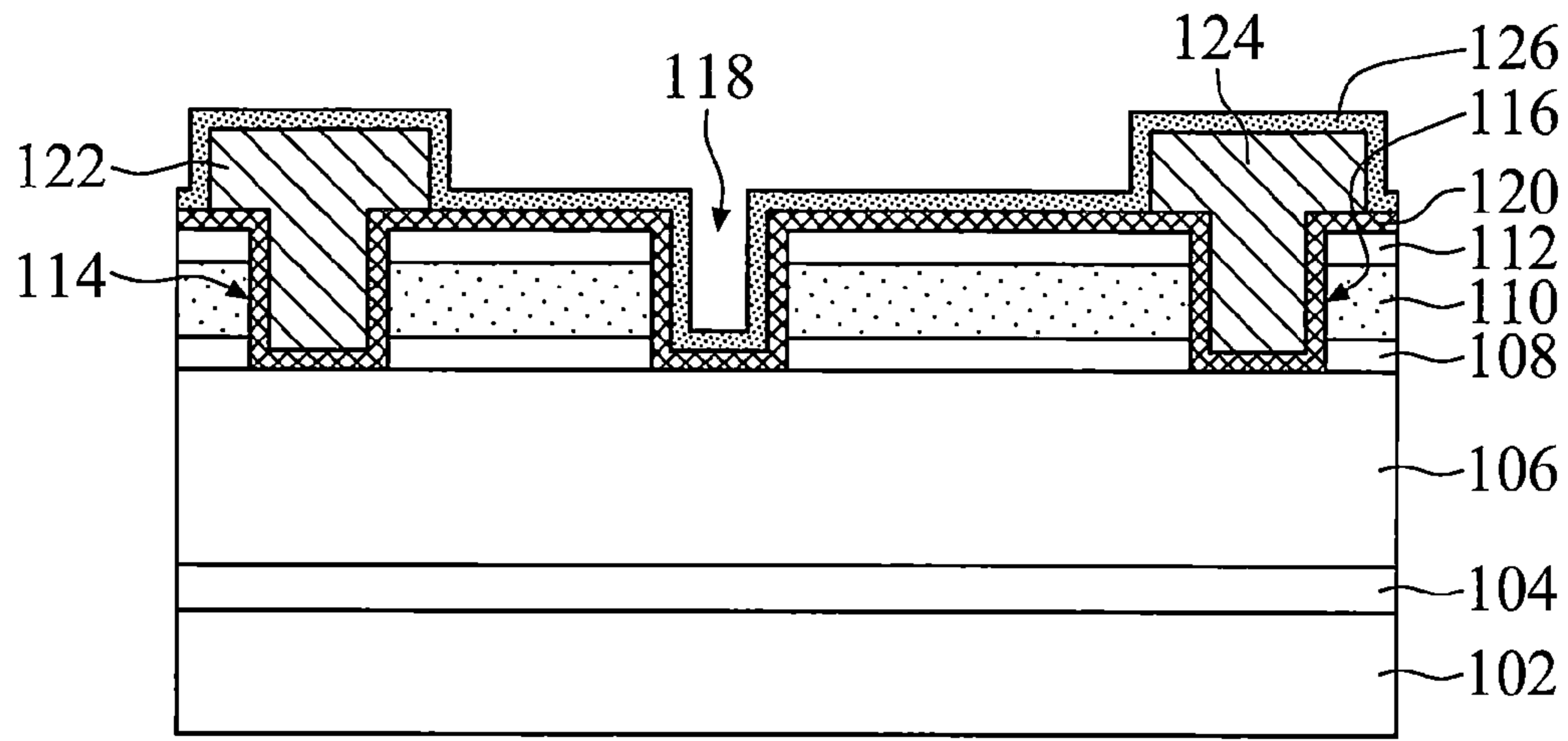
第 2B 圖



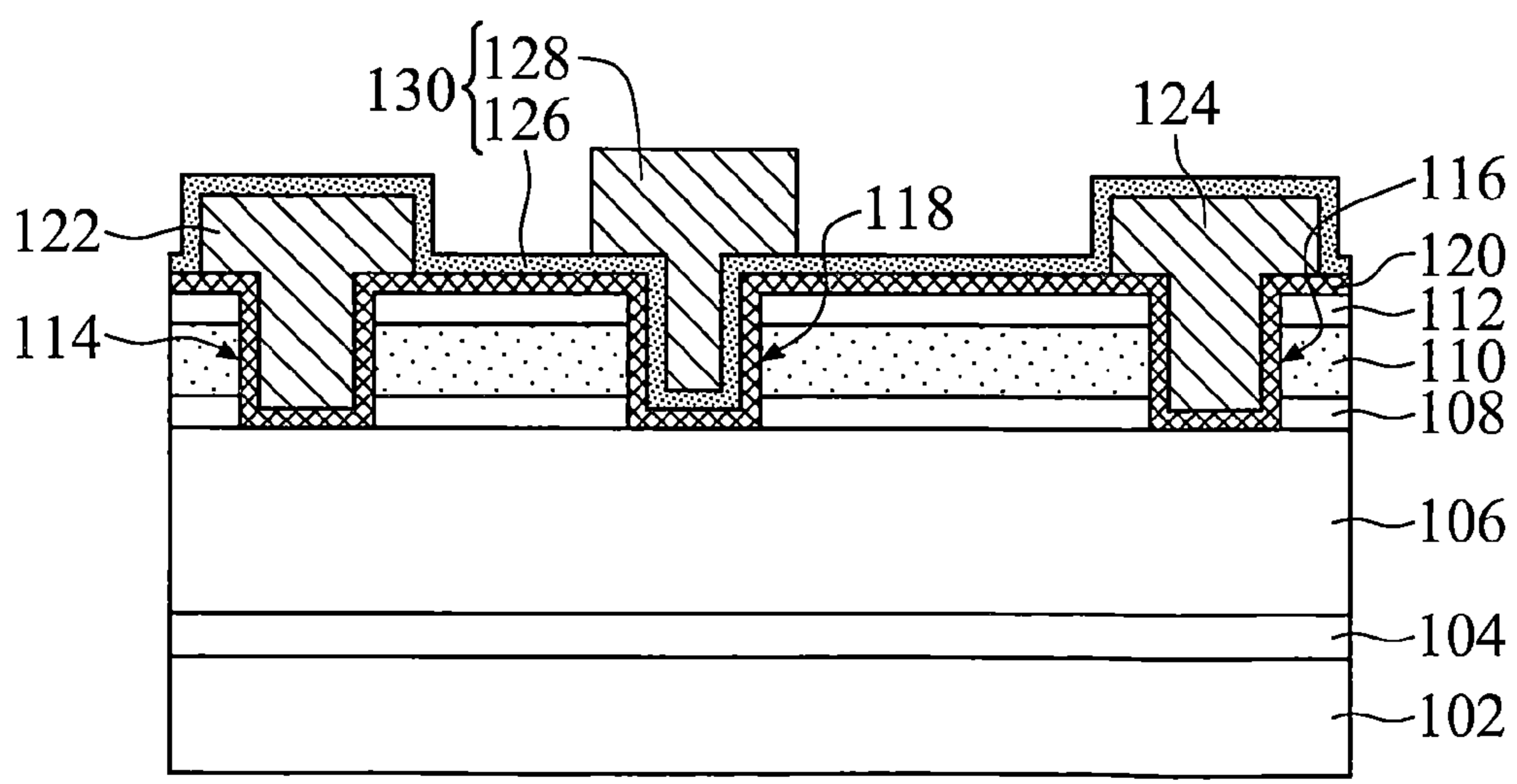
第 2C 圖



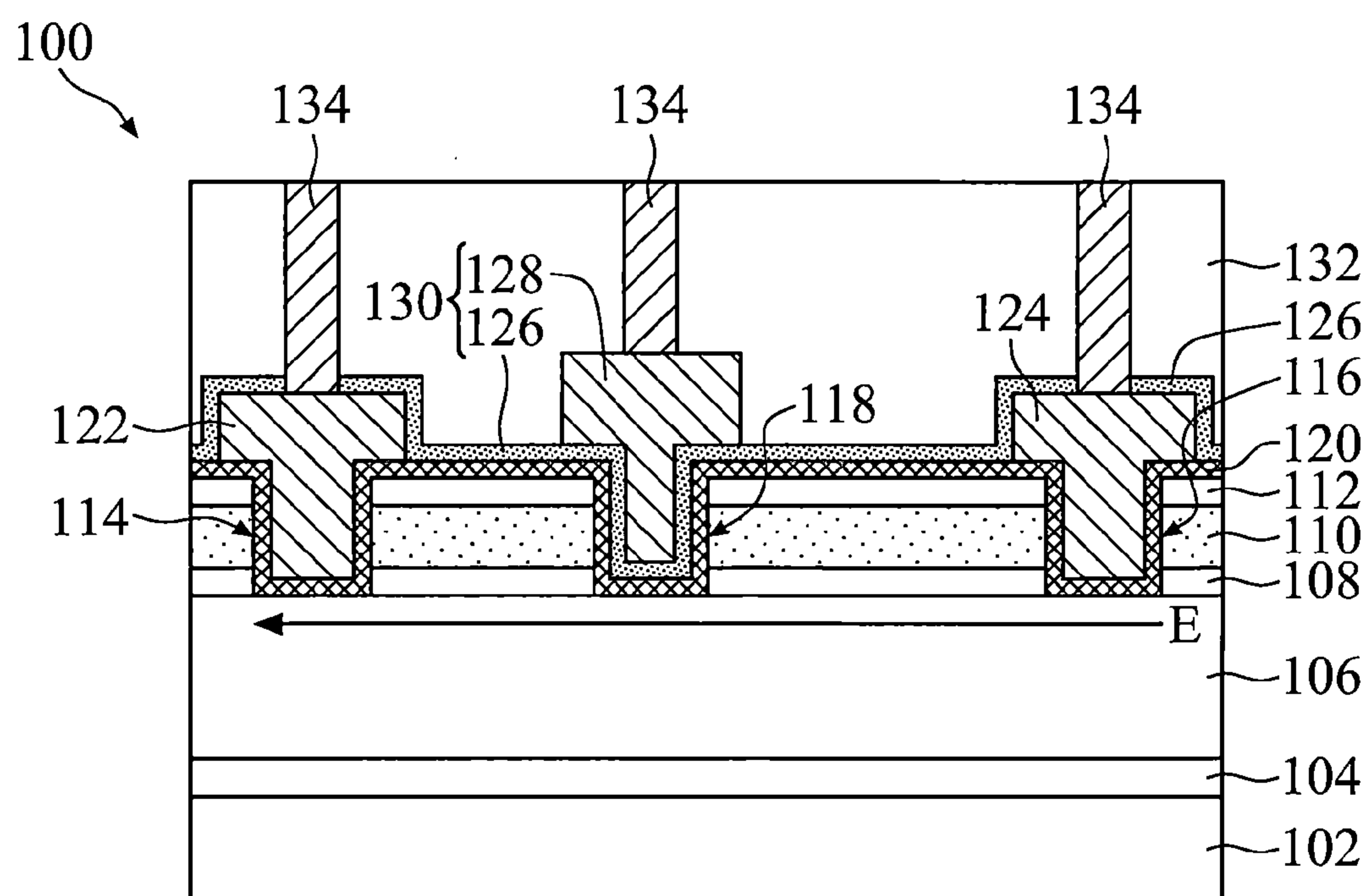
第 2D 圖



第 2E 圖

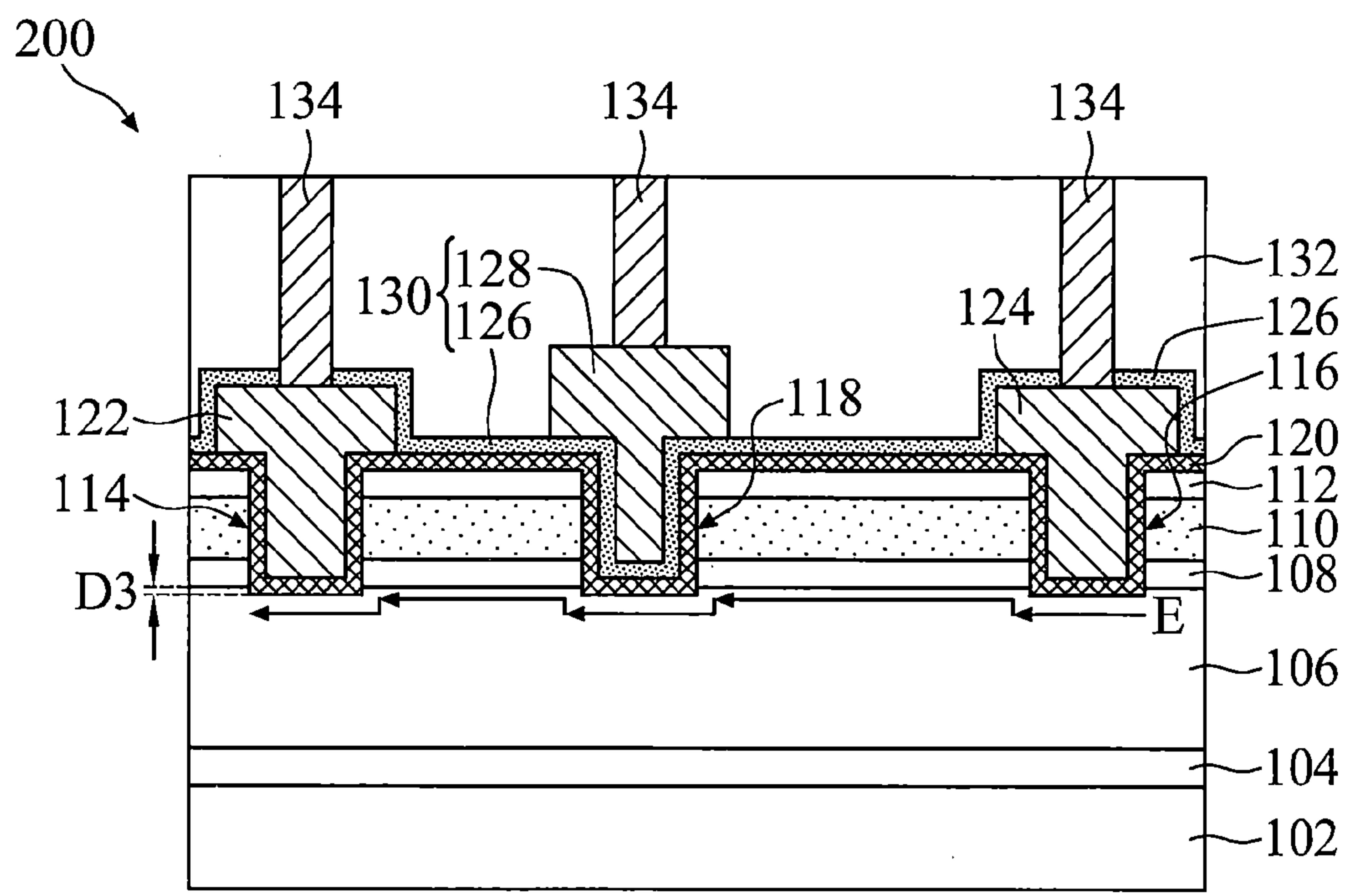


第 2F 圖

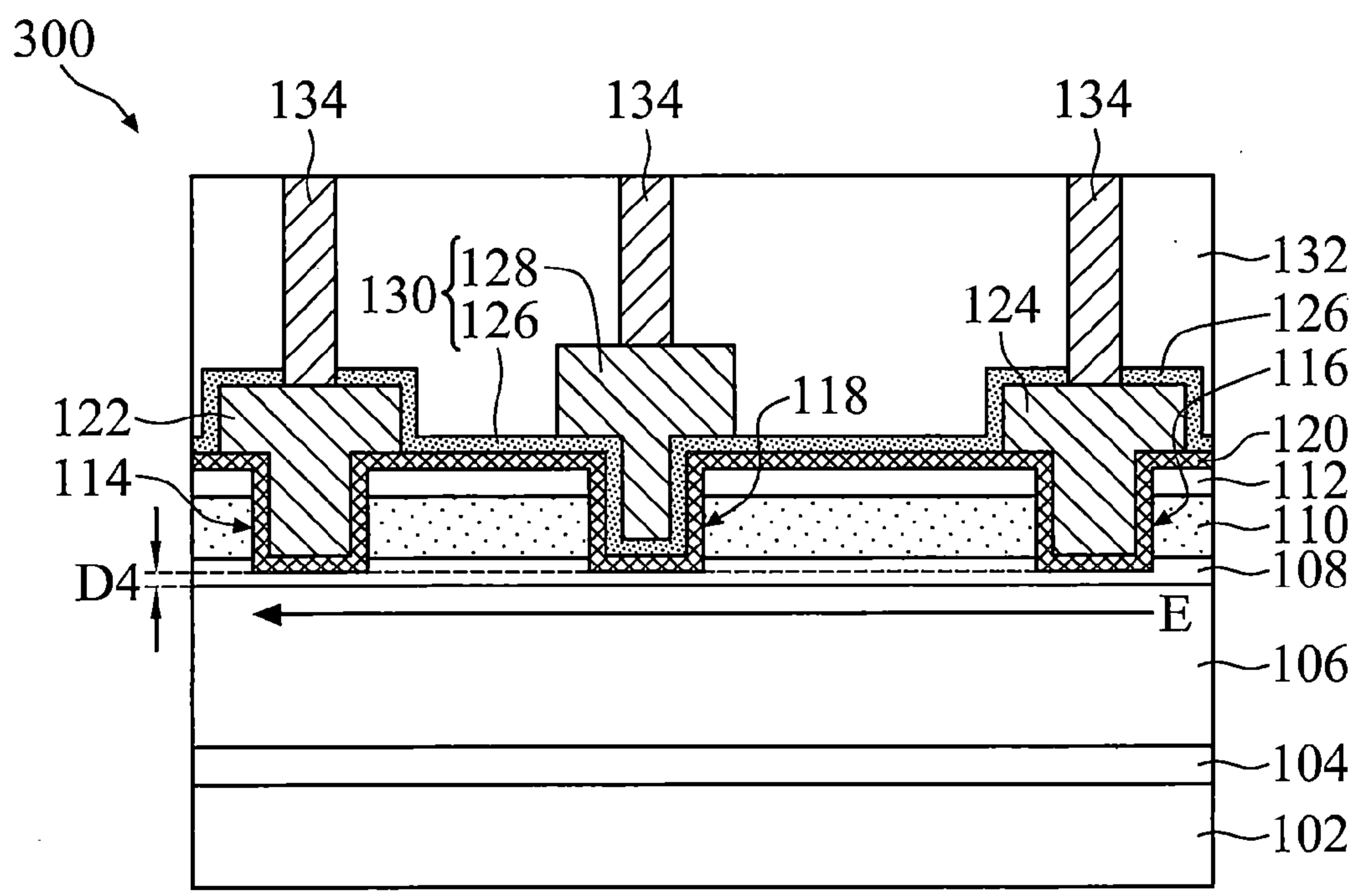


第 2G 圖





第 3 圖



第 4 圖