

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6545564号
(P6545564)

(45) 発行日 令和1年7月17日(2019.7.17)

(24) 登録日 令和1年6月28日(2019.6.28)

(51) Int. Cl.		F I		
HO 1 L 21/822	(2006.01)	HO 1 L	27/04	T
HO 1 L 27/04	(2006.01)	HO 3 K	3/03	
HO 3 K 3/03	(2006.01)	GO 1 R	31/28	V
GO 1 R 31/28	(2006.01)			

請求項の数 11 (全 15 頁)

(21) 出願番号	特願2015-155857 (P2015-155857)	(73) 特許権者	302062931
(22) 出願日	平成27年8月6日(2015.8.6)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2017-34207 (P2017-34207A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成29年2月9日(2017.2.9)	(74) 代理人	110001195
審査請求日	平成30年5月10日(2018.5.10)		特許業務法人深見特許事務所
		(72) 発明者	五十嵐 満彦
			東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
		(72) 発明者	竹内 幹
			東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
		(72) 発明者	岡垣 健
			東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

トランジスタで構成される直列に接続された駆動力が異なる複数の論理ゲートを含む発振回路と、

前記発振回路の発振周波数を測定する周波数カウンタと、

前記周波数カウンタで測定された前記発振回路の発振周波数と所定の値とを比較する比較器とを備え、

前記所定の値は、前記周波数カウンタでカウントする初期値である、半導体装置。

【請求項2】

前記発振回路は、

第1の駆動力を有する複数の第1論理ゲートと、

前記第1の駆動力より大きい第2の駆動力を有する複数の第2論理ゲートとを含み、

各前記第1論理ゲートと各前記第2論理ゲートとは一定パターンで直列に接続される、

請求項1に記載の半導体装置。

【請求項3】

前記第2論理ゲートの前記第2の駆動力は、前記第1論理ゲートの前記第1の駆動力の4倍以上である、請求項2に記載の半導体装置。

【請求項4】

各前記第1論理ゲートと各前記第2論理ゲートとは交互に直列に接続される、請求項2に記載の半導体装置。

【請求項 5】

複数の前記第 1 論理ゲートと各前記第 2 論理ゲートとは交互に直列に接続される、請求項 2 に記載の半導体装置。

【請求項 6】

前記発振回路は、直列に接続される複数の論理ゲートの個数を変更する選択回路を含む、請求項 1 に記載の半導体装置。

【請求項 7】

前記第 1 論理ゲートは、第 1 トランジスタを有し、

前記第 2 論理ゲートは、前記第 1 トランジスタよりゲート長が短い第 2 トランジスタを有する、請求項 2 に記載の半導体装置。

10

【請求項 8】

前記第 2 トランジスタは、前記第 1 トランジスタよりゲート幅が長い、請求項 7 に記載の半導体装置。

【請求項 9】

トランジスタで構成される直列に接続されたファンアウト数が異なる複数の論理ゲートを含む発振回路と、

前記発振回路の発振周波数を測定する周波数カウンタと、

前記周波数カウンタで測定された前記発振回路の発振周波数と所定値とを比較する比較器とを備え、

前記所定値は、前記周波数カウンタでカウントする初期値である、半導体装置。

20

【請求項 10】

前記発振回路は、

第 1 ファンアウト数の複数の第 1 論理ゲートと、

前記第 1 ファンアウト数よりも大きい第 2 ファンアウト数の複数の第 2 論理ゲートとを含み、

各前記第 1 論理ゲートと各前記第 2 論理ゲートとは一定パターンで直列に接続される、請求項 9 に記載の半導体装置。

【請求項 11】

前記第 2 ファンアウト数は、前記第 1 ファンアウト数の 4 倍以上である、請求項 10 に記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

この開示は、半導体装置に関し、より特定的には、ホットキャリアによる半導体素子の劣化を検出する半導体装置に関する。

【背景技術】

【0002】

近年、半導体デバイスは、微細加工プロセス技術の発展に伴い高集積化が進んでいる。しかし、半導体デバイスの微細化に伴い、電源電圧システムは、低電圧化が進んでいない。したがって、半導体デバイスを構成する内部素子の電界強度は、増大傾向にある。特に、MOS (Metal-Oxide-Semiconductor) トランジスタでは、電界強度の増大によって生じたホットキャリア (以下、HCIとも称する) がゲート絶縁膜に注入されるホットキャリア現象が生じる。このホットキャリア現象によって、MOS トランジスタの閾値電圧が劣化 (増大) するという問題があった。

40

【0003】

半導体素子の劣化検出に関し、たとえば、特開 2011-47733 号公報 (特許文献 1) は、小さな回路規模でトランジスタの劣化具合を評価する回路を開示している。具体的には、特許文献 1 に開示された技術は、測定対象のトランジスタと電源との間に抵抗を備え、トランジスタとの抵抗分圧特性劣化を抵抗分圧で評価する回路を開示している。

【0004】

50

特開平5-157799号公報(特許文献2)は、H C Iによる半導体素子の劣化検出回路を開示している。具体的には、特許文献2に開示された技術は、直流電気特性測定用の電極端子の影響を除去し、実回路動作に近い交流ストレスを被測定トランジスタに印加する。

【0005】

特開平11-118874号公報(特許文献3)は、リングオシレータを用いたM O SトランジスタのH C I劣化量を検出する回路を開示している。具体的には、特許文献3に開示された技術は、昇圧回路によってリングオシレータの発振周波数変動を大きくすることによって、H C I劣化を検出する。

【先行技術文献】

10

【特許文献】

【0006】

【特許文献1】特開2011-47733号公報

【特許文献2】特開平5-157799号公報

【特許文献3】特開平11-118874号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1に開示された技術は、被測定トランジスタに交流ストレスを印加することができないため、実回路動作に近い環境で信頼性寿命を予測することができない。特許文献2に開示された技術は、被測定トランジスタに交流ストレスを印加できるが、4端子測定が必要である。そのため特許文献2の技術は、製品への搭載およびフィールドでの測定が難しく、テスト用に限定される。特許文献3に開示された技術は、交流ストレス印加時の論理回路動作を模擬できる劣化検出回路である。一方で、単純なリングオシレータは、H C I劣化による周波数変化量が1%に過ぎない。特許文献3に開示された技術は、この問題を解決するために昇圧回路を用いている。しかしながら、昇圧回路は回路面積の増加、消費電力の増加に加え、実回路の動作電圧を反映することができない、という問題があった。

20

【0008】

本開示は、上記のような問題を解決するためになされたものであって、ある局面における目的は、簡易な構成でH C Iによる半導体素子の劣化を検出することである。

30

【0009】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

半導体装置は、トランジスタで構成される直列に接続された駆動力が異なる複数の論理ゲートを含む発振回路と、発振回路の発振周波数を測定する周波数カウンタと、周波数カウンタで測定された発振回路の発振周波数と所定値とを比較する比較器とを備える。

【発明の効果】

40

【0011】

一実施形態に従う半導体装置によれば、簡易な構成で、半導体素子のH C I劣化を検出することができる。

【図面の簡単な説明】

【0012】

【図1】半導体装置1の構成を説明する図である。

【図2】発振回路の発振周波数の経時変化を表す図である。

【図3】従来の発振回路(リングオシレータ)の構成例を示す図である。

【図4】図3に示す発振回路の各ノード電圧の経時変化を説明する図である。

【図5】実施形態1に従う発振回路の構成例を示す図である。

50

【図 6】図 5 に示す発振回路の各ノード電圧の経時変化を説明する図である。

【図 7】実施形態 1 の変形例に従う発振回路の構成例を示す図である。

【図 8】論理ゲートの駆動力比およびファンアウト数比に対するホットキャリア寿命を説明する図である。

【図 9】実施形態 2 に従う発振回路の構成例を示す図である。

【図 10】図 9 に示す発振回路の各ノード電圧の経時変化を説明する図である。

【図 11】実施形態 3 に従う発振回路の構成例を示す図である。

【図 12】実施形態 3 の変形例に従う発振回路の構成例を示す図である。

【発明を実施するための形態】

【0013】

10

以下、この発明の実施形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰り返さない。

【0014】

図 1 は、半導体装置 1 の構成を説明する図である。

図 1 に示されるように、半導体装置 1 は、論理回路 100 と、制御回路 500 と、検出回路 10 とを含む。論理回路 100 は、制御回路 500 からの指示に従って所定の論理演算を実行する。制御回路 500 は、半導体装置 1 全体を制御する。検出回路 10 は、半導体装置 1 の半導体素子の H C I による劣化を検出する。

【0015】

検出回路 10 は、発振回路 200 と、カウンタ 300 と、比較器 400 とを備える。

20

本例においては、発振回路 200 は、一例として、リングオシレータを用いる場合について説明する。発振回路 200 は、奇数個の論理ゲートから構成されることで発振する。カウンタ 300 は、発振回路 200 の発振信号の入力をカウントし、発振回路 200 の発振周波数を計測する。比較器 400 は、カウンタ 300 が出力する発振回路 200 の発振周波数と、所定値とを比較する。比較器 400 には、発振回路 200 の発振周波数の初期値（所定値）が予め格納されているとする。たとえば、不揮発性メモリ（不図示）に格納するようにしてもよい。比較器 400 は、所定値と、発振回路 200 の発振周波数との値との差が所定差となった場合に制御回路 500 にその結果を出力する。制御回路 500 は、比較器 400 からの結果を受けて半導体装置 1 の劣化寿命を判断する。

【0016】

30

制御回路 500 は、論理回路 100 と発振回路 200 とに接続される。制御回路 500 は、発振回路 200 の発振制御を行う。制御回路 500 は、比較器 400 からの比較結果に基づく信号（発振回路 200 の発振周波数が所定の値よりも低いとする信号）に従って半導体装置 1 の劣化寿命に達したとするアラームを表示装置（不図示）などに出力する。別の局面において、制御回路 500 は、検出回路 10 あるいは論理回路 100 等に含まれていてもよい。

【0017】

発振回路 200 の回路動作に伴い、発振回路 200 を構成するトランジスタは、H C I によって劣化し、動作速度が遅くなる。よって、発振回路 200 の発振周波数は、低下する。

40

【0018】

図 2 は、発振回路の発振周波数の経時変化を表す図である。

図 2 に示されるように、発振回路 200 の回路が動作している間、発振回路 200 の発振周波数は低下する。したがって、検出回路 10 は、発振回路 200 の発振周波数と初期値（所定値）とを比較することで、発振回路 200 を構成するトランジスタの劣化具合を判断することができる。

【0019】

検出回路 10 は、論理回路 100 が動作している間のみ発振回路 200 が動作するように構成することで、論理回路 100 を構成するトランジスタの劣化具合を判断するようにしてもよい。

50

【 0 0 2 0 】

[従来の発振回路による H C I 劣化検出]

図 3 は、従来の発振回路（リングオシレータ）の構成例を示す図である。図 3 を参照して、発振回路 2 0 1 は、N A N D ゲート 1 0 と、偶数個のインバータ G 1 0 , G 1 1 , G 1 2 . . . G n 1 とを備える。

【 0 0 2 1 】

インバータ G 1 0 ~ G n 1 の駆動力は等しい。N A N D ゲート 1 0 の一方の入力には、発振回路 2 0 1 の最後段のインバータ G 1 1 の出力ノードが入力される。N A N D ゲート 1 0 の他方の入力には、制御回路 5 0 0 からの制御信号が論理回路 1 0 0 を介して入力される。制御回路 5 0 0 は、制御信号によって発振回路 2 0 1 を発振させるか否かを制御することができる。

10

【 0 0 2 2 】

図 4 は、図 3 に示す発振回路の各ノード電圧の経時変化を説明する図である。以下、電圧の単位 [V] は省略することもある。

【 0 0 2 3 】

時刻 T 1 1 において、ノード電圧 V 1 1 の入力側インバータ G 1 0 からの出力信号を受け、ノード電圧 V 1 1 は、0 (L o w) から V 1 1 _ M A X (H i g h) に切り替わりはじめる。所定時間経過後、時刻 T 1 4 において、入力側インバータ G 1 0 からの出力信号を受け、ノード電圧 V 1 1 は、H i g h から L o w に切り替わりはじめる。ノード電圧 V 1 1 の H i g h から L o w への、または L o w から H i g h への切り替わりは、瞬時に行われるものではなく、遅延時間が存在する。

20

【 0 0 2 4 】

時刻 T 1 2 において、ノード電圧 V 1 2 は、時刻 T 1 1 から遅延時間だけ遅れて V 1 2 _ M A X (H i g h) から 0 (L o w) に切り替わりはじめる。所定時間経過後の時刻 T 1 5 において、ノード電圧 V 1 2 は、L o w から H i g h に切り替わりはじめる。

【 0 0 2 5 】

インバータの入力側のノード電圧、および出力側のノード電圧がともに高いときに、インバータを構成するトランジスタの H C I 劣化は、最も進む。たとえば、N M O S トランジスタの場合は、入力側のノード電圧が V g s (ゲート - ソース間電圧) に相当し、出力側のノード電圧が V d s (ドレイン - ソース間電圧) に相当する。

30

【 0 0 2 6 】

入力側のノード電圧 V 1 1 および出力側のノード電圧 V 1 2 がともに高いとき、インバータ G 1 1 の H C I 劣化は進む。したがって、インバータ G 1 1 の H C I 劣化はインバータ G 1 1 がスイッチング動作を行う時間領域 A で生じる。

【 0 0 2 7 】

時刻 T 1 2 において、インバータ G 1 1 の出力側のノード電圧は、最大値の V 1 2 _ M A X である。一方、入力側のノード電圧 V 1 1 _ T 1 2 は、0 と V 1 1 _ M A X との中央レベルに留まっている。よって、時刻 T 1 2 において、インバータ G 1 1 の H C I 劣化は小さい。

【 0 0 2 8 】

時刻 T 1 3 において、インバータ G 1 1 の入力側のノード電圧は、最大値の V 1 1 _ M A X である。一方、出力側のノード電圧 V 1 2 _ T 1 3 は、0 と V 1 2 _ M A X の中央レベルに留まっている。よって、時刻 T 1 3 においても、インバータ G 1 1 の H C I 劣化は小さい。

40

【 0 0 2 9 】

上記のように従来の発振回路 2 0 1 では、スイッチング動作毎（時間領域 A）のインバータの H C I 劣化は小さい。トランジスタが信頼性上問題となる水準まで劣化した時点においても、図 2 における発振周波数の変動は 1 % 程度である。したがって、従来の発振回路 2 0 1 は、トランジスタの H C I 劣化に対する感度（単位時間あたりの H C I 劣化量）が低い。

50

【 0 0 3 0 】

[実施形態 1]

図 5 は、実施形態 1 に従う発振回路の構成例を示す図である。図 5 を参照して、発振回路 2 0 2 は、N A N D ゲート 1 0 と、駆動力の小さいインバータ G 2 1 , G 2 3 , . . . G 2 n - 1 と、駆動力の大きいインバータ G 2 2 , G 2 4 , . . . G 2 n とが直列に配置されている。インバータの駆動力は、インバータを構成するトランジスタによって変動する。具体的には、トランジスタのゲート長が短く、ゲート幅が長いほどインバータの駆動力は大きくなる。

【 0 0 3 1 】

発振回路 2 0 2 において、駆動力の小さいインバータと駆動力の大きいインバータの配置位置は入れ替えてもよい。

10

【 0 0 3 2 】

発振回路 2 0 2 を構成する論理ゲートは、インバータの代わりに N A N D ゲートまたは N O R ゲートで構成されてもよい。

【 0 0 3 3 】

N A N D ゲートを用いる場合、N A N D ゲートの一方の入力は、前段の N A N D ゲートの出力を受ける。N A N D ゲートの他方の入力は、共通する電源線に接続され、H i g h の入力を受ける。

【 0 0 3 4 】

N O R ゲートを用いる場合、N O R ゲートの一方の入力は、前段の N O R ゲートの出力を受ける。N O R ゲートの他方の入力は、共通する G N D 線に接続され、L o w の入力を受ける。

20

【 0 0 3 5 】

これら発振回路を構成する論理ゲートの例は、以下の実施例に示される発振回路にも適用できる。

【 0 0 3 6 】

図 6 は、図 5 に示す発振回路の各ノード電圧の経時変化を説明する図である。

時刻 T 2 1 において、入力側インバータ G 2 2 からの出力信号を受け、ノード電圧 V 2 3 は、0 (L o w) から V 2 3 _ M A X (H i g h) に切り替わり (立ち上がり) はじめる。所定時間経過後、時刻 T 2 4 において、入力側インバータ G 2 2 からの出力信号を受け、ノード電圧 V 2 3 は、H i g h から L o w に切り替わり (立ち下がり) はじめる。

30

【 0 0 3 7 】

ノード電圧 V 2 3 の立ち上がりまたは立ち下がり、従来の発振回路 2 0 1 のノード電圧 (例えば図 4 に示される V 1 1) の立ち上がりまたは立ち下がり比べて急である。その理由は、駆動力の大きいインバータ G 2 2 によって駆動力の小さいインバータ G 2 3 を駆動させるためである。

【 0 0 3 8 】

時刻 T 2 2 において、ノード電圧 V 2 4 は、V 2 4 _ M A X (H i g h) から 0 (L o w) に立ち下がり始める。所定時間経過後、時刻 T 2 5 において、ノード電圧は L o w から H i g h に立ち上がり始める。

40

【 0 0 3 9 】

ノード電圧 V 2 4 の立ち上がりまたは立ち下がり、従来の発振回路 2 0 1 のノード電圧の立ち上がりまたは立ち下がり比べて緩やかである。その理由は、駆動力の小さいインバータ G 2 3 によって駆動力の大きいインバータ G 2 4 を駆動させるためである。

【 0 0 4 0 】

時刻 T 2 2 において、インバータ G 2 3 の出力側のノード電圧は、最大値の V 2 4 _ M A X である。一方、インバータ G 2 3 の入力側のノード電圧 V 2 3 _ T 2 2 は、V 2 3 _ M A X に近い値となる。ノード電圧 V 2 3 _ T 2 2 は、対応する従来の発振回路 2 0 1 のノード電圧 V 1 1 _ T 1 2 よりも高い。その理由は、ノード電圧 V 2 3 の立ち上がりが従来の発振回路 2 0 1 のノード電圧の立ち上がりに比べて急だからである。したがって、時

50

刻 T 2 2 において、インバータ G 2 3 の H C I 劣化は、対応する時刻 T 1 2 における従来の発振回路 2 0 1 のインバータ（例えばインバータ G 1 1）の H C I 劣化よりも大きい。

【 0 0 4 1 】

時刻 T 2 3 において、インバータ G 2 3 の入力側のノード電圧は、最大値の V 2 3 _ M A X である。一方、インバータ G 2 3 の出力側のノード電圧 V 2 4 _ T 2 3 は、V 2 4 _ M A X に近い値となる。ノード電圧 V 2 4 _ T 2 3 は、対応する従来の発振回路 2 0 1 のノード電圧 V 1 2 _ T 1 3 よりも高い。ノード電圧 V 2 4 の立ち下がりが従来の発振回路 2 0 1 のノード電圧の立ち下がりに比べて緩勾配だからである。したがって、時刻 T 2 3 において、インバータ G 2 3 の H C I 劣化は、対応する時刻 T 1 3 における従来の発振回路 2 0 1 のインバータの H C I 劣化よりも大きい。

10

【 0 0 4 2 】

駆動力の小さいインバータの前段および後段に駆動力の大きいインバータを配置することによって、スイッチング動作毎（時間領域 B）の、駆動力の小さいインバータの H C I 劣化は、従来の発振回路 2 0 1 における H C I 劣化よりも大きくなる。したがって、実施形態 1 に従う発振回路は、従来の発振回路に比べて H C I 劣化に対する感度が高い。

【 0 0 4 3 】

なお、発振回路 2 0 2 において、駆動力の小さいインバータと駆動力の大きいインバータとが交互に配置されているが、発振回路 2 0 2 の一部に、駆動力の小さいインバータの前段と後段に駆動力の大きいインバータが配置される構成を有していればよい。

20

【 0 0 4 4 】

発振回路 2 0 2 において、インバータ G 2 1 , G 2 3 , . . . G 2 n - 1 の駆動力は同じであってもよいし、異なってもよい。同様に、インバータ G 2 2 , G 2 4 , . . . G 2 n の各駆動力は、同じであってもよいし、異なってもよい。

【 0 0 4 5 】

図 1 に示される発振回路 2 0 0 として実施形態 1 に従う発振回路 2 0 2 を用いることによって、論理回路 1 0 0 を構成するトランジスタの H C I 劣化を高感度に検出することができる。

【 0 0 4 6 】

さらに、実施形態 1 に従う発振回路 2 0 2 を用いた検出回路 1 0 は、2 端子測定で H C I 劣化を検出できるため、製品への実装およびフィールドでの測定が容易である。加えて、実施形態 1 に従う発振回路 2 0 2 を用いた検出回路 1 0 は、昇圧回路を用いる構成ではないため、消費電力を抑え、かつ、論理回路 1 0 0 の実動作を実現することができる。

30

【 0 0 4 7 】

次に、図 7 を参照して実施形態 1 の変形例について説明する。図 7 は、実施形態 1 の変形例に従う発振回路の構成例を示す図である。図 7 を参照して、発振回路 2 0 3 は、N A N D ゲート 1 0 と、インバータ G 3 1 , G 3 3 , . . . G 3 n - 1 と、少なくとも 1 つのインバータを含む複数個の論理ゲートが並列に接続された論理ゲート群 R 3 2 , R 3 4 . . . R 3 n とを備える。

【 0 0 4 8 】

論理ゲート群 R 3 2 は、m 個のインバータが並列に接続される。論理ゲート群 R 3 4 は、インバータ G 3 4 1 および複数個の 4 入力 N A N D ゲート N 3 4 2 , . . . N 3 4 k が並列に接続され、合計 k 個の論理ゲートを備える。4 入力 N A N D ゲート N 3 4 2 , . . . N 3 4 k の 3 つの入力端子には、前段のインバータからの出力が入力される。残り 1 つの入力端子は、制御回路 5 0 0 から出力される制御信号 S i g が入力される。

40

【 0 0 4 9 】

本実施形態において、論理ゲート群 R 3 4 を構成する 4 入力 N A N D ゲート N 3 4 2 , . . . N 3 4 k は、出力側が開放されている。これらの N A N D ゲートを並列に接続する理由は、論理ゲート群 R 3 4 の合計容量を大きくすることが目的である。したがって、これらの N A N D ゲートの出力側は、開放されていてもよいし、後段のインバータ G 3 5 に接続されていてもよい。

50

【 0 0 5 0 】

なお、これらのNANDゲートの出力側が後段のG35に接続されている場合は、各NANDゲートN342, …, N34kは、制御回路500から出力されるHighの制御信号Sigが入力される。

【 0 0 5 1 】

論理ゲート群R32を構成する各インバータG321, G322, …, G32nの出力は1つのインバータG33に接続される。したがって、論理ゲート群R32を構成する各インバータのファンアウト数は1である。「ファンアウト数」とは、論理ゲートの出力が接続される論理ゲートの個数をいう。インバータG33の出力は論理ゲート群R34を構成するk個の論理ゲートに接続されるため、インバータG33のファンアウト数はkである。

10

【 0 0 5 2 】

論理ゲート群R32, R34, …, R3nの容量は、並列に接続される論理ゲートの数に比例して増える。論理ゲートの駆動力は当該論理ゲートを構成するトランジスタの容量に比例する。したがって、インバータG31, G33, …, Gn3-1は、駆動力の小さいインバータに相当する。一方、インバータを含む論理ゲート群R32, R34, …, R3nは、駆動力の大きいインバータに相当する。

【 0 0 5 3 】

したがって、駆動力の異なる論理ゲートを交互に配置する発振回路202に代えて、ファンアウト数が異なる論理ゲートを交互に配置する発振回路203を用いても、発振回路202と同等の効果が得られる。

20

【 0 0 5 4 】

発振回路203において、ファンアウト数が異なる論理ゲートが交互に配置されているが、発振回路203の構成は図示された構成に限られない。少なくとも発振回路203の一部に、ファンアウト数が多いインバータの前段と後段とにファンアウト数が小さい論理ゲート群が配置される構成を含んでいればよい。したがって、論理ゲート群R32, R34, …, R3nに含まれるインバータのファンアウト数は1でなくとも、インバータG31, G33, …, Gn3-1のファンアウト数より少なければよい。

【 0 0 5 5 】

また、論理ゲート群R32, R34, …, R3nに並列に接続されるインバータの数は同じでもよいし、異なってもよい。各論理ゲート群を構成する各論理ゲートの駆動力は同じでもよいし、異なってもよい。

30

【 0 0 5 6 】

好ましくは、各論理ゲート群を構成する各論理ゲートは、インバータG31, G33, …, Gn3-1よりも駆動力を大きい。その理由は、論理ゲート群と前段および後段のインバータとの駆動力比をより大きくすることができるためである。その結果、駆動力が小さいインバータのスイッチング動作毎のHCI劣化が大きくなる。

【 0 0 5 7 】

本実施形態では、当該駆動力比を大きくするために、インバータG341, …, G34nのように、インバータG31, G33, …, Gn3-1よりも駆動力を大きいインバータを用いている。また、駆動力比を大きくするために、4入力のNANDゲートを用いている。その理由は、入力数の多いNANDゲートは入力数の少ないNANDゲートに比べて、面積に対する容量(駆動力)が大きいためである。したがって、駆動力比を大きくするためには、2入力のNANDゲートよりも3入力以上のNANDゲートを用いることが好ましい。

40

【 0 0 5 8 】

別の局面において、NANDゲートではなくNORゲートを用いても同等の効果を得ることができる。なお、NORゲートを用いる場合、NORゲートの少なくとも1つの入力端子は、制御回路500から出力されるLowの制御信号Sigが入力される。

【 0 0 5 9 】

50

図 8 は、論理ゲートの駆動力比およびファンアウト数比に対するホットキャリア寿命を説明する図である。

【 0 0 6 0 】

駆動力比とは、図 5 に示される発振回路 2 0 2 において、インバータ G 2 1 , G 2 3 , . . . G 2 n - 1 の駆動力に対するインバータ G 2 2 , G 2 4 , . . . G 2 n の駆動力の比率をいう。ファンアウト数比とは、図 7 に示される発振回路 2 0 3 において、G 3 1 , G 3 3 , . . . G 3 n - 1 の出力が接続される論理ゲートの数をいう。ホットキャリア寿命とは、トランジスタの H C I 劣化が所定量に達する時間のことをいう。本実施例において、所定量とは、たとえば、発振回路の発振周波数が初期値より 1 % 低下することをいう。図 8 では、縦軸にホットキャリア寿命をログスケールでプロットする。

10

【 0 0 6 1 】

駆動力比が増えるほど、またはファンアウト数比が増えるほどホットキャリア寿命は短くなる。従来の発振回路 2 0 1 を用いた場合のホットキャリア寿命を 1 とすると、駆動力比を 4 倍に、またはファンアウト数比を 4 倍にすることによって、ホットキャリア寿命は 1 / k 倍となる。したがって、駆動力比を増やすこと、およびファンアウト数比を増やすことによって、発振回路を構成するトランジスタの H C I 劣化に対する感度を高めることができる。

【 0 0 6 2 】

[実施形態 2]

図 9 は、実施形態 2 に従う発振回路の構成例を示す図である。図 9 を参照して、発振回路 2 0 4 では、N A N D ゲート 1 0 と、駆動力の小さいインバータ G 4 1 , G 4 3 , G 4 4 , . . . G 4 n - 1 と、駆動力の大きいインバータ G 4 2 , G 4 5 , . . . G 4 n とを備える。図 9 に示されるように、発振回路 2 0 4 では、駆動力の小さい 2 つのインバータと駆動力の大きい 1 つのインバータとから構成される組み合わせを繰り返し配置される。

20

【 0 0 6 3 】

図 1 0 は、図 9 に示す発振回路の各ノード電圧の経時変化を説明する図である。ノード電圧 V 4 3 , V 4 5 は、それぞれ図 6 におけるノード電圧 V 2 3 , V 2 4 と同じなので、その詳細については説明は繰り返さない。

【 0 0 6 4 】

時刻 T 4 1 において、ノード電圧 V 4 4 は、0 (L o w) から V 4 4 _ M A X (H i g h) に立ち上がりはじめる。所定時間経過後、時刻 T 4 4 において、ノード電圧 V 4 4 は、H i g h から L o w に立ち下がりはじめる。

30

【 0 0 6 5 】

論理ゲートを構成するトランジスタの特性として、論理ゲートの出力側のノード電圧は、入力側のノード電圧の影響を受ける、という点がある。たとえば、論理ゲートの入力側のノード電圧の時間変化(傾き)が緩やかである場合、出力側のノード電圧の傾きもやや緩やかとなる。

【 0 0 6 6 】

インバータ G 4 2 において、出力側のノード電圧 V 4 3 の傾きは従来の発振回路 2 0 1 のノード電圧の傾きよりも急である。しかし、インバータ G 4 2 の入力側のノード電圧 V 4 2 の傾きが緩勾配であるため、ノード電圧 V 4 3 の傾きは、やや緩やかとなっている。

40

【 0 0 6 7 】

インバータ G 4 3 において、入力側のノード電圧 V 4 3 の傾きは急である。さらに、後段のインバータ G 4 4 は駆動力(容量)が小さいため、インバータ G 4 3 の出力側のノード電圧 V 4 4 の傾きも急となる。出力側のノード電圧 V 4 4 は、傾きが急である入力側のノード電圧 V 4 3 の影響を受ける。したがって、ノード電圧 V 4 4 の傾きはノード電圧 V 4 3 の傾きよりも急となる。

【 0 0 6 8 】

時刻 T 4 2 ~ T 4 3 において、インバータ G 4 4 の入力側のノード電圧は、最大値の V 4 4 _ M A X である。さらに、インバータ G 4 4 の出力側のノード電圧も、最大値の V 4

50

5 __MAXである。したがって、時刻T42～T43において、インバータG44を構成するトランジスタのH C I劣化は最大となる。したがって、時刻T42～T43において、インバータG44のH C I劣化は、対応する実施形態1の時刻T22～T23におけるインバータG23のH C I劣化よりも大きい。

【0069】

図10において、2つの駆動力の小さいインバータと1つの駆動力の大きいインバータとから構成される組み合わせが、繰り返し配置されるが、発振回路204の構成は、これに限定されない。具体的には、発振回路204は、少なくとも一部に、一段目に駆動力の大きいインバータ、二、三段目に駆動力の小さいインバータ、四段目に駆動力の大きいインバータの順で配置される構成（以下、実施形態2に従う構成とも称する）を含んでいれ

10

【0070】

発振回路204は、実施形態2に従う構成を含むことによって、当該構成の三段目に配置されるインバータ（たとえばインバータG43）のスイッチング動作毎（時間領域C）のH C I劣化は、実施形態1に従うインバータのH C I劣化よりも大きくなる。

【0071】

発振回路204において、インバータG41, G43, G44, … G4n-1の各駆動力は、同じであってもよいし、異なってもよい。同様にインバータG42, G45, … G4nの各駆動力は、同じであってもよいし、異なってもよい。ただし、実施形態2に従う構成の二段目のインバータ（たとえばインバータG43）の駆動力は、当該構成の三段目のインバータ（たとえばインバータG44）の駆動力以上とする。

20

【0072】

別の局面において、駆動力の大きいインバータG42, G45, … G4nに代えて、図7に示されるようなインバータを含む論理ゲート群R32, R34, … R3nを用いてもよい。

【0073】

図1に示される発振回路200として、実施形態2に従う発振回路204を用いることによって、論理回路100を構成するトランジスタのH C I劣化をより高感度に検出することができる。

【0074】

さらに、実施形態2に従う発振回路204を用いた検出回路10は、2端子測定でH C I劣化を検出できるため製品への実装およびフィールドでの測定が容易である。加えて、実施形態2に従う発振回路204を用いた検出回路10は、昇圧回路を用いる構成ではないため、消費電力を抑え、かつ、論理回路100の実動作を実現することができる。

30

【0075】

[実施形態3]

図11は、実施形態3に従う発振回路の構成例を示す図である。図11を参照して、発振回路205は、図5に示される発振回路202にセレクトaS0を追加した発振回路である。その他の部分については発振回路202と同じであるので、同じ部分の説明は繰り返さない。

40

【0076】

図11に示されるように、セレクトaS0の一方の入力には、最終段のインバータG2nの出力であるノードL1が接続される。セレクトaS0の他方の入力には、中間段のインバータG24とG25とを接続するノードL2が接続される。セレクトaS0は、制御回路500から入力される制御信号fse10に基づいて、ノードL1, L2のいずれか一方の入力を選択する。

【0077】

セレクトaS0がノードL2を選択した場合、発振回路205は、NANDゲート10およびインバータG21～G24を用いて発振する。セレクトaS0がノードL1を選択した場合は、セレクトaS0がノードL1を選択した場合に比べて発振に用いる論理ゲートの数

50

が少なくなる。リングオシレータ型発振回路の発振周期は、発振する各論理ゲートの遅延時間と、発振する論理ゲートの段数とに応じて定まる。よって、セクタS0がノードL2を選択した場合は、合計の遅延時間が短くなるため、発振回路は高速に発振する。したがって、各インバータの単位時間あたりのスイッチング回数が増えるため、発振回路205のHCI劣化に対する感度は、発振に用いる論理ゲートの数が少ない方が高くなる。

【0078】

なお、セクタS0がノードL2を選択した場合、後段のインバータG25～G2nは、インバータG21～G24と同じ周波数でスイッチング動作を行うため、インバータG21～G24と同様にHCI劣化を生じる。

【0079】

本例では、インバータG24とG25とを接続するノードL2がセクタS0の入力に接続されているが、このような構成に限られない。発振回路205は、発振に用いるインバータの中に、HCI劣化が大きいインバータ（たとえば、実施形態1では駆動力の大きいインバータに挟まれた駆動力の小さいインバータ）を少なくとも1つ含んでいればよい。

【0080】

一方で、発振回路205を構成する各インバータのHCI劣化は、駆動力が等しいインバータ間であってもばらつく。したがって、発振回路205のHCI劣化を検出する場合、発振に用いるインバータの数が多いほど、発振回路205は、各インバータ間のHCI劣化ばらつきの影響を抑えることができる。よって、発振回路205のHCI劣化を検出する場合、セクタS0はノードL1を選択し、発振回路205は、発振回路205を構成する全ての論理ゲートを用いて発振する。

【0081】

上記のように、発振段数を調整可能な構成を有する発振回路は、ストレス印加モードとHCI劣化検出モードとを切り替えることができる。ストレス印加モードとは、短段数発振によってHCI劣化感度を高めるモードのことをいう。HCI劣化検出モードとは、長段数発振によってHCI劣化ばらつきの影響を抑えてHCI劣化を検出するモードをいう。

【0082】

本例では発振回路205として、発振回路202がセクタを備える構成を示しているが、他の局面において、発振回路203、発振回路204がセクタを備え、発振回路203、発振回路204が発振段数を調整可能な構成にしてもよい。

【0083】

実施形態3に従う発振回路は、HCI劣化を加速させるときは、ストレス印加モードに設定され、HCI劣化を検出るときは、HCI劣化検出モードに設定される。当該構成によれば、実施形態3に従う発振回路のHCI劣化に対する感度は高くなり、かつHCI劣化の検出結果のばらつきを抑えることができる。

【0084】

図12は、実施形態3の変形例に従う発振回路の構成例を示す図である。図12を参照して、発振回路206は、NANDゲート11、12、・・・1nと、セクタS1、S2、・・・Snと、インバータ群g1、g2、・・・gnとを備える。各インバータ群では、駆動力の小さいインバータG21と駆動力の大きいインバータG22とが交互に配置される。

【0085】

セクタS1の一方の入力は、インバータ群g1の最終段のインバータの出力ノードに接続される。セクタS1の他方の入力は、インバータ群gnの最終段のインバータの出力ノードに接続される。

【0086】

セクタS2、・・・Snの一方の入力は、それぞれNANDゲート1213、・・・1nの出力ノードに接続される。セクタS2、・・・Snの他方の入力は、それぞれ前

10

20

30

40

50

段のインバータ群 g_1, \dots, g_{n-1} の最終段のインバータの出力ノードに接続される。

【0087】

発振回路206のストレス印加モードにおいて、セクタ S_1, S_2, \dots, S_n は、制御回路500から入力される制御信号 $f_{sel1}, f_{sel2}, \dots, f_{seln}$ によって、それぞれノード $L_{12}, L_{22}, \dots, L_{n2}$ を選択する。ストレス印加モードにおいて、発振回路206は、NANDゲート11およびインバータ群 g_1 と、各インバータ群 g_2, \dots, g_n とがそれぞれ独立して発振する。ストレス印加モード時における発振回路206がカウンタ300に出力する発振周波数は、インバータ群 g_n の発振周波数と等しくなる。

10

【0088】

発振回路206のHCI劣化検出モードにおいて、セクタ S_1, S_2, \dots, S_n は、それぞれ、制御回路500から入力される制御信号 $f_{sel1}, f_{sel2}, \dots, f_{seln}$ によってノード $L_{11}, L_{21}, \dots, L_{n1}$ を選択する。HCI劣化検出モードにおいて、発振回路206は、全てのインバータ群、およびNAND11を用いて発振する。

【0089】

なお、制御信号 $f_{sel1}, f_{sel2}, \dots, f_{seln}$ は、全て共通の信号であって、制御回路500から出力される1つの信号であってもよい。

【0090】

上記のように、発振回路は、発振段数を調整可能な構成にすることによって、ストレス印加モードとHCI劣化検出モードとを切り替えることができる。

20

【0091】

本例では発振回路206の各インバータ群 g_1, g_2, \dots, g_n の構成として、発振回路202に示されるインバータの配置構成が示されているが、インバータ配置構成はこれに限られない。発振回路203または発振回路204に示されるインバータの配置構成が用いられてもよい。

【0092】

別の局面において、駆動力の大きいインバータ G_{22} に代えて、図7に示されるようなインバータを含む論理ゲート群 $R_{32}, R_{34}, \dots, R_{3n}$ を用いてもよい。

30

【0093】

実施形態3の変形例に従う発振回路は、HCI劣化を加速させるときはストレス印加モードに設定され、HCI劣化を検出するときはHCI劣化検出モードに設定される。当該構成によれば、発振回路のHCI劣化に対する感度が高くなり、かつHCI劣化の検出結果のばらつきを抑えることができる。

【0094】

図1に示される発振回路200として、実施形態3に従う発振回路205または発振回路206を用いることによって、論理回路100を構成するトランジスタのHCI劣化を高感度、かつ高精度に検出することができる。

【0095】

さらに、実施形態3に従う発振回路205または発振回路206を用いた検出回路10は、2端子測定でHCI劣化を検出できるため実製品への実装およびフィールドでの測定が容易である。加えて、実施形態2に従う発振回路205または発振回路206を用いた検出回路10は、昇圧回路を用いないため、消費電力を抑え、かつ、論理回路100の実動作を実現することができる。

40

【0096】

以上、本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明者は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

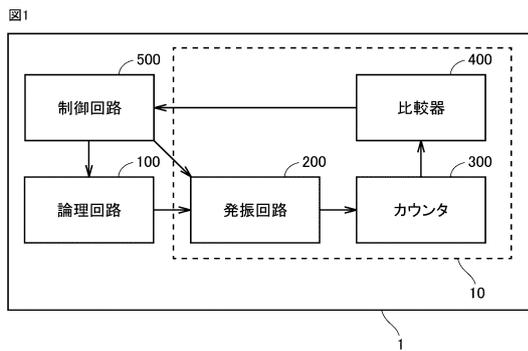
【符号の説明】

50

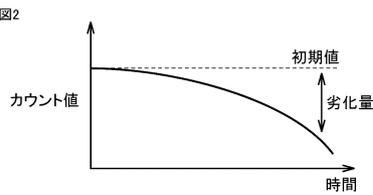
【 0 0 9 7 】

1 半導体装置、10 検出回路、100 論理回路、200, 201, 202, 203, 204, 205, 206 発振回路、300 カウンタ、400 比較器、500 制御回路、G インバータ群、R 論理ゲート群、g インバータ群、S セレクタ。

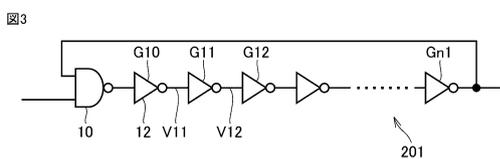
【 図 1 】



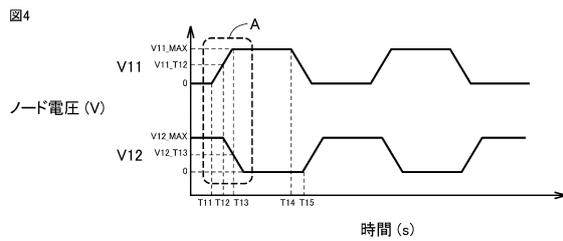
【 図 2 】



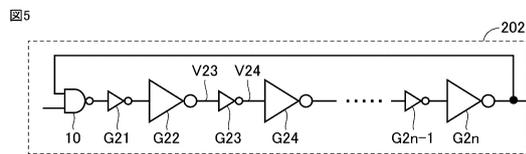
【 図 3 】



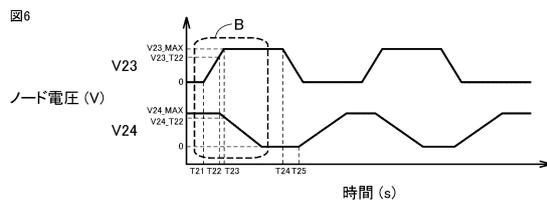
【 図 4 】



【 図 5 】

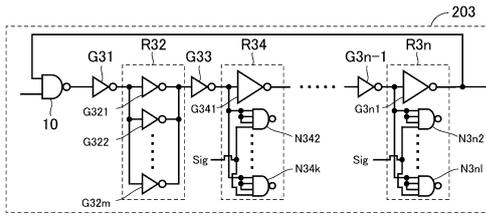


【 図 6 】



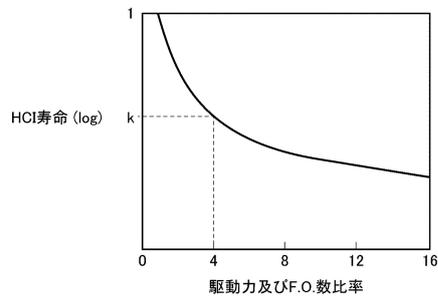
【図7】

図7



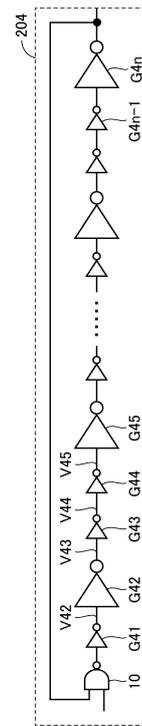
【図8】

図8



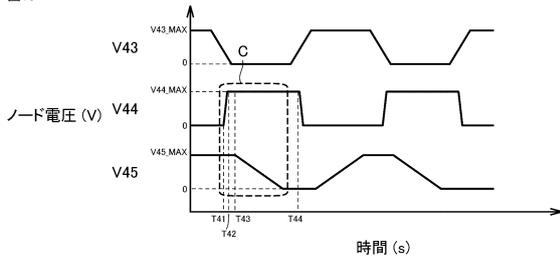
【図9】

図9



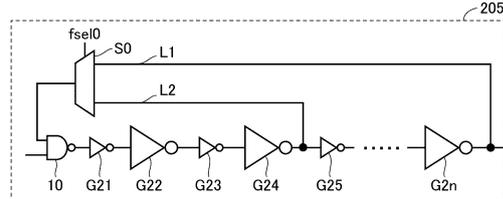
【図10】

図10



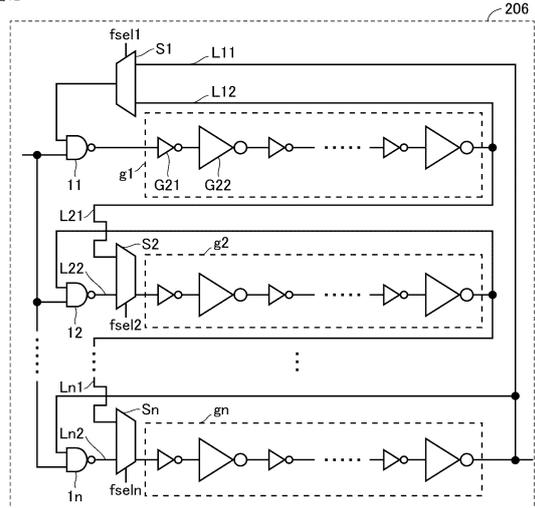
【図11】

図11



【図12】

図12



フロントページの続き

審査官 辻 勇貴

- (56)参考文献 特開2013-120836(JP,A)
特開2010-246081(JP,A)
特開2007-037097(JP,A)
特開昭62-082716(JP,A)
米国特許第06288587(US,B1)
特開2010-283054(JP,A)
特開平09-127186(JP,A)
特開2011-165796(JP,A)
米国特許出願公開第2014/0176116(US,A1)
特開平06-268039(JP,A)
特表2009-519620(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28
H01L 21/822
H01L 27/04
H03K 3/03