



(12)发明专利

(10)授权公告号 CN 104734672 B

(45)授权公告日 2018.04.17

(21)申请号 201310717347.3

(22)申请日 2013.12.23

(65)同一申请的已公布的文献号
申请公布号 CN 104734672 A

(43)申请公布日 2015.06.24

(73)专利权人 国际商业机器公司
地址 美国纽约阿芒克

(72)发明人 何艳 何鸥 赵薇

(74)专利代理机构 北京市金杜律师事务所
11256
代理人 鄢迅 张宁

(51)Int.Cl.
H03K 5/00(2006.01)

(56)对比文件

CN 1174459 A,1998.02.25,
US 6650159 B2,2003.11.18,
CN 101359302 A,2009.02.04,
US 7526666 B1,2009.04.28,

审查员 易铭

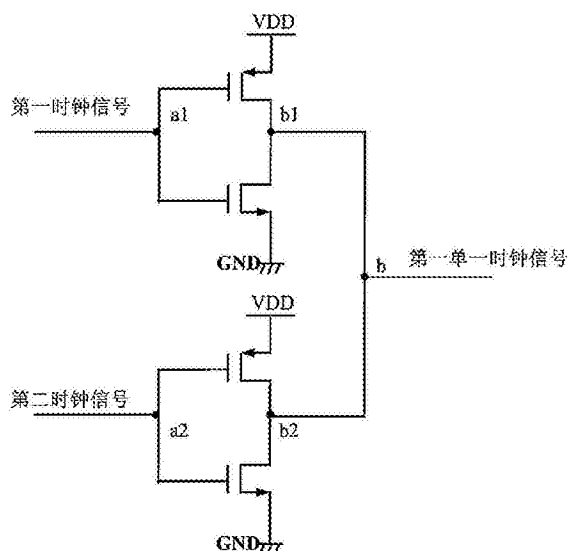
权利要求书2页 说明书8页 附图3页

(54)发明名称

时钟信号控制器

(57)摘要

本发明实施例提供时钟信号控制器,其包括:第一晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第一连接点,栅极连接到第一时钟信号输入端;第二晶体管,其源极和漏极中的一个连接到第一连接点,另一个连接到参考电平,栅极连接到第一时钟信号输入端;第三晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第二连接点,栅极连接到第二时钟信号输入端;和第四晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第二连接点,栅极连接到第二时钟信号输入端。采用本发明的技术方案,可以对不同步的两个时钟信号进行同步。



1. 一种时钟信号控制器,包括:

第一晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第一连接点,栅极连接到第一时钟信号输入端;

第二晶体管,其源极和漏极中的一个连接到第一连接点,另一个连接到参考电平,栅极连接到第一时钟信号输入端;

第三晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第二连接点,栅极连接到第二时钟信号输入端;和

第四晶体管,其源极和漏极中的一个连接到参考电平,另一个连接到第二连接点,栅极连接到第二时钟信号输入端;

其中所述第一连接点和第二连接点连接到第一时钟信号输出端,

其中所述第一晶体管和第二晶体管是互补类型的晶体管,并且其中所述第三晶体管和第四晶体管是互补类型的晶体管,并且所述第一晶体管和第三晶体管是相同类型的晶体管,并且所述第二晶体管和第四晶体管是相同类型的晶体管。

2. 如权利要求1所述的时钟信号控制器,其中所述第一晶体管的驱动能力大于第四晶体管的驱动能力,并且其中所述第二晶体管的驱动能力小于第三晶体管的驱动能力。

3. 如权利要求2所述的时钟信号控制器,进一步包括:

第五晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第三连接点,栅极连接到第一时钟信号输入端;

第六晶体管,其源极和漏极中的一个连接到第三连接点,另一个连接到参考电平,栅极连接到第一时钟信号输入端;

第七晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第四连接点,栅极连接到第二时钟信号输入端;和

第八晶体管,其源极和漏极中的一个连接到参考电平,另一个连接到第四连接点,栅极连接到第二时钟信号输入端;

所述第三连接点和第四连接点连接到第二时钟信号输出端;

所述第一时钟信号输出端和第二时钟信号输出端中的一个经反向后连接到数据选择器的一个数据信号输入端,另一个连接到数据选择器的另一个数据信号输入端,所述数据选择器的输出端连接到D触发器的时钟输入端,所述D触发器的Q端连接到第三时钟信号输出端,所述D触发器的Q端经反相后连接到所述D触发器的D端,并且连接到所述数据选择器的选择信号输入端;

其中所述第五晶体管和第六晶体管是互补类型的晶体管,并且其中所述第七晶体管和第八晶体管是互补类型的晶体管。

4. 如权利要求3所述的时钟信号控制器,其中所述第五晶体管和所述第七晶体管是相同类型的晶体管,并且与所述第一和第三晶体管的类型相同,所述第六晶体管和所述第八晶体管是相同类型的晶体管,并且与所述第二和第四晶体管的类型相同。

5. 如权利要求4所述的时钟信号控制器,其中所述第五晶体管的驱动能力小于第八晶体管的驱动能力,并且其中所述第六晶体管的驱动能力大于第七晶体管的驱动能力。

6. 如权利要求5所述的时钟信号控制器,其中该时钟信号控制器用于集成电路高层模块之间的时钟同步。

7. 如权利要求1或5所述的时钟信号控制器,其中连接到工作电平的晶体管为P型晶体管,连接到参考电平的晶体管为N型晶体管。

8. 如权利要求1所述的时钟信号控制器,其中所述第一晶体管的驱动能力小于第四晶体管的驱动能力,并且其中所述第二晶体管的驱动能力大于第三晶体管的驱动能力。

9. 如权利要求1所述的时钟信号控制器,其中该时钟信号控制器用于集成电路低层模块之间的时钟同步。

时钟信号控制器

■技术领域

[0001] 本发明涉及电路技术,更具体地说,涉及时钟信号控制器。

■背景技术

[0002] 时钟信号的质量很大程度上决定了集成电路的性能。在传统的设计中,采用时钟树(clock tree)技术来提供时钟信号。在时钟树中,原始的时钟信号从时钟源输出。理论上讲,该时钟信号可以直接提供给所有使用该时钟信号的元件,例如寄存器或锁存器。但实际上,由于时钟路径太长,该时钟信号的驱动能力会变弱。这时就需要在时钟路径上加入反相器或缓冲器,用来增强时钟信号的驱动能力。可以理解,增强后的时钟信号,其驱动能力可能会再次变弱,从而需要再次加入反相器或缓冲器。从整个时钟路径上来看,这些加入的反相器或缓冲器形成树状结构中的节点。

[0003] 本领域技术人员可以理解,时钟信号在时钟路径上的传播是有延迟的。如前所述,在从时钟源到使用时钟信号的元件的时钟路径上,包括若干个反相器或缓冲器。这些反相器或缓冲器是造成所述延迟的一个重要因素。反相器或缓冲器所造成的延迟受所述反相器或缓冲器的制造工艺、运行温度、电源噪声等许多因素的影响,具有很大的不确定性。这种具有不确定性的延迟对集成电路的性能造成了很大的不利影响。例如,在数据路径上前后相邻的两个元件,其时钟信号可能来自于不同的时钟路径;如果这两个时钟信号严重地不同步,那么就会导致这两个元件无法彼此配合工作。随着芯片工作频率即时钟信号的频率越来越高,这种不利影响变得越来越显著。

[0004] 为了克服上述问题,发展了时钟网格(clock mesh)技术。时钟网格技术在芯片的一定范围内实现时钟信号的同步。具体而言,通过时钟网格技术,可以在所述范围内形成一个网状的结构,这个结构上各个点的时钟信号可以看做是同步的。相应地,该范围内的各个元件就近从该网状结构上获得时钟信号,从而这些元件被同步的时钟信号所驱动。

[0005] 对于具有复杂功能的大型集成电路而言,从功耗的角度和布线的角度来看,时钟网格只能在芯片的某个局部实现。此外,时钟网格技术通常在所述范围是规则形状的情况下才能取得良好的性能。然而,在很多场合,芯片中往往包括很多时钟域(clock domain),并且这些时钟域并不具有规则的形状。因此,很难为这些时钟域分别建立对应的时钟网格。

[0006] 因此,需要一种新的解决方案来处理时钟信号不同步的问题。

■发明内容

[0007] 本发明实施例提供时钟信号控制器,以便将不同步的时钟信号变为同步的时钟信号。

[0008] 根据本发明实施例的一种时钟信号控制器,包括:第一晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第一连接点,栅极连接到第一时钟信号输入端;第二晶体管,其源极和漏极中的一个连接到第一连接点,另一个连接到参考电平,栅极连接到第一时钟信号输入端;第三晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第二

连接点,栅极连接到第二时钟信号输入端;和第四晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第二连接点,栅极连接到第二时钟信号输入端;其中所述第一连接点和第二连接点连接到第一时钟信号输出端,其中所述第一晶体管和第二晶体管是互补类型的晶体管,并且其中所述第三晶体管和第四晶体管是互补类型的晶体管。

[0009] 根据本发明实施例的时钟信号控制器,进一步包括:第五晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第三连接点,栅极连接到第一时钟信号输入端;第六晶体管,其源极和漏极中的一个连接到第三连接点,另一个连接到参考电平,栅极连接到第一时钟信号输入端;第七晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第四连接点,栅极连接到第二时钟信号输入端;和第八晶体管,其源极和漏极中的一个连接到工作电平,另一个连接到第四连接点,栅极连接到第二时钟信号输入端;所述第三连接点和第四连接点连接到第二时钟信号输出端;所述第一时钟信号输出端和第二时钟信号输出端中的一个经反向后连接到数据选择器的一个数据信号输入端,另一个连接到数据选择器的另一个数据信号输入端,所述数据选择器的输出端连接到D触发器的时钟输入端,所述D触发器的Q端连接到第三时钟信号输出端。所述D触发器的Q端经反相后连接到所述D触发器的D端,并且连接到所述数据选择器的选择信号输入端;其中所述第五晶体管和第六晶体管是互补类型的晶体管,并且其中所述第七晶体管和第八晶体管是互补类型的晶体管。

[0010] 根据本发明实施例提供的技术方案,可以将不同步的时钟信号转换为同步的时钟信号。

■附图说明

[0011] 通过结合附图对本公开示例性实施方式进行更详细的描述,本公开的上述以及其它目的、特征和优势将变得更加明显,其中,在本公开示例性实施方式中,相同的参考标号通常代表相同部件。

[0012] 图1、图3和图4是根据本发明实施例的时钟信号控制器的结构。

[0013] 图2、图5和图6是根据本发明实施例的时钟信号控制器的仿真波形图。

■具体实施方式

[0014] 下面参照附图,结合具体实施例对本发明进行描述。这样的描述仅仅出于说明目的,而不意图对本发明的范围进行限制。仅以举例说明的目的给出附图并因此没有按比例绘制。此外,当第一元件被描述为与第二元件相连时,第一元件不仅可以直接与第二元件相连,而且还可以借助第三元件间接地与第二元件相连。进一步地,为了清楚,省略了对完全理解本发明不必要的一些元件。在附图中,相似和相应的元件由相似的附图标记代表。

[0015] 本领域技术人员可以理解,在数字电路中,电平和器件类型具有对称的关系。例如,N型晶体管的导通电平是高电平,P型晶体管的导通电平是低电平。因此,在下面的描述中所涉及的对高低电平的条件,均可以通过对相关器件的类型进行改变而进行变化。此外,也可以通过增加额外的器件对所示条件进行变化。例如对于高电平导通的N型晶体管,如果在N型晶体管的栅极与输入信号之间增加反相器件,那么该晶体管可以在输入信号为低电平时导通。又例如,在仅仅利用晶体管的导通/截止特性时,晶体管的源极和漏极可以互换。这些变形均等同于以下所描述的本发明的实施例并且落入本专利的保护范围。

[0016] 图1示出了根据本发明实施例的时钟信号控制器的结构。

[0017] 如图1所示,根据本发明实施例的时钟信号控制器包括四个晶体管,其中第一晶体管是P型晶体管,其源极连接到工作电平,漏极连接到第一连接点b1,栅极连接到第一时钟信号输入端a1。第二晶体管是N型晶体管,其源极连接到所述第一连接点b1,漏极连接到参考电平,栅极连接到所述第一时钟信号输入端a1。所述第一连接点进一步连接到第一时钟信号输出端b。

[0018] 第三晶体管是P型晶体管,其源极连接到工作电平,漏极连接到第二连接点b2,栅极连接到第二时钟信号输入端a2。第四晶体管是N型晶体管,其源极连接到所述第二连接点b2,漏极连接到参考电平,栅极连接到所述第二时钟信号输入端a2。所述第二连接点进一步连接到第一时钟信号输出端b。

[0019] 可以理解,第一晶体管和第二晶体管是互补类型的晶体管,即第一晶体管是N型晶体管和P型晶体管中的一种,而第二晶体管是另一种。类似地,第三晶体管和第四晶体管也是互补类型的晶体管。根据本发明实施例,与工作电平相连的是P型晶体管,与参考电平相连的是N型晶体管。

[0020] 根据本发明实施例,所述第一晶体管和第三晶体管是相同类型的晶体管,并且所述第二晶体管和第四晶体管是相同类型的晶体管,这样可以使得与第一时钟信号连接的一对晶体管和与第二时钟信号连接的一对晶体管之间具有更好的对称性。

[0021] 通过图1所示的结构,可以将不同步的第一时钟信号和第二时钟信号进行合并,从而在第一时钟信号输出端b输出第一单一时钟信号。

[0022] 下面接合图2所示的波形图描述图1所示结构的工作原理。

[0023] 在图2中,横轴是时间轴。图2示出了a1、a2、b1、b2和b的波形。通过对比a1点和a2点的波形图可以看出,第一时钟信号和第二时钟信号具有相位差,即不同步。

[0024] 在第一时刻,第一时钟信号和第二时钟信号均为低电平。此时,第一和第三晶体管导通,第二和第四晶体管截止。相应地,b1点和b2点均为高电平,从而b点也为高电平。

[0025] 在第二时刻,第一时钟信号变为高电平,而第二时钟信号由于具有相位差仍然处于低电平。此时,第一晶体管截止,第二晶体管导通;相应地,b1点变为低电平。同时,第三晶体管仍然导通,第四晶体管仍然截止,所以b2点仍然是高电平。b点的电平处于高电平和低电平之间。

[0026] 在第三时刻,第一时钟信号仍然为高电平,而第二时钟信号也变为高电平。此时,第一和第三晶体管截止,第二和第四晶体管导通。相应地,b1和b2点均变为低电平,从而b点也为低电平。

[0027] 图1所示的结构中,输入的第一时钟信号和第二时钟信号具有相位差,从而具有未对齐的上升沿。输出的第一单一时钟信号具有分别与所述未对齐的上升沿对应的两个下降沿,并且在两个下降沿之间处于介于高电平和低电平之间的中间电平。

[0028] 本领域技术人员可以理解,时钟信号应该要么具有高电平,要么具有低电平;在一个周期内,时钟信号应该只有一个上升沿和一个下降沿。如果不满足这些条件,那么有可能会产生被时钟信号驱动的元素进行误操作。为了解决这一问题,在图1所示的四个晶体管需要具有不同的驱动能力。

[0029] 如前所述,在第二时刻,第一连接点b1为低电平,第二连接点b2为高电平,第一时

钟信号输出端b的电平处于高电平和低电平之间。如果在第二时刻,第一连接点b1的低电平信号强于第二连接点b2的高电平信号,就会使得第一时钟信号输出端b的电平受第一连接点b1的影响更大,从而接近低电平。这样,b点的第一个下降沿就会变得明显,而第二个下降沿就会变得不明显,从而b点的第一单一时钟信号可以近似地看作只有一个下降沿,并且该下降沿与第一时钟信号的上升沿对齐。类似地,如果在第二时刻,第一连接点b1的低电平信号弱于第二连接点b2的高电平信号,就会使得第一时钟信号输出端b的电平受第二连接点b2的影响更大,从而接近高电平。这样,b点的第二个下降沿就会变得明显,而第一个下降沿就会变得不明显,从而b点的第一单一时钟信号也可以近似地看作只有一个下降沿,并且该下降沿与第二时钟信号的上升沿对齐。

[0030] 为了使得第一连接点b1的低电平信号强于第二连接点b2的高电平信号,在图1所示的结构中,将第一连接点b1下拉至参考电平的第二晶体管的驱动能力需要大于将第二连接点b2上拉至工作电平的第三晶体管的驱动能力。类似地,为了使得第一连接点b1的低电平信号弱于第二连接点b2的高电平信号,在图1所示的结构中,将第一连接点b1下拉至参考电平的第二晶体管的驱动能力需要小于将第二连接点b2上拉至工作电平的第三晶体管的驱动能力。如何提高晶体管的驱动能力是本领域的常用技术手段,在此不再赘述。

[0031] 以上参照图2描述了图1所示的结构对第一时钟信号和第二时钟信号的上升沿的处理。由于第一时钟信号的上升沿比第二时钟信号的上升沿提前,第一时钟信号的下降沿也会比第二时钟信号的下降沿提前。相应地,b点的第一单一时钟信号会具有对应于第一时钟信号的下降沿的第一个上升沿,和对应于第二时钟信号的下降沿的第二个上升沿;所述第一单一时钟信号在第一个上升沿和第二个上升沿之间具有介于高电平和低电平之间的中间电平。

[0032] 根据本发明的一个实施例,连接到第一时钟信号的一对晶体管作为整体的驱动能力,与连接到第二时钟信号的一对晶体管作为整体的驱动能力是对称的。也就是说,如果第二晶体管的驱动能力大于第三晶体管的驱动能力,那么第一晶体管的驱动能力就小于第四晶体管的驱动能力。在这种情况下,对于第一时钟信号的下降沿和第二时钟信号的下降沿之间的这个时间段,将第一连接点b1上拉至工作电平的第一晶体管的驱动能力小于将第二连接点b2下拉至参考电平的第四晶体管的驱动能力,那么第一连接点b1的高电平信号弱于第二连接点b2的低电平信号,从而所述第一单一时钟信号的第一个上升沿变得不明显,而第二个上升沿变得更加明显。

[0033] 反之,如果第二晶体管的驱动能力小于第三晶体管的驱动能力,为了达到所述对称的驱动能力,第一晶体管的驱动能力就大于第四晶体管的驱动能力。在这种情况下,对于第一时钟信号的下降沿和第二时钟信号的下降沿之间的这个时间段,将第一连接点b1上拉至工作电平的第一晶体管的驱动能力大于将第二连接点b2下拉至参考电平的第四晶体管的驱动能力,那么第一连接点b1的高电平信号强于第二连接点b2的低电平信号,从而所述第一个上升沿变得明显,而第二个上升沿变得不明显。

[0034] 由上面的分析可以看出,如果连接到第一时钟信号的一对晶体管作为整体的驱动能力,与连接到第二时钟信号的一对晶体管作为整体的驱动能力是对称的,那么会导致第一单一时钟信号的占空比相对于第一时钟信号或第二时钟信号均发生变化。例如,如果第一晶体管的驱动能力大于第四晶体管的驱动能力,第二晶体管的驱动能力小于第三晶体管

的驱动能力,那么b点的第一单一时钟信号的下降沿对应于第二时钟信号的上升沿,而第一单一时钟信号的上升沿对应于第一时钟信号的下降沿。反之,如果第一晶体管的驱动能力小于第四晶体管的驱动能力,第二晶体管的驱动能力大于第三晶体管的驱动能力,那么b点的第一单一时钟信号的下降沿对应于第一时钟信号的上升沿,而第一单一时钟信号的上升沿对应于第二时钟信号的下降沿。无论是哪种情况,第一单一时钟信号的占空比都发生了变化。

[0035] 如果要求b点的第一单一时钟信号的上升沿和下降沿分别与第一时钟信号的下降沿和上升沿对齐,那么与第一时钟信号直接相连的第一晶体管和第二晶体管的驱动能力,需要分别大于与第二时钟信号直接相连的第四和第三晶体管的驱动能力。反之,如果要求b点的第一单一时钟信号的上升沿和下降沿分别与第二时钟信号的下降沿和上升沿对齐,那么与第一时钟信号直接相连的第一晶体管和第二晶体管的驱动能力,需要分别小于与第二时钟信号直接相连的第四和第三晶体管的驱动能力。因此,根据本发明另一个实施例,连接到第一时钟信号的一对晶体管作为整体的驱动能力,与连接到第二时钟信号的一对晶体管作为整体的驱动能力是对称的。

[0036] 然而,这种时钟控制器的结构会导致b点的第一单一时钟信号固定地跟随第一时钟信号或第二时钟信号中的一个,而不管所述特定一个是较快的时钟信号还是较慢的时钟信号。如前所述,时钟路径上的延迟具有不确定性。有可能在芯片工作的某个期间,第一时钟信号快于第二时钟信号;在芯片工作的另一个期间,第一时钟信号慢于第二时钟信号。因此,固定地跟随第一时钟信号或第二时钟信号中的特定一个,会造成所述第一单一时钟信号在某个期间跟随的是较快的输入时钟信号,在另一个期间跟随的是较慢的输入时钟信号。这样的第一单一时钟信号驱动会给受其驱动的元件的工作带来负面影响。

[0037] 此外,如前所述,第一单一时钟信号中具有分别对应于第一时钟信号和第二时钟信号的两个上升沿和两个下降沿。虽然通过调节晶体管的驱动能力,可以使得所述两个上升沿/两个下降沿中的一个变得明显,而另一个变得不明显。但是,除非具有驱动能力差异的两个晶体管的驱动能力差异非常大,否则在第一单一时钟信号中仍然会出现不可忽视的两个上升沿和两个下降沿。在非常近的距离上实现驱动能力差异非常大的晶体管,对芯片制造工艺的要求非常高。

[0038] 图3示出根据本发明另一个实施例的时钟控制器的结构。

[0039] 已经参照图1描述了根据本发明实施例的时钟控制器的基本结构,在图3中,所述第一时钟合并器和第二时钟合并器具有图1所示的结构。

[0040] 具体而言,第一时钟合并器具有第一到第四晶体管。其中第一晶体管是P型晶体管,其源极连接到工作电平,漏极连接到第一连接点,栅极连接到第一时钟信号输入端。第二晶体管是N型晶体管,其源极连接到所述第一连接点,漏极连接到参考电平,栅极连接到所述第一时钟信号输入端。所述第一连接点进一步连接到第一时钟信号输出端。

[0041] 第三晶体管是P型晶体管,其源极连接到工作电平,漏极连接到第二连接点,栅极连接到第二时钟信号输入端。第四晶体管是N型晶体管,其源极连接到所述第二连接点,漏极连接到参考电平,栅极连接到所述第二时钟信号输入端。所述第二连接点进一步连接到第一时钟信号输出端。

[0042] 在第一时钟合并器中,连接到第一时钟信号的N型晶体管即第二晶体管的驱动能

力大于连接到第二时钟信号的P型晶体管即第三晶体管的驱动能力,连接到第一时钟信号的P型晶体管即第一晶体管的驱动能力小于连接到第二时钟信号的N型晶体管即第四晶体管的驱动能力。从前面的分析可以看出,假设第一时钟信号快于第二时钟信号,则第一时钟合并器输出的第一单一时钟信号的下降沿对应于第一时钟信号的上升沿,并且其上升沿对应于第二时钟信号的下降沿。

[0043] 第二时钟合并器具有第五到第八晶体管。其中第五晶体管是P型晶体管,其源极连接到工作电平,漏极连接到第三连接点,栅极连接到第一时钟信号输入端。第六晶体管是N型晶体管,其源极连接到所述第三连接点,漏极连接到参考电平,栅极连接到所述第一时钟信号输入端。所述第一连接点进一步连接到第二时钟信号输出端。

[0044] 第七晶体管是P型晶体管,其源极连接到工作电平,漏极连接到第二连接点,栅极连接到第二时钟信号输入端。第八晶体管是N型晶体管,其源极连接到所述第二连接点,漏极连接到参考电平,栅极连接到所述第二时钟信号输入端。所述第二连接点进一步连接到第二时钟信号输出端。

[0045] 在第二时钟合并器中,连接到第一时钟信号的N型晶体管即第六晶体管的驱动能力小于连接到第二时钟信号的P型晶体管即第七晶体管的驱动能力,连接到第一时钟信号的P型晶体管即第五晶体管的驱动能力大于连接到第二时钟信号的N型晶体管即第八晶体管的驱动能力。从前面的分析可以看出,假设第一时钟信号快于第二时钟信号,则第一时钟合并器输出的第二单一时钟信号的下降沿对应于第二时钟信号的上升沿,并且其上升沿对应于第一时钟信号的下降沿。

[0046] 在图3中,所述第一时钟信号输出端连接到数据选择器的一个数据信号输入端,所述第二时钟信号输出端经过反相之后连接到数据选择器的另一个数据信号输入端,所述数据选择器的输出端连接到D触发器的时钟输入端。所述数据选择器的选择信号为高电平时,所述数据选择器选择第一时钟信号作为输出;反之,所述选择信号为低电平时,所述数据选择器选择反相后的第二时钟信号作为输出。

[0047] 也就是说,数据选择器的一个数据信号输入端的信号具有对应于第一时钟信号的上升沿的下降沿,并且具有对应于第二时钟信号的下降沿的上升沿。数据选择器的另一个数据信号输入端的信号具有对应于第二时钟信号的上升沿的上升沿,并且具有对应于第一时钟信号的下降沿的下降沿。

[0048] 所述D触发器的Q端连接到第三时钟信号输出端。所述D触发器的Q端经反相后连接到所述D触发器的D端,并且连接到所述数据选择器的选择信号输入端。

[0049] 本领域技术人员可以理解,D触发器的工作原理是,在时钟的每个上升沿,将D端处的信号值在Q端输出。在图3中,Q端的信号经过反相后又连接到D端。因此,第三时钟信号输出端的信号实际上是在每个时钟的上升沿翻转一次。

[0050] 另一方面,所述第三时钟信号输出端的信号又连接到数据选择器的选择信号输入端。也就是说,当所述第三时钟信号输出端的信号为高电平和低电平中的一个时,所述数据选择器选择输出第一单一时钟信号;当所述第三时钟信号输出端的信号为高电平和低电平中的另一个时,所述数据选择器选择输出第二单一时钟信号。在图3中,所述选择信号使得所述数据选择器在第二时钟信号具有上升沿时输出第二单一时钟信号,在第一时钟信号具有上升沿时输出第一单一时钟信号。

[0051] 由于第二单一时钟信号具有对应于第二时钟信号的上升沿的上升沿,而第一单一时钟信号具有对应于第二时钟信号的下降沿的上升沿。因此,在图3所示的结构中,所述数据选择器的输出端具有两个上升沿,其分别对应于第二时钟信号的上升沿和下降沿。如前所述,D触发器的输出端即第三时钟信号输出端的信号实际上是在每个时钟的上升沿翻转一次。因此,第三时钟信号输出端的信号的上升沿对应于第二时钟信号的上升沿和下降沿中的一个,第三时钟信号的下降沿对应于第二时钟信号的上升沿和下降沿中的另一个。由此可见,所述第三时钟信号输出端的信号的占空比与原始的第一时钟信号或第二时钟信号的占空比是一样的。

[0052] 前面的描述假定第一时钟信号比第二时钟信号更快。本领域技术人员基于该描述可以得出结论,当第二时钟信号比第一时钟信号更快时,所述第三时钟信号输出端的信号的上升沿对应于第一时钟信号的上升沿和下降沿中的一个,第三时钟信号的下降沿对应于第一时钟信号的上升沿和下降沿中的另一个。因此,所述第三时钟信号输出端的信号跟随第一时钟信号和第二时钟信号中较慢的那个。

[0053] 如果希望所述第三时钟信号输出端的信号跟随第一时钟信号和第二时钟信号中较快的那个,那么可以采用如图4所示的结构。在图4中,第一时钟合并器的输出经过反相后连接到数据选择器的一个输入,第二时钟合并器的输出连接到数据选择器的另一个输入。所述数据选择器的选择信号为高电平时,所述数据选择器选择反相后的第一时钟信号作为输出;反之,所述选择信号为低电平时,所述数据选择器选择第二时钟信号作为输出。

[0054] 图5和图6分别是对图3和图4中的电路进行仿真所得到的波形图。从图5可以看出,第二时钟信号(Net b)慢于第一时钟信号(Net a)。第三时钟信号输出端的信号(Net g)与第二时钟信号同步。从图6可以看出,仍然是第二时钟信号(Net b)慢于第一时钟信号(Net a)的情况,第三时钟信号输出端的信号(Net g)与第一时钟信号同步。第三时钟信号输出端的信号的占空比与第一时钟信号和第二时钟信号是一样的。第三时钟信号输出端的信号没有图2中的单一时钟信号(b)那样的阶梯状的上升沿或下降沿。

[0055] 本领域技术人员可以理解,现代的集成电路设计往往采用分层设计的方法。也就是说,整个集成电路首先被划分成若干个模块;每一个功能模块又被划分成若干个更小的模块;每一个子模块又被划分成再小的模块,直到元件级的实现。接近元件级实现的设计层级被称为高层设计,远离元件级实现的设计层级被称为低层设计。

[0056] 本发明的发明人发现,在高层设计中对时钟信号的要求比较高,不仅要求各个模块的时钟信号之间同步,还要求各个高层模块的时钟信号的占空比一样。在低层设计中对时钟信号的要求比较低,只需要保证时钟信号之间的同步即可。根据本发明实施例,可以在高层设计中采用如图3和图4所示的结构,在低层设计中采用如图1所示的结构。也就是说,只针对高层模块之间的时钟同步采用图3和图4所示的复杂结构,至于这些高层模块内部的低层模块之间的时钟同步,就可以采用图1所示的简单结构,而不用采用图3和图4所示的复杂结构。本领域技术人员可以理解,高层模块的数目远远小于低层模块的数目。这样既满足了对时钟信号的要求,又节约了集成电路资源。

[0057] 从时钟树的角度而言,给高层模块供电的时钟树节点往往靠近时钟树的根节点,给低层模块供电的时钟树节点往往靠近时钟树的叶节点。根据本发明实施例,在对靠近根节点的两个时钟树节点所输出的时钟信号进行同步时,采用如图3和图4所示的复杂结构;

在对靠近叶节点的两个时钟树节点所输出的时钟信号进行同步时,采用如图1所示的简单结构。本领域技术人员可以理解,在时钟树中,靠近根节点的节点数目,远远小于靠近叶节点的节点数目。因此,采用这样的策略,同样也可以既满足对时钟信号的要求,又节约集成电路资源。

[0058] 虽然以上结合具体实施例,对本发明的各个装置进行了详细描述,但本发明并不限于此。本领域普通技术人员能够在说明书教导之下对本发明进行多种变换、替换和修改而不偏离本发明的精神和范围。应该理解,所有这样的变化、替换、修改仍然落入本发明的保护范围之内。本发明的保护范围由所附权利要求来限定。

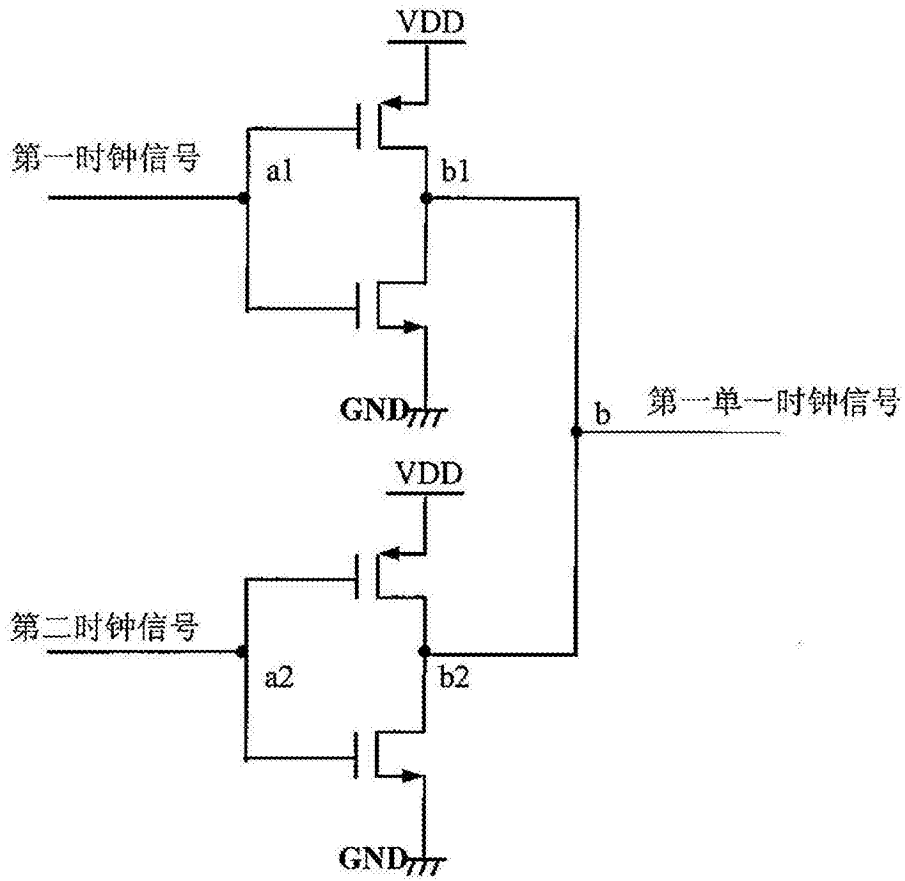


图1

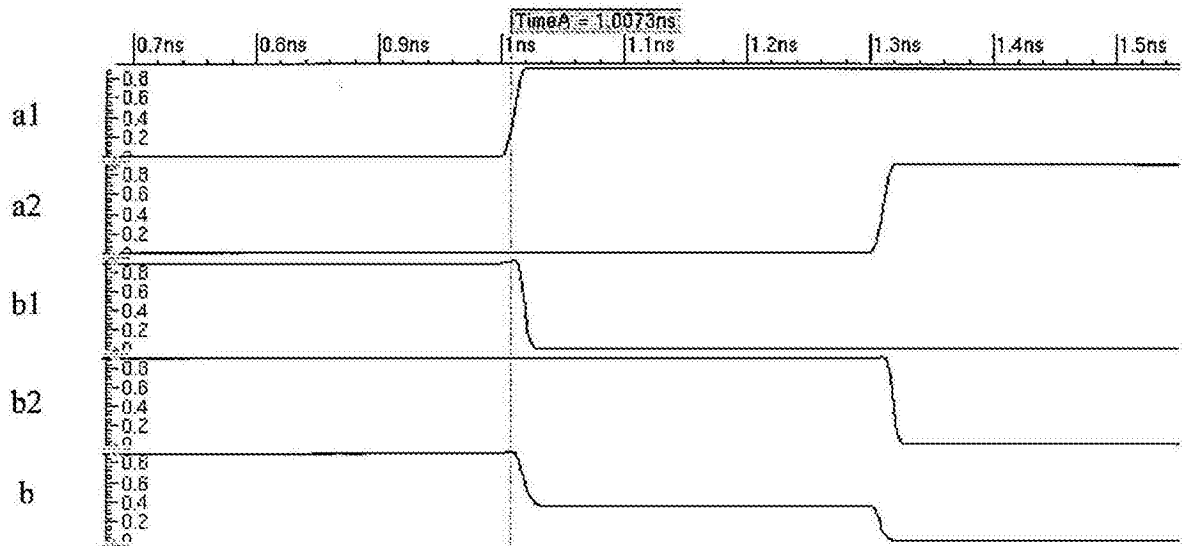


图2

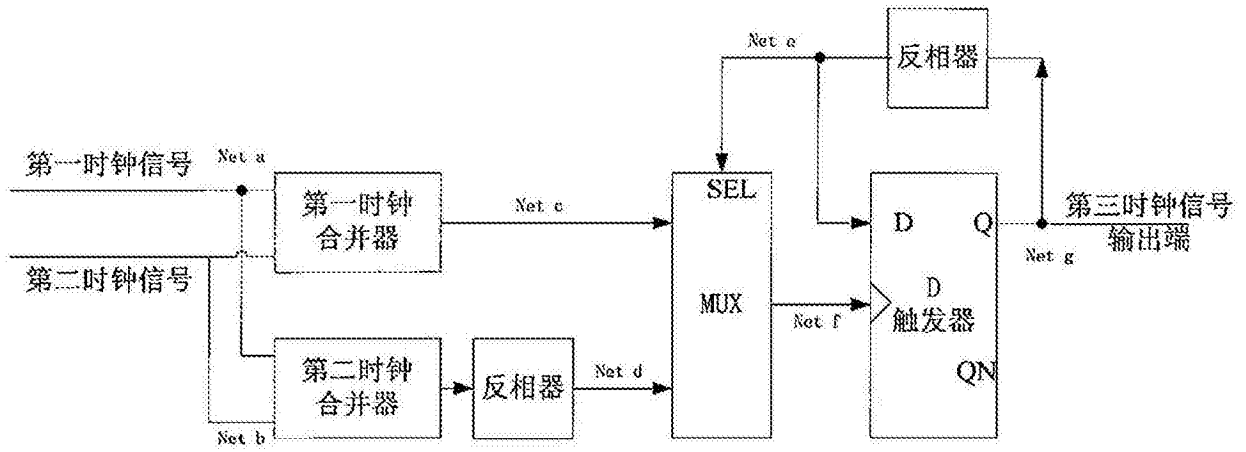


图3

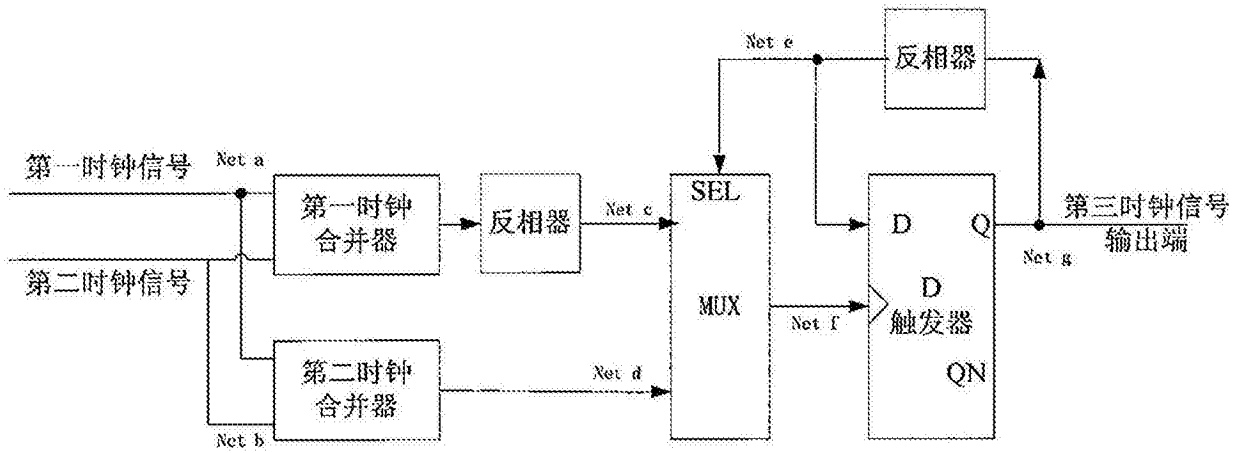


图4

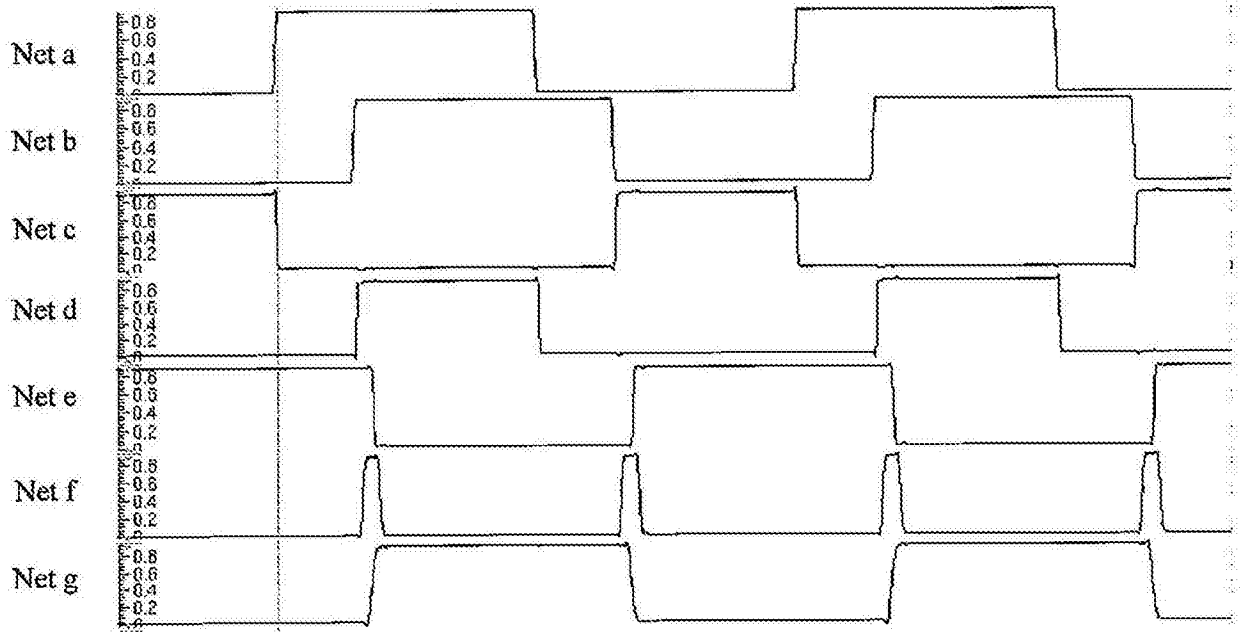


图5

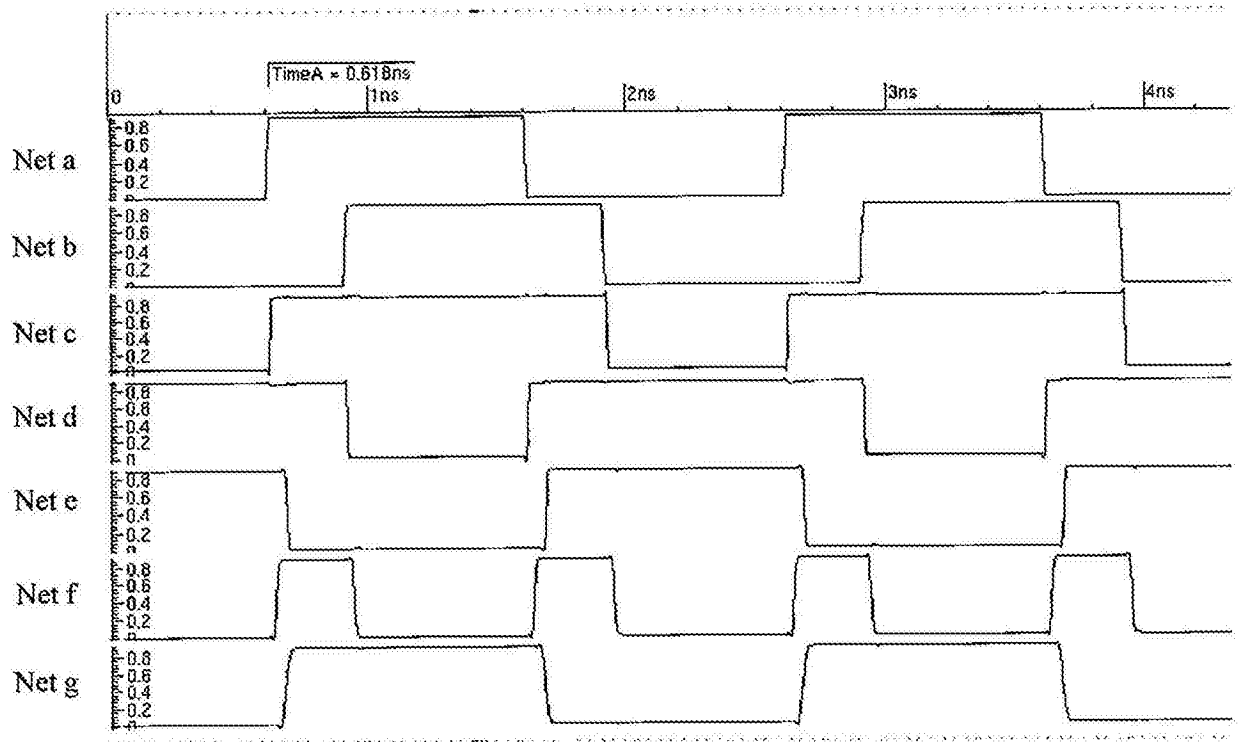


图6