

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5655277号
(P5655277)

(45) 発行日 平成27年1月21日(2015.1.21)

(24) 登録日 平成26年12月5日(2014.12.5)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 G
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 21/265 (2006.01)	HO 1 L 29/78	6 1 8 A
GO 9 F 9/30 (2006.01)	HO 1 L 29/78	6 1 9 A
	HO 1 L 21/265	F
請求項の数 10 (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2009-106130 (P2009-106130)	(73) 特許権者	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(22) 出願日	平成21年4月24日(2009.4.24)	(72) 発明者	官▲崎▼ちひろ 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(65) 公開番号	特開2010-258196 (P2010-258196A)	(72) 発明者	伊藤 学 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(43) 公開日	平成22年11月11日(2010.11.11)	審査官	鈴木 聡一郎
審査請求日	平成24年3月16日(2012.3.16)		
		最終頁に続く	

(54) 【発明の名称】 薄膜トランジスタおよびアクティブマトリクスディスプレイ

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板上に少なくともゲート電極と、ゲート絶縁層が順次積層され、前記ゲート絶縁層上に酸化物を含む半導体層とソース電極およびドレイン電極が設けられたボトムゲート型の薄膜トランジスタであって、

前記半導体層表面の一部を覆うように前記ソース電極及びドレイン電極が形成されており、前記ソース電極及びドレイン電極を形成後に、前記ソース電極及びドレイン電極に覆われていない前記半導体層表面の領域に、 N_2O プラズマを投入電力が100W以上200W以下で1分以上3分以下照射することで酸素を注入することを特徴とする薄膜トランジスタ。

10

【請求項 2】

前記酸化物を含む半導体層がInとGaとZnの少なくとも一種を含むことを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項 3】

前記ソース電極及びドレイン電極に覆われていない前記半導体層上に保護層を有することを特徴とする請求項1または2のいずれかに記載の薄膜トランジスタ。

【請求項 4】

前記保護層は無機材料であることを特徴とする請求項3に記載の薄膜トランジスタ。

【請求項 5】

前記保護層は有機材料であることを特徴とする請求項3に記載の薄膜トランジスタ。

20

【請求項 6】

絶縁基板上にゲート電極を形成する工程と、
 該ゲート電極上にゲート絶縁層を形成する工程と、
 該ゲート絶縁層上に酸化物を含む半導体を形成する工程と、
 該半導体層上にソース電極及びドレイン電極を形成する工程と、
 該半導体層の表面に投入電力が100W以上200W以下で1分以上3分以下N₂Oプラズマを照射する工程と、
 を有することを特徴とする薄膜トランジスタの製造方法。

【請求項 7】

絶縁基板上にゲート電極を形成する工程と、
 該ゲート電極上にゲート絶縁層を形成する工程と、
 該ゲート絶縁層上にソース電極及びドレイン電極を形成する工程と、
 該ソース電極及びドレイン電極の一部を覆うように酸化物を含む半導体層を形成する工程と、
 該半導体層の表面に投入電力が100W以上200W以下で1分以上3分以下N₂Oプラズマを照射する工程と、
 を有することを特徴とする薄膜トランジスタの製造方法。

10

【請求項 8】

前記半導体層の表面にN₂Oプラズマを照射した後に、該半導体層上に保護層を形成する工程を有することを特徴とする請求項6または7に記載の薄膜トランジスタの製造方法。

20

【請求項 9】

請求項1乃至5のいずれか1項に記載の薄膜トランジスタのレイと、該レイのソース電極又はドレイン電極に接続された画素電極と、該画素電極上に配置された画像表示媒体とを備える画像表示装置。

【請求項 10】

前記画像表示媒体が電気泳動方式によるものであることを特徴とする請求項9に記載の画像表示装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、各種画像表示装置の駆動素子や各種論理回路の論理素子等に用いることができる薄膜トランジスタおよびアクティブマトリクスディスプレイに関する。

【背景技術】

【0002】

現在、一般的な平面薄型画像表示装置(Flat Panel Display;FPD)は、半導体に非晶質シリコンや多結晶シリコンを用いた電界効果型薄膜トランジスタにより駆動するアクティブマトリクスタイプのものが主流となっている。

【0003】

40

一方、FPDのさらなる薄型化及び軽量化、耐衝撃性や可撓性の向上を目的に、ガラス基板の代わりにプラスチック基板を用いる試みが近年なされている。

【0004】

しかしながら、上述のシリコンを半導体層に用いた薄膜トランジスタの製造は、高温の熱工程を要し、耐熱性の低いプラスチック基板に適用するのは困難である。

【0005】

そこで、低温形成が可能な酸化物を半導体層に用いた薄膜トランジスタの開発が活発に行われてきている(非特許文献1)。

【0006】

また高い信頼性を持ち、ディスプレイの多階調表示が可能な薄膜トランジスタを実現する

50

ためには、従来の酸化物を半導体に用いた薄膜トランジスタにおいては、オンオフ比が十分でないという問題点を有しており、より高いオンオフ比を持つ薄膜トランジスタを得るための研究がなされている。

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】伊藤学、応用物理77[7](2008) 809-812

【発明の概要】

【発明が解決しようとする課題】

【0008】

そこで本発明では、上記のような要求を解決するため、ボトムゲート型の薄膜トランジスタにおいて、オンオフ比の高いトランジスタを提供することを課題とする。

【課題を解決するための手段】

【0009】

本発明は上記目的を達成するためになされたものであり、請求項1に係る発明は、絶縁基板上に少なくともゲート電極と、ゲート絶縁層が順次積層され、前記ゲート絶縁層上に酸化物を含む半導体層とソース電極およびドレイン電極が設けられたボトムゲート型の薄膜トランジスタであって、前記半導体層表面の一部を覆うように前記ソース電極及びドレイン電極が形成されており、前記ソース電極及びドレイン電極を形成後に、前記ソース電極及びドレイン電極に覆われていない前記半導体層表面の領域に、 N_2O プラズマを投入電力が100W以上200W以下で1分以上3分以下照射することで酸素を注入することを特徴とする薄膜トランジスタである。

【0012】

また請求項2に係る発明は、前記酸化物を含む半導体層がInとGaとZnの少なくとも一種を含むことを特徴とする請求項1に記載の薄膜トランジスタである。

【0013】

また請求項3に係る発明は、前記ソース電極及びドレイン電極に覆われていない前記半導体層上に保護層を有することを特徴とする請求項1または2のいずれかに記載の薄膜トランジスタである。

【0014】

また請求項4に係る発明は、前記保護層は無機材料であることを特徴とする請求項3に記載の薄膜トランジスタである。

【0015】

また請求項5に係る発明は、前記保護層は有機材料であることを特徴とする請求項3に記載の薄膜トランジスタである。

【0016】

また請求項6に係る発明は、絶縁基板上にゲート電極を形成する工程と、該ゲート電極上にゲート絶縁層を形成する工程と、該ゲート絶縁層上に酸化物を含む半導体を形成する工程と、該半導体層上にソース電極及びドレイン電極を形成する工程と、該半導体層の表面に N_2O プラズマを投入電力が100W以上200W以下で1分以上3分以下照射する工程と、を有することを特徴とする薄膜トランジスタの製造方法である。

【0017】

また請求項7に係る発明は、絶縁基板上にゲート電極を形成する工程と、該ゲート電極上にゲート絶縁層を形成する工程と、該ゲート絶縁層上にソース電極及びドレイン電極を形

10

20

30

40

50

成する工程と、該ソース電極及びドレイン電極の一部を覆うように酸化物を含む半導体層を形成する工程と、該半導体層の表面に N_2O プラズマを投入電力が $100W$ 以上 $200W$ 以下で 1 分以上 3 分以下照射する工程と、を有することを特徴とする薄膜トランジスタの製造方法である。

【0019】

また請求項8の係る発明は、前記半導体層の表面に N_2O プラズマを照射した後に、該半導体層上に保護層を形成する工程を有することを特徴とする請求項6または7に記載の薄膜トランジスタの製造方法である。

10

【0020】

また請求項9の係る発明は、請求項1乃至5のいずれか1項に記載の薄膜トランジスタのアレイと、該アレイのソース電極又はドレイン電極に接続された画素電極と、該画素電極上に配置された画像表示媒体とを備える画像表示装置である。

【0021】

また請求項10の係る発明は、前記画像表示媒体が電気泳動方式によるものであることを特徴とする請求項9に記載の画像表示装置。

【発明の効果】

【0022】

本発明の薄膜トランジスタによれば、半導体層のゲート側の面の酸素密度が、反対の面の酸素密度よりも低い、言い換えると半導体層のゲート側と反対の面の酸素密度を高くすることにより、薄膜トランジスタのオンオフ比を向上させることができる。

20

酸化物を含む半導体層は、酸素密度が低い、言い換えれば酸素欠損が多いほど、その電気抵抗は低くなるという特徴を持つ。上記構成の本発明薄膜トランジスタは、前記ゲート絶縁層の界面付近は電気抵抗が低く、かつ界面から離れた層の電気抵抗は高くなることを意味する。この場合、トランジスタのいわゆるチャネル部分の抵抗は低いまま、チャネル層から離れたソース、ドレイン電極間近傍の半導体層の電気抵抗のみ高くなるため、ゲート電圧が正の場合にチャネル部分を流れるオン電流は高く、ゲート電圧が負の場合にチャネル層周辺を流れるオフ電流は小さくなる。したがって、該半導体層が酸素密度勾配を持たない場合と比較して、オンオフ比を向上させることができる。

30

【0023】

さらに、半導体層に In 、 Zn 、 Ga のいずれか一種を含む酸化物を用いることで優れたトランジスタ特性を得ることができる。

【0024】

また、半導体層上に保護層を設けることで、外部環境からの影響を受けることによる該半導体層の酸素密度の変化を防ぐことができる。

【0025】

保護層に無機材料を用いた場合、外部環境からの影響を受けることによる該半導体層の酸素密度の変化を防ぐことができる。例えば無機材料の一例として挙げられる SiO_x 薄膜は、ガス・水蒸気バリア性が非常に高いことが知られている。

40

【0026】

また、有機材料の保護膜はスピンコート等の塗布法で容易に形成できるため、スパッタ法等で無機材料からなる保護層を形成する場合に懸念される半導体層へのプラズマによる損傷がないという利点がある。

【0027】

上記酸素密度のコントロールとしては、酸素含有プラズマを照射することで半導体層の酸素密度を上げることができる。また、トップコンタクト型の薄膜トランジスタの場合には、ソース電極及びドレイン電極を設けた後に、該半導体層の表面に酸素含有プラズマ照射を行うことで、電極接続部分は酸素密度が上がらず、低抵抗率のままであるので、ソース

50

電極およびドレイン電極と半導体層のオーミック接触を損なわず、半導体層の表面の酸素密度を増加させることができる。

【0028】

前記酸素含有プラズマに O_2 または N_2O を用いたプラズマとすることで特に効率的に半導体層の表面の酸素密度を向上させることができる。

【図面の簡単な説明】

【0029】

【図1】本発明の一実施形態を示す薄膜トランジスタの構造を表す模式図

【図2】本発明の一実施形態を示す別の薄膜トランジスタの構造を表す模式図

【図3】本発明の一実施形態を示す別の薄膜トランジスタの構造を表す模式図

【図4】本発明の一実施形態を示す画像表示装置の構造を表す模式図

【図5】本発明の各実施例および各比較例の素子特性を示すグラフ

【発明を実施するための形態】

【0030】

以下、本発明の実施の形態を、図面を参照しつつ説明する。実施の形態において、同一構成要素には同一符号を付け、実施の形態の間において重複する説明は省略する。

【0031】

図1及び図2は本発明の実施形態の一例を示すボトムゲート型の薄膜トランジスタの模式図である。絶縁基板101上に、ゲート電極102、ゲート電極を覆うように形成されたゲート絶縁層103は形成され、ゲート絶縁膜上に半導体層104と、該半導体層に接続されたソース電極105及びドレイン電極106が形成されている。さらに、本発明の酸化物を含むものである。

【0032】

図1はトップコンタクト型の薄膜トランジスタであり、ゲート絶縁膜上に半導体層104が形成され、半導体層104表面の一部を覆うようにソース電極105、ドレイン電極106が半導体層に接続されている。また図2はボトムコンタクト型の薄膜トランジスタであり、ゲート絶縁膜上にソース電極105及びドレイン電極106が形成され、当該ソース電極105及びドレイン電極106の一部を覆うように半導体層104が形成されて接続している。

【0033】

各層以外にも本発明に支障がない限り、別途機能層や保護層を加えても良い。例えば、図3に示す本発明の薄膜トランジスタのように、半導体層104上に保護層107を加えても良い。半導体層上に保護層を設けることで、外部環境からの影響を受けることによる該半導体層の特性変化を防ぐことができる。特に、半導体内の酸素密度の変化を防ぐことができる。

【0034】

本発明の薄膜トランジスタにおいては、半導体層のゲート側と反対の面の酸素密度が高く、半導体層内の酸素欠損が少なくなっている。すなわち、半導体層104の酸素密度はゲート電極側から垂直方向に勾配を持ち、該半導体層の酸素密度はゲート電極側が最も低い。このような素子は、後述のように酸素原子を含有する気体を用いたプラズマ（酸素含有プラズマ）をゲート側と反対側の半導体層表面に照射することにより実現する。

【0035】

酸化物を含む半導体は、酸素密度が低い、言い換えれば酸素欠損が多いほど、その電気抵抗は低くなるという特徴を持つ。したがって、前記半導体層106の酸素密度がゲート電極側から垂直方向に勾配を持ち、ゲート電極側が最も酸素密度が低いということは、前記ゲート絶縁層の界面付近は電気抵抗が低く、かつ界面から離れた領域の電気抵抗は高くなることを意味する。この場合、トランジスタのいわゆるチャンネル部分の抵抗は低いまま、チャンネル層から離れたソース、ドレイン電極間近傍の高酸素密度化領域104bの電気抵抗のみ高くなるため、ゲート電圧が正の場合にチャンネル部分を流れる電流（オン電流）は高く、ゲート電圧が負の場合にチャンネル層周辺を流れるオフ電流は小さくなる。よって該

10

20

30

40

50

半導体層が酸素密度勾配を持たない同程度の半導体層膜厚を持つ従来の薄膜トランジスタと比較して、オンオフ比を向上させることができる。

【0036】

以下、本発明の薄膜トランジスタについて詳細に説明する。

絶縁基板101には、例えばガラスやプラスチック基板を用いることができる。プラスチック基板としては、例えば、ポリメチルメタクリレート、ポリアクリレート、ポリカーボネート、ポリスチレン、ポリエチレンサルファイド、ポリエーテルスルホン、ポリオレフィン、ポリエチレンテレフタレート、ポリエチレンナフタレート(PEN)、シクロオレフィンポリマー、ポリエーテルサルフェン(PES)、トリアセチルセルロース、ポリビニルフルオライドフィルム、エチレン-テトラフルオロエチレン共重合樹脂、耐候性ポリエチレンテレフタレート、耐候性ポリプロピレン、ガラス繊維強化アクリル樹脂フィルム、ガラス繊維強化ポリカーボネート、透明性ポリイミド、フッ素系樹脂、環状ポリオレフィン系樹脂等を使用することができる。これらの基板は単独で使用することもでき、二種以上を積層した複合基板を使用することもできる。

10

【0037】

プラスチック基板等の可撓性基板であれば、薄型、軽量、フレキシブルな薄膜トランジスタを得ることができ好ましい。また、製造工程に乾燥工程等の熱処理を含む場合には、熱安定性の高い石英などのガラス基板の他、プラスチック基板ではPESやPENが好ましい。

【0038】

また絶縁基板がプラスチック基板である場合は、素子の耐久性を上げるためにガスバリア層を形成することも好ましい。ガスバリア層としては Al_2O_3 、 SiO_2 、 SiN 、 $SiON$ 、 SiC 、ダイヤモンドライクーボン(DLC)などが挙げられるがこれらに限定されるものではない。またこれらのガスバリア層は二層以上積層して使用することもできる。またガスバリア層はプラスチック基板の片面だけに付与してもよいし、両面に付与しても構わない。ガスバリア層は蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマCVD(Chemical Vapor Deposition)法、ホットワイヤーCVD法、ゾルゲル法などで形成されるが、これらに限定されるものではない。またガラスやプラスチック基板上にカラーフィルタが形成された基材を使用することもできる。

20

30

【0039】

本発明のゲート電極102、ソース電極105及びドレイン電極106には、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化カドミウム(CdO)、酸化インジウムカドミウム($CdIn_2O_4$)、酸化カドミウムスズ(Cd_2SnO_2)、酸化亜鉛スズ(Zn_2SnO_4)、酸化インジウム亜鉛($In-Zn-O$)等の酸化物材料が好適に用いられる。またこの酸化物材料に不純物をドーピングすることも導電率を上げるために好ましい。例えば、酸化インジウムにスズやモリブデン、チタンをドーピングしたもの、酸化スズにアンチモンやフッ素をドーピングしたもの、酸化亜鉛にインジウム、アルミニウム、ガリウムをドーピングしたものなどである。この中では特に酸化インジウムにスズをドーピングした酸化インジウムスズ(通称ITO)が低い抵抗率のために特に好適に用いられる。またAu、Ag、Cu、Cr、Al、Mg、Liなどの低抵抗金属材料も好適に用いられる。また導電性酸化物材料と低抵抗金属材料を複数積層したものも使用できる。この場合、金属材料の酸化や経時劣化を防ぐために導電性酸化物薄膜/金属薄膜/導電性酸化物薄膜の順に積層した3層構造が特に好適に用いられる。またPEDOT(ポリエチレンジオキシチオフェン)等の有機導電性材料も好適に用いることができる。ゲート電極、ソース電極及びドレイン電極は全て同じ材料であっても構わないし、また全て違う材料であっても構わない。しかし、工程数を減らすためにソース電極とドレイン電極は同一の材料であることがより望ましい。これらの電極は、真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマCVD(Chemical Vapor Deposition)、光CVD法、ホットワイヤーCVD法、または上述の

40

50

導電性材料をインキ状、ペースト状にしたものはスクリーン印刷、凸版印刷、インクジェット法等で塗布し、焼成して形成することができるが、これらに限定されるものではない。

【0040】

ゲート絶縁層103として用いられる材料は、酸化シリコン、窒化シリコン、シリコンオキシナイトライド、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等の無機材料、または、PMA（ポリメチルメタクリレート）等のポリアクリレート、PVA（ポリビニルアルコール）、PS（ポリスチレン）、透明性ポリイミド、ポリエステル、エポキシ、ポリビニルフェノール、ポリビニルアルコール等が挙げられるがこれらに限定されるものではない。ゲートリーク電流を抑えるためには、絶縁材料の抵抗率は 10^{11} cm以上、特に 10^{14} cm以上であることが好ましい。ゲート絶縁層103は真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマCVD、光CVD法、ホットワイヤーCVD法、スピコート、ディップコート、スクリーン印刷などの方法を用いて形成される。これらのゲート絶縁層103は膜の成長方向に向けて組成を傾斜したのもまた好適に用いられる。

10

【0041】

本発明で用いられる薄膜トランジスタの半導体層104としては、例えば、亜鉛、インジウム、スズ、タングステン、マグネシウム、ガリウムのうち一種以上を元素を含む酸化物が挙げられる。酸化亜鉛、酸化インジウム、酸化インジウム亜鉛、酸化スズ、酸化タングステン、酸化亜鉛ガリウムインジウム（InGaZnO）等公知の材料が挙げられるがこれらに限定されるものではない。これらの材料の構造は単結晶、多結晶、微結晶、結晶/アモルファスの混晶、ナノ結晶散在アモルファス、アモルファスのいずれであってもかまわない。半導体層の膜厚は少なくとも10nm以上が望ましい。10nmより小さいと膜が島状に形成され、膜中に半導体が形成されていない部分が生じやすい。

20

【0042】

半導体層はスパッタ法、パルスレーザー堆積法、真空蒸着法、CVD法、ゾルゲル法などの方法を用いて形成されるが、好ましくはスパッタ法、パルスレーザー堆積法、真空蒸着法、CVD法である。スパッタ法ではRFマグネトロンスパッタ法、DCスパッタ法、真空蒸着では加熱蒸着、電子ビーム蒸着、イオンプレーティング法、CVD法ではホットワイヤーCVD法、プラズマCVD法などが挙げられるがこれらに限定されるものではない。

30

【0043】

半導体層104形成後、半導体層のゲート電極が形成された側と反対の面に、酸素含有プラズマを照射する。図1及び図3で示したようなトップコンタクト型の薄膜トランジスタの場合、ソース電極105及びドレイン電極106を形成した後に照射することが好ましい。電極を形成した後に酸素含有プラズマを照射することで、電極に覆われていない半導体層表面にのみ酸素が注入され、高酸素密度化領域104bとなる。このため、半導体層における各電極と半導体層の接触領域は、低抵抗のまま保たれることから、接触抵抗を低く抑えることができる。

40

【0044】

半導体層に酸素含有プラズマを照射する場合、 O_2 、 O_3 、 N_2O 、 NO_2 またはこれらと不活性ガスの混合プラズマ等が挙げられるが、特に O_2 または N_2O プラズマは半導体層6に効果的に酸素を注入できるために望ましい。ただしこれらに限定されるものではない。

【0045】

図3で示したように、半導体層106上に保護層107を形成することで、外部環境からの影響を受けることによる該半導体層の特性変化を防ぐことができる。保護層107は少なくとも露出した半導体層を覆うことが好ましい。下記のように有機材料、無機材料のいずれを用いてもよく、また単層としても構わないし、複数の層を積層しても構わない。

50

【0046】

保護層107を無機材料で形成する場合、酸化シリコン、窒化シリコン、シリコンオキシナイトライド(SiN_xO_y)、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等が挙げられる。このような無機材料を用いれば、ガスや水蒸気に対する透過性が低く、バリア性の非常に高い保護層を構成することができる。

【0047】

また、保護層6を有機材料で形成する場合には、PMMA(ポリメチルメタクリレート)等のポリアクリレート、PVA(ポリビニルアルコール)、PS(ポリスチレン)、透明性ポリイミド、ポリエステル、エポキシ、ポリビニルフェノール、ポリビニルアルコール、フッ素系樹脂等や、それらの有機材料に感光剤を添加したフォトレジスト等が挙げられるが、これらに限定されるものではない。有機材料の保護膜はスピンコート等の塗布法で容易に形成できるため、スパッタ法等で無機材料からなる保護層を形成する場合に懸念される半導体層へのプラズマによる損傷がないという利点がある。

【0048】

図4及び図5に本発明の薄膜トランジスタを用いた画像表示装置の例を示した。

本発明の画像表示装置は、上記薄膜トランジスタを画素ごとに少なくとも一つ配置した薄膜トランジスタアレイとし、画像表示媒体303と接続する。画像表示媒体の例としては、電気泳動方式の表示媒体(電子ペーパー)や、液晶表示媒体、有機EL、無機EL等が挙げられる。

【0049】

図4の本発明の画像表示装置の例では、薄膜トランジスタを形成した基板の上に層間絶縁膜301が形成され、ソース電極105又はドレイン電極106と画素電極302が接続され、当該画素電極と対向電極304で画像表示媒体303を挟持する構成となっている。本発明の薄膜トランジスタは、材料の選択によって透明とすることができるため、対向電極側、薄膜トランジスタ側のいずれから視認できるようにしても良い。なお層間絶縁膜は、ゲート絶縁膜103や、保護膜107で挙げた材料と同じものを用いることができる。図4の画像表示装置の例では、層間絶縁膜によって平坦化され、全面に画素電極を配置できる。その上に例えば対向電極を形成した電気泳動方式の表示媒体を張り合わせるにより、画像表示装置を作製することができる。

【0050】

また本発明の画像表示装置の別の例として、薄膜トランジスタ上に画素を区画する隔壁を形成し、ソース電極105又はドレイン電極106から延長された画素電極302上に画像表示媒体を形成した構成としても良い。例えば、インクジェット法や印刷法を用いて形成した有機ELを表示媒体として用いることができる。

【実施例】

【0051】

以下、本発明を、実施例1から5、および比較例1から4を用いて説明する。

【0052】

(実施例1)

実施例1では図1に示したような本発明の薄膜トランジスタを作製した。

【0053】

絶縁基板101として、PEN基材(帝人デュボン社製Q65 厚さ125 μ m)を用い、絶縁基板101上に、ITOをDCマグネトロンスパッタリング法で膜厚100nmとなるように成膜した。さらに成膜したITOをエッチングにより所望の形状にパターニングし、ゲート電極102とした。

【0054】

次に、ゲート電極102を覆うように窒化シリコン(Si_3N_4)のターゲットを用いてRFスパッタリング法でSiONを膜厚500nmとして成膜し、ゲート絶縁層103とした。

【0055】

次に、ゲート絶縁層103上に半導体層104として、 InGaZnO_4 のターゲットを用いて、アモルファス In-Ga-Zn-O をRFスパッタリング法で膜厚15nmに形成し、エッチングにより所望の形状にパターンングし、半導体層104を形成した。

【0056】

次に、半導体層104上に、レジストを塗布し、乾燥、現像を行った後に、ITO膜をDCマグネトロンスパッタリング法で膜厚50nmに成膜し、リフトオフを行い、ソース電極105及びドレイン電極106を形成して、薄膜トランジスタ素子を得た。各層の成膜工程における成膜条件を下記表1に示す。なお作製した素子のソース/ドレイン電極間のチャンネル長は20 μm であり、チャンネル幅は5 μm であった。

【0057】

【表1】

成膜箇所	ターゲット	Ar流量 [SCCM]	O ₂ 流量 [SCCM]	動作圧力 [Pa]	投入電力 [W]
ゲート電極1	$\text{SnO}_2:10$ wt.% - In_2O_3	10	0.3	1	300
ゲート絶縁層2	Si_3N_4	40	2	1	300
半導体活性層3	InGaZnO_4	10	0.1	1	300
ソース電極4・ ドレイン電極5	$\text{SnO}_2:10$ wt.% - In_2O_3	10	0.3	1	300

【0058】

次にRFプラズマ照射装置を用いて、作製した素子に対して、投入電力100W、チャンパー内の圧力を1.0Pa、酸素(O_2)の流量を50SCCMとして1分間 O_2 プラズマを照射した。

【0059】

半導体パラメータアナライザ(Keithley製SCS4200)を用いて測定した実施例1の薄膜トランジスタ素子のトランジスタ特性は、移動度 $10\text{cm}^2/\text{Vs}$ 、またソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は8桁であり、良好なトランジスタ特性を示した。

【0060】

なお、ガラス基板上に形成した膜厚300nmのアモルファス In-Ga-Zn-O 薄膜に、投入電力200W、チャンパー内圧力1.0Pa、 O_2 流量を50SCCMとして3分間 O_2 プラズマを照射した場合には、単膜の電気抵抗率は $1.0 \times 10^{-4} \cdot \text{cm}$ から $9.1 \times 10^{-7} \cdot \text{cm}$ まで減少した。

【0061】

(比較例1)

比較例1では半導体層104表面に O_2 プラズマを照射しなかったこと以外は、実施例1と同様の工程で薄膜トランジスタを作製した。

【0062】

半導体パラメータアナライザ(Keithley製SCS4200)を用いて測定した比較例1の薄膜トランジスタ素子のトランジスタ特性は、移動度 $8\text{cm}^2/\text{Vs}$ 、またソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は6桁であり、実施例1の結果と比較するとOFF電流が高く、ON/OFF比は小さい値となった。

【0063】

(実施例2)

10

20

30

40

50

実施例2では、酸素含有プラズマの照射にアルゴン(Ar)と酸素(O₂)の混合プラズマを用いたこと以外は実施例1と同様の工程で本発明の薄膜トランジスタを作製した。

【0064】

酸素含有プラズマ照射工程では、RFプラズマ照射装置を用いて、作製した素子に対して、投入電力100W、チャンパー内圧力1.0Pa、Ar流量を10SCCM、O₂流量を50SCCMとして1分間Ar-O₂混合プラズマを照射した。

【0065】

半導体パラメータアナライザ(Keithley製SCS4200)を用いて測定した実施例2の薄膜トランジスタ素子のトランジスタ特性は、移動度10cm²/Vs、またソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は7桁であり、比較例1と比較して良好な特性を示した。

10

【0066】

なお、ガラス基板上に形成した膜厚300nmのアモルファスIn-Ga-Zn-O薄膜に、投入電力200W、チャンパー内圧力1.0Pa、Ar流量を10SCCM、O₂流量を50SCCMとして3分間Ar-O₂混合プラズマを照射した場合には、単膜の電気抵抗率は1.0×10⁻⁴・cmから9.1×10⁻⁷・cmまで減少した。

【0067】

(実施例3)

実施例3では、酸素含有プラズマの照射工程にN₂Oプラズマを用いたこと以外は実施例1と同様の工程で本発明の薄膜トランジスタを作製した。

20

【0068】

酸素含有プラズマ照射工程では、RFプラズマ照射装置を用いて、作製した素子に対して、投入電力100W、チャンパー内圧力1.0Pa、N₂O流量を50SCCMとして1分間酸素プラズマを照射した。

【0069】

半導体パラメータアナライザ(Keithley製SCS4200)を用いて測定した実施例3の薄膜トランジスタ素子のトランジスタ特性は、移動度9cm²/Vs、またソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は8桁であり、良好な素子特性を示した。

【0070】

なお、ガラス基板上に形成した膜厚300nmのアモルファスIn-Ga-Zn-O薄膜に、投入電力200W、チャンパー内圧力0.6Pa、N₂O流量を50SCCMとして3分間N₂Oプラズマを照射した場合には、単膜の電気抵抗率は1.1×10⁻⁴・cmから2.1×10⁻⁶・cmまで減少した。

30

【0071】

(比較例2)

比較例2では、プラズマの照射に酸素の含まない窒素(N₂)プラズマを用いたこと以外は実施例1と同様の工程で本発明の薄膜トランジスタを作製した。

【0072】

プラズマ照射工程では、RFプラズマ照射装置を用いて、作製した素子に対して、投入電力100W、チャンパー内圧力1.0Pa、N₂流量を50SCCMとして1分間N₂プラズマを照射した。

40

【0073】

半導体パラメータアナライザ(Keithley製SCS4200)を用いて測定した薄膜トランジスタ素子のトランジスタ特性は、移動度9cm²/Vs、またソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は6桁であり、実施例1の結果と比較するとOFF電流が高く、ON/OFF比は小さい値となった。

【0074】

なおガラス基板上に形成した膜厚300nmのアモルファスIn-Ga-Zn-O薄膜に、投入電力200W、チャンパー内圧力0.6Pa、N₂流量を50SCCMとして1分

50

間プラズマを照射した場合には、単膜の電気抵抗率は $1.1 \times 10^{-4} \cdot \text{cm}$ から $1.3 \times 10^{-1} \cdot \text{cm}$ まで増加した。

【0075】

(実施例4)

実施例4では図3に示したような本発明の薄膜トランジスタを作製した。

【0076】

絶縁基板101としてPEN基材(帝人デュボン社製Q65 厚さ125 μm)を用い、絶縁基材101上にITOをDCマグネトロンスパッタリング法で膜厚100nmとなるように成膜した。さらに成膜したITOをエッチングにより所望の形状にパターンニングし、ゲート電極102とした。

【0077】

次に、ゲート電極102を覆うように窒化シリコン(Si_3N_4)のターゲットを用いてRFスパッタリング法で SiON を膜厚500nmとして成膜し、ゲート絶縁層103とした。

【0078】

次に、ゲート絶縁層103上に半導体層104として、 InGaZnO_4 のターゲットを用いて、アモルファス In-Ga-Zn-O をRFスパッタリング法で膜厚15nmに形成し、エッチングにより所望の形状にパターンニングし、半導体層104を形成した。

【0079】

次に、半導体層104まで形成した基板の上に、レジストを塗布し、乾燥、現像を行った後に、ITO膜をDCマグネトロンスパッタリング法で膜厚50nmに成膜し、リフトオフを行い、ソース電極105及びドレイン電極106を形成した。なお作製した素子のソース/ドレイン電極間のチャンネル長は20 μm であり、チャンネル幅は5 μm であった。

【0080】

次に、RFプラズマ照射装置を用いて、作製した素子に対して、投入電力150W、チャンパー内圧力1.0Pa、 O_2 の流量を50SCCMとして1分間 O_2 プラズマを照射した。

【0081】

次に、 O_2 プラズマを照射した基板の上にレジストを塗布し、乾燥、現像を行った後に、 SiON 膜をRFマグネトロンスパッタリング法で膜厚100nmとして成膜し、リフトオフを行い、保護層107を形成して、実施例4の薄膜トランジスタ素子を得た。各層の成膜工程における成膜条件を表2に示す。

【0082】

【表2】

成膜箇所	ターゲット	Ar流量 [SCCM]	O_2 流量 [SCCM]	動作圧力 [Pa]	投入電力 [W]
ゲート電極1	$\text{SnO}_2:10$ wt.% - In_2O_3	10	0.3	1	300
ゲート絶縁層2	Si_3N_4	40	2	1	300
半導体活性層3	InGaZnO_4	10	0.1	1	300
ソース電極4・ ドレイン電極5	$\text{SnO}_2:10$ wt.% - In_2O_3	10	0.3	1	300
保護層6	Si_3N_4	10	0.3	1	100

【0083】

半導体パラメータアナライザ(Keithley製SCS4200)を用いて測定した実

10

20

30

40

50

実施例 4 の薄膜トランジスタ素子のトランジスタ特性は、移動度 $9 \text{ cm}^2 / \text{Vs}$ 、またソース/ドレイン電極間に 10 V の電圧が印加されたときの ON/OFF 比は 8 桁であり、良好なトランジスタ特性を示した。

【0084】

(比較例 3)

比較例 3 では半導体層 104 表面に O_2 プラズマを照射しなかったこと以外は、実施例 4 と同様の工程で薄膜トランジスタを作製した。

【0085】

半導体パラメータアナライザ (Keithley 製 SCS4200) を用いて測定した比較例 3 の薄膜トランジスタ素子のトランジスタ特性は、移動度 $8 \text{ cm}^2 / \text{Vs}$ 、またソース/ドレイン電極間に 10 V の電圧が印加されたときの ON/OFF 比は 6 桁であり、実施例 4 と比較すると ON/OFF 比は小さい値となった。

【0086】

(実施例 5)

実施例 5 では、 O_2 プラズマを照射した基板の上にフォトリソをスピンコートで膜厚 $3 \mu\text{m}$ として成膜し、パターニングを行い保護層 6 を形成したこと以外は実施例 4 と同様の工程で薄膜トランジスタ素子を作製した。各成膜工程は表 3 に示した。

【0087】

【表 3】

成膜箇所	ターゲット	Ar 流量 [SCCM]	O_2 流量 [SCCM]	動作圧 力 [Pa]	投入電 力 [W]
ゲート電極1	$\text{SnO}_2:10$ wt.% - In_2O_3	10	0.3	1	300
ゲート絶縁層2	Si_3N_4	40	2	1	300
半導体活性層3	InGaZnO_4	10	0.1	1	300
ソース電極4・ ドレイン電極5	$\text{SnO}_2:10$ wt.% - In_2O_3	10	0.3	1	300
保護層6	レジスト(スピ ンコート)	-	-	-	-

【0088】

半導体パラメータアナライザ (Keithley 製 SCS4200) を用いて測定した実施例 5 の薄膜トランジスタ素子のトランジスタ特性は、移動度 $9 \text{ cm}^2 / \text{Vs}$ 、またソース/ドレイン電極間に 10 V の電圧が印加されたときの ON/OFF 比は 8 桁であり、良好なトランジスタ特性を示した。

【0089】

(比較例 4)

比較例 4 では、半導体層 104 表面に O_2 プラズマを照射しなかったこと以外は、実施例 5 と同様の工程で薄膜トランジスタを作製した。

【0090】

半導体パラメータアナライザ (Keithley 製 SCS4200) を用いて測定した比較例 4 の薄膜トランジスタ素子のトランジスタ特性は、移動度 $8 \text{ cm}^2 / \text{Vs}$ 、またソース/ドレイン電極間に 10 V の電圧が印加されたときの ON/OFF 比は 6 桁であり、実施例 5 と比較すると ON/OFF 比は小さい値となった。

【0091】

実施例 1 ~ 5 及び比較例 1 ~ 4 のプラズマ照射の条件及び保護層 107 の有無を表 4 に示

した。また、各実施例及び比較例の素子特性としてキャリア移動度とON/OFF比を示したグラフを図5に示した。図5から、酸素含有プラズマを半導体層104のゲート側と反対の面に照射することにより、OFF電流を抑制することができ、素子特性が向上していることが分かる。

【0092】

【表4】

	プラズマ照射の有無	保護層の有無	移動度 [cm ² /Vs]	OFF電流 [A]	ON電流 [A]	ON/OFF比
実施例1	有(O ₂)	無	8	1.10E-12	9.80E-05	8
比較例1	無	無	9	5.00E-10	3.40E-04	6
実施例2	有 (Ar + O ₂)	無	9	8.20E-12	1.50E-04	7
実施例3	有(N ₂ O)	無	9	2.60E-12	1.20E-04	8
比較例2	有(N ₂)	無	10	1.00E-09	8.90E-04	6
実施例4	有(O ₂)	有(SiON)	10	4.10E-12	4.90E-04	8
比較例3	無	有(SiON)	12	6.00E-09	7.70E-03	6
実施例5	有(O ₂)	有(レジスト)	8	2.80E-12	1.50E-04	8
比較例4	無	有(レジスト)	9	4.20E-10	3.50E-04	6

10

20

【産業上の利用可能性】

【0093】

ボトムゲート型の薄膜トランジスタにおいて、半導体層の表面へ酸素含有プラズマを照射することで、ソース電極とドレイン電極に挟まれた領域の酸素密度がゲート電極側が最も低くなるように垂直方向に勾配を持つ半導体層を設けることにより、オフ電流が低く、オンオフ比が高い薄膜トランジスタを実現できる。このような電界効果トランジスタは電子ペーパー、LCD、有機ELディスプレイ等のスイッチング素子として利用できる。また特にフレキシブル基材を基板とするフレキシブルディスプレイや、ICカード、ICタグ等にも広く応用することができる。

30

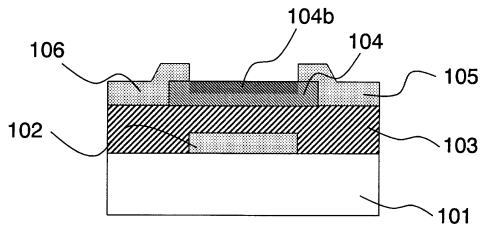
【符号の説明】

【0094】

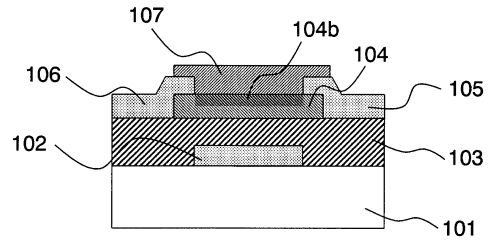
- 101 絶縁基板
- 102 ゲート電極
- 103 ゲート絶縁層
- 104 半導体層
- 104b 高酸素密度化領域(プラズマ照射領域)
- 105 ソース電極
- 106 ドレイン電極
- 107 保護層
- 301 層間絶縁層
- 302 画素電極
- 303 画像表示媒体
- 304 対向電極

40

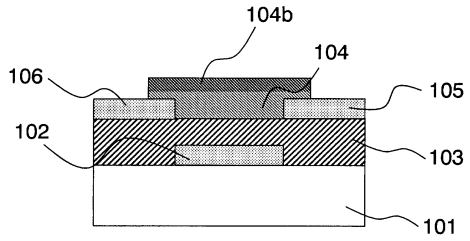
【図1】



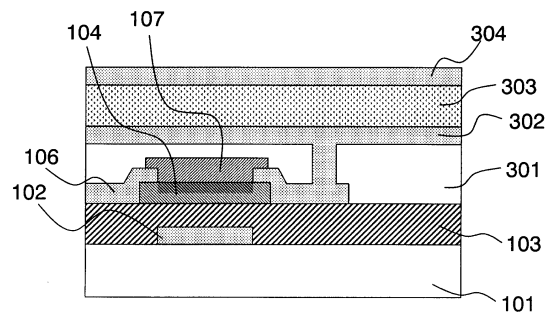
【図3】



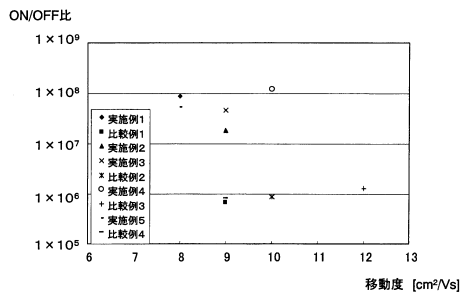
【図2】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 F 9/30 3 3 8

(56)参考文献 特開2009-031750(JP,A)
特開2007-073560(JP,A)
特開2007-073559(JP,A)
特開2008-042088(JP,A)
特開2009-031742(JP,A)
特開2009-021554(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 2 6 5

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6

G 0 9 F 9 / 3 0