



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0016482  
(43) 공개일자 2014년02월10일

(51) 국제특허분류(Int. Cl.)  
G11C 7/06 (2006.01) G11C 7/12 (2006.01)  
(21) 출원번호 10-2012-0083009  
(22) 출원일자 2012년07월30일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
김형수  
경기 화성시 동탄반석로 41, 617동 1301호 (반송동, 나루마을신도브레뉴아파트)  
(74) 대리인  
특허법인 신성

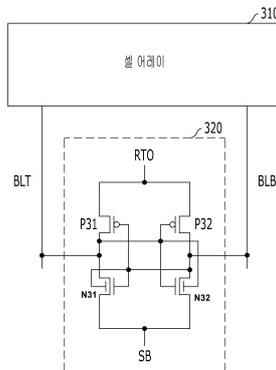
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 감지 증폭 회로 및 이를 포함하는 메모리 장치

**(57) 요약**

감지 증폭 회로는, 정데이터 라인의 전압에 응답해 부데이터 라인을 풀업 구동하는 제1풀업 트랜지스터; 상기 정데이터 라인의 전압에 응답해 상기 부데이터 라인을 풀다운 구동하고, 백게이트에 상기 정데이터 라인의 전압이 인가되는 제1풀다운 트랜지스터; 상기 부데이터 라인의 전압에 응답해 상기 정데이터 라인을 풀업 구동하는 제2풀업 트랜지스터; 및 상기 부데이터 라인의 전압에 응답해 상기 정데이터 라인을 풀다운 구동하고, 백게이트에 상기 부데이터 라인의 전압이 인가되는 제2풀다운 트랜지스터를 포함한다.

**대표도** - 도3



## 특허청구의 범위

### 청구항 1

정데이터 라인의 전압에 응답해 부데이터 라인을 풀업 구동하는 제1풀업 트랜지스터;

상기 정데이터 라인의 전압에 응답해 상기 부데이터 라인을 풀다운 구동하고, 백게이트에 상기 정데이터 라인의 전압이 인가되는 제1풀다운 트랜지스터;

상기 부데이터 라인의 전압에 응답해 상기 정데이터 라인을 풀업 구동하는 제2풀업 트랜지스터; 및

상기 부데이터 라인의 전압에 응답해 상기 정데이터 라인을 풀다운 구동하고, 백게이트에 상기 부데이터 라인의 전압이 인가되는 제2풀다운 트랜지스터

를 포함하는 감지 증폭 회로.

### 청구항 2

제 1항에 있어서,

상기 제1풀다운 트랜지스터와 상기 제2풀다운 트랜지스터 각각은 FDSOI(Fully Depleted Silicon On Insulator) NMOS 트랜지스터인

감지 증폭 회로.

### 청구항 3

제 2항에 있어서,

상기 제1풀업 트랜지스터와 제2풀업 트랜지스터 각각은 PMOS 트랜지스터인

감지 증폭 회로.

### 청구항 4

하나 이상의 셀어레이;

상기 하나 이상의 셀어레이에 연결된 정비트 라인과 부비트 라인;

상기 정비트 라인의 전압에 응답해 상기 부비트 라인을 풀업 구동하는 제1풀업 트랜지스터;

상기 정비트 라인의 전압에 응답해 상기 부비트 라인을 풀다운 구동하고, 백게이트에 상기 정비트 라인의 전압이 인가되는 제1풀다운 트랜지스터;

상기 부비트 라인의 전압에 응답해 상기 정비트 라인을 풀업 구동하는 제2풀업 트랜지스터; 및

상기 부비트 라인의 전압에 응답해 상기 정비트 라인을 풀다운 구동하고, 백게이트에 상기 부비트 라인의 전압이 인가되는 제2풀다운 트랜지스터

를 포함하는 메모리 장치.

### 청구항 5

제 4항에 있어서,

상기 제1풀다운 트랜지스터와 상기 제2풀다운 트랜지스터 각각은 FDSOI(Fully Depleted Silicon On Insulator)

NMOS 트랜지스터인

메모리 장치.

#### 청구항 6

제 5항에 있어서,

상기 제1풀업 트랜지스터와 상기 제2풀업 트랜지스터 각각은 PMOS 트랜지스터인

메모리 장치.

#### 청구항 7

제 4항에 있어서,

상기 정비트 라인과 상기 부비트 라인은 상기 하나 이상의 셀어레이 중 동일한 셀어레이에 연결되는

메모리 장치.

#### 청구항 8

제 4항에 있어서,

상기 정비트 라인과 상기 부비트 라인은 상기 하나 이상의 셀어레이 중 서로 다른 셀어레이에 연결되는

메모리 장치.

### 명세서

#### 기술분야

[0001] 본 발명은 감지 증폭 회로 및 이를 포함하는 메모리 장치에 관한 것이다.

#### 배경기술

[0002] 메모리 장치 및 각종 집적회로에는 데이터를 센싱하기 위한 감지 증폭 회로가 많이 사용되고 있다. 여기서, 감지 증폭 회로란 논리 '하이'와 논리 '로우'의 전압 차이가 작은, 즉 그 논리 레벨의 판별이 어려운, 데이터를 센싱하는 회로를 말한다.

[0003] 도 1은 종래의 메모리 장치에서 사용되는 감지 증폭 회로의 구성도이다.

[0004] 도 1을 참조하면, 감지 증폭 회로는 2개의 PMOS 트랜지스터(P1, P2)와 2개의 NMOS 트랜지스터(N1, N2)를 포함하여 구성된다.

[0005] 셀어레이 내부의 메모리 셀(미도시)로부터 데이터가 독출되면, 정비트 라인(BLT) 또는 부비트 라인(BLB)의 전압 레벨이 변한다. 메모리 셀의 데이터에 의한 정비트 라인(BLT) 또는 부비트 라인(BLB)의 전압 레벨 변화는 매우 미미하기에, 감지 증폭 회로를 통해 비트라인쌍(BLT, BLB)의 전압 레벨을 증폭시킨다. 그 동작을 살펴보면, 정비트 라인(BLT)의 전압 레벨이 부비트 라인(BLB)의 전압 레벨보다 높은 경우에는, PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N2)가 PMOS 트랜지스터(P2)와 NMOS 트랜지스터(N1)보다 강하게 턴온되고, 그 결과 정비트 라인(BLT)의 전압 레벨은 풀업 전압단(RTO)의 레벨이되고 부비트 라인(BLB)의 전압 레벨은 풀다운 전압단(SB)의 레벨이 된다. 또한, 부비트 라인(BLB)의 전압 레벨이 정비트 라인(BLT)의 전압 레벨보다 높은 경우에는, PMOS 트랜지스

터(P2)와 NMOS 트랜지스터(N1)가 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N2)보다 강하게 턴온되고, 그 결과 부비트 라인(BLB)의 전압 레벨은 풀업 전압단(RTO)의 레벨이 되고 정비트 라인(BLT)의 전압 레벨은 풀다운 전압단(SB)의 레벨이 된다.

[0006] 감지 증폭 회로가 비트라인 쌍에 실린 데이터를 정확히 감지 증폭하기 위해서는 감지 증폭 회로를 구성하는 트랜지스터들(P1, P2, N1, N2) 사이에 미스매치(mismatch)가 존재하지 않아야 한다. 그러나, 집적회로의 제조 공정이 미세화될 수록 트랜지스터들 사이의 미스매치는 더욱 커지고 있다. 특히, NMOS 트랜지스터들 간의 미스매치 및 문턱전압(threshold voltage)의 차이가 커지는 현상이 심화되고 있으며, 그 결과 감지 증폭 회로의 정확한 데이터 센싱은 점점 어려워지고 있다.

[0007] 도 2는 도 1의 감지 증폭 회로의 동작을 도시한 도면이다.

[0008] 도 2를 참조하면, 시점 '201'에 정비트라인(BLT)과 부비트라인(BLB)은 동일한 전압(프리차지 전압: VBLP) 레벨로 프리차지 되어 있다. 시점 '202'에 정비트라인(BLT)으로 데이터가 실리면 정비트 라인(BLT)의 전압 레벨이 부비트 라인(BLB)의 전압 레벨보다 dV만큼 높아진다. 시점 '203'에 감지 증폭 회로의 풀업 전압단(RTO)과 풀다운 전압단(SB)에 전원이 공급되어 풀업 전압단(RTO)은 풀업 전압(일반적으로 전원전압)의 레벨이 되고, 풀다운 전압단(SB)은 풀다운 전압(일반적으로 접지전압)의 레벨이 된다. 그리고, 풀업 전압단(RTO)과 풀다운 전압단(SB)으로 전원이 공급된 시점 '203'부터 감지 증폭 회로의 감지 증폭 동작이 시작된다.

[0009] 도 2의 (a)는 NMOS 트랜지스터들(N1, N2) 간의 미스매치가 dV보다 작은 경우에 감지 증폭 회로의 동작을 나타낸다. 도 2의 (a)를 참조하면, 감지 증폭 회로에 의해 정비트 라인(BLT)의 전압 레벨은 높은 레벨(풀업 전압 레벨)로 증폭되고 부비트 라인(BLB)의 전압 레벨은 낮은 레벨(풀다운 전압 레벨)로 증폭되는 것을 확인할 수 있다.

[0010] 도 2의 (b)는 NMOS 트랜지스터들(N1, N2) 간의 미스매치가 dV보다 큰 경우에 감지 증폭 회로의 동작을 나타낸다. 도 2의 (b)를 참조하면, NMOS 트랜지스터들(N1, N2) 간의 미스매치에 의해 부비트 라인(BLB)의 전압 레벨이 정비트 라인(BLT)의 전압 레벨보다 높은 것으로 잘못 인식되고, 그 결과 정비트 라인은 낮은 레벨(풀다운 전압 레벨)로 증폭되고 부비트 라인은 높은 레벨(풀업 전압 레벨)로 증폭되는 것을 확인할 수 있다.

[0011] 도 2의 (b)와 같은 오동작은 NMOS 트랜지스터들 간의 미스매치에 의해 NMOS 트랜지스터들의 문턱 전압이 서로 다르기 때문에 발생한다. 예를 들어, NMOS 트랜지스터(N2)의 문턱 전압이 NMOS 트랜지스터(N1)의 문턱 전압보다 더 높은 경우에 도 2의 (a)와 같은 문제점이 발생할 수 있다.

## 발명의 내용

### 해결하려는 과제

[0012] 본 발명은 상술한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 감지 증폭 회로가 데이터를 잘못 인식하는 문제점을 해결하고자 하는데 그 목적이 있다.

### 과제의 해결 수단

[0013] 상기한 목적을 달성하기 위한, 본 발명의 일실시예에 따른 감지 증폭 회로는, 정데이터 라인의 전압에 응답해 부데이터 라인을 풀업 구동하는 제1풀업 트랜지스터; 상기 정데이터 라인의 전압에 응답해 상기 부데이터 라인을 풀다운 구동하고, 백게이트에 상기 정데이터 라인의 전압이 인가되는 제1풀다운 트랜지스터; 상기 부데이터 라인의 전압에 응답해 상기 정데이터 라인을 풀업 구동하는 제2풀업 트랜지스터; 및 상기 부데이터 라인의 전압에 응답해 상기 정데이터 라인을 풀다운 구동하고, 백게이트에 상기 부데이터 라인의 전압이 인가되는 제2풀다운 트랜지스터를 포함한다. 여기서, 상기 제1풀다운 트랜지스터와 상기 제2풀다운 트랜지스터 각각은 FDSOI(Fully Depleted Silicon On Insulator) NMOS 트랜지스터일 수 있다.

[0014] 또한, 본 발명의 일실시예에 따른 메모리 장치는, 하나 이상의 셀어레이; 상기 하나 이상의 셀어레이에 연결된 정비트 라인과 부비트 라인; 상기 정비트 라인의 전압에 응답해 상기 부비트 라인을 풀업 구동하는 제1풀업 트

랜지스터; 상기 정비트 라인의 전압에 응답해 상기 부비트 라인을 풀다운 구동하고, 백게이트에 상기 정비트 라인의 전압이 인가되는 제1풀다운 트랜지스터; 상기 부비트 라인의 전압에 응답해 상기 정비트 라인을 풀업 구동하는 제2풀업 트랜지스터; 및 상기 부비트 라인의 전압에 응답해 상기 정비트 라인을 풀다운 구동하고, 백게이트에 상기 부비트 라인의 전압이 인가되는 제2풀다운 트랜지스터를 포함한다. 여기서, 상기 제1풀다운 트랜지스터와 상기 제2풀다운 트랜지스터 각각은 FDSOI(Fully Depleted Silicon On Insulator) NMOS 트랜지스터일 수 있다.

**발명의 효과**

[0015] 본 발명에 따르면, 감지 증폭 회로를 구성하는 트랜지스터들의 문턱 전압이 데이터 센싱에 유리한 방향으로 변경된다. 따라서, 감지 증폭 회로의 데이터 인식 페일(fail)을 방지할 수 있다는 장점이 있다.

**도면의 간단한 설명**

[0016] 도 1은 종래의 메모리 장치에서 사용되는 감지 증폭 회로의 구성도.  
 도 2는 도 1의 감지 증폭 회로의 동작을 도시한 도면.  
 도 3은 본 발명에 따른 메모리 장치의 일실시에 구성도.  
 도 4는 풀다운 트랜지스터들(N31, N32)의 백게이트 전압에 따른 문턱전압의 변화를 나타낸 도면.  
 도 5는 종래의 감지 증폭 회로(도 1)와 본 발명에 따른 감지 증폭 회로(320)의 데이터 센싱 패스/페일 영역을 도시한 도면.  
 도 6은 본 발명의 다른 실시예에 따른 메모리 장치의 구성도.

**발명을 실시하기 위한 구체적인 내용**

[0017] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0018] 도 3은 본 발명에 따른 메모리 장치의 일실시에 구성도이다.

[0019] 도 3을 참조하면, 메모리 장치는, 셀어레이(310), 비트 라인들(BLT, BLB), 및 감지 증폭 회로(320)를 포함한다.

[0020] 셀어레이(310)에는 다수의 로우(row) 및 다수의 컬럼(column)으로 배열된 다수의 메모리 셀들이 포함되며, 각각의 메모리 셀들은 데이터를 저장한다. 비트라인들(BLT, BLB)은 셀어레이 내부의 메모리 셀들에 저장된 데이터가 전달되는 라인이다. 도 3에는 하나의 비트 라인쌍(BLT, BLB)만을 도시하였지만, 셀어레이에는 수백개의 비트라인쌍이 존재할 수 있다.

[0021] 감지 증폭 회로(320)는 정비트 라인(BLT)과 부비트 라인(BLB)의 전압 차이를 증폭하여 데이터를 인식한다. 감지 증폭 회로(320)는 풀업 트랜지스터들(P31, P32)과 풀다운 트랜지스터들(N31, N32)을 포함한다.

[0022] 풀업 트랜지스터(P32)는 정비트 라인(BLT)의 전압에 응답해 부비트 라인(BLB)을 풀업 구동한다. 풀업 트랜지스터(P31)는 부비트 라인(BLB)의 전압에 응답해 정비트 라인(BLT)을 풀업 구동한다. 풀업 트랜지스터들(P31, P32)은 PMOS 트랜지스터로 구성될 수 있다.

[0023] 풀다운 트랜지스터(N32)는 정비트 라인(BLT)의 전압에 응답해 부비트 라인(BLB)을 풀다운 구동한다. 풀다운 트랜지스터(N32)는 FDSOI(Fully Depleted Silicon On Insulator) NMOS 트랜지스터로 구성되는데, 풀다운 트랜지스터(N32)의 백게이트(back gate)에는 정비트 라인(BLT)의 전압이 인가된다. 풀다운 트랜지스터(N31)는 부비트 라인(BLB)의 전압에 응답해 정비트 라인(BLT)을 풀다운 구동한다. 풀다운 트랜지스터(N32)는 FDSOI NMOS 트랜지스터로 구성되며, 풀다운 트랜지스터(N32)의 백게이트에는 부비트 라인(BLB)의 전압이 인가된다.

[0024] FDSOI NMOS로 구성되는 풀다운 트랜지스터(N31, N32)는 백게이트에 인가되는 전압 레벨에 따라 문턱 전압(threshold voltage)이 변경되며, 본 발명의 감지 증폭 회로(320)는 이러한 특성을 이용한다. 이에 대해서는 도

4와 함께 더욱 자세히 알아보기로 한다.

- [0025] 도 4는 풀다운 트랜지스터들(N31, N32)의 백게이트 전압에 따른 문턱전압의 변화를 나타낸 도면이다.
- [0026] 도 4를 참조하면, FDSOI NMOS로 구성되는 풀다운 트랜지스터들(N31, N32)의 백게이트전압(VBG)이 높아질수록, 문턱 전압(VT)이 낮아지는 것을 확인할 수 있다. 이러한 특성은 감지 증폭 회로(320)의 데이터 센싱 동작의 정확성을 높여주는데, 데이터 패턴을 나누어 이에 대해 알아보기로 한다.
- [0027] (1) 정비트 라인(BLT)의 전압 레벨이 부비트 라인(BLB)의 전압 레벨보다 높은 경우, 이 경우에 감지 증폭 회로(320)가 데이터를 올바르게 인식하기 위해서는 풀다운 트랜지스터(N32)와 풀업 트랜지스터(P31)가 턴온되고, 풀다운 트랜지스터(N31)와 풀업 트랜지스터(P32)는 오프되어야 한다. 풀다운 트랜지스터들(N31, N32)은 FDSOI NMOS로 구성되고, FDSOI NMOS의 특성으로 인해 풀다운 트랜지스터(N32)는 문턱 전압이 낮아지고 풀다운 트랜지스터(N31)는 문턱 전압이 높아진다. 따라서, 풀다운 트랜지스터(N32)는 턴온이 잘되는 조건이 되며, 풀다운 트랜지스터(N31)는 턴온이 잘 안되는 조건이 된다. 즉, 풀다운 트랜지스터들(N31, N32)의 문턱 전압 특성이 데이터의 센싱에 유리하게 변경된다.
- [0028] (2) 부비트 라인(BLB)의 전압 레벨이 정비트 라인(BLT)의 전압 레벨보다 높은 경우, 이 경우에 감지 증폭 회로(320)가 데이터를 올바르게 인식하기 위해서는 풀다운 트랜지스터(N31)와 풀업 트랜지스터(P32)가 턴온되고, 풀다운 트랜지스터(N32)와 풀업 트랜지스터(P31)는 오프되어야 한다. FDSOI NMOS 트랜지스터의 특성으로 인해 풀다운 트랜지스터(N31)는 문턱 전압이 낮아지고 풀다운 트랜지스터(N32)는 문턱 전압이 높아진다. 따라서, 풀다운 트랜지스터(N31)는 턴온이 잘되는 조건이 되며, 풀다운 트랜지스터(N32)는 턴온이 잘 안되는 조건이 된다. 즉, 풀다운 트랜지스터들(N31, N32)의 문턱 전압 특성이 데이터의 센싱에 유리하게 변경된다.
- [0029] 도 5는 종래의 감지 증폭 회로(도 1)와 본 발명에 따른 감지 증폭 회로(320)의 데이터 센싱 패스/페일 영역을 도시한 도면이다.
- [0030] 도 5를 참조하면, 세로 측은 감지 증폭 회로의 데이터 센싱이 패스하기 위한 최소한의 dV(비트라인 쌍의 전압 차이)를 나타내며, 가로 측은 풀다운 트랜지스터들 간의 미스매치를 나타낸다. 기본적으로, dV가 클수록 그리고 미스매치가 작을 수록 감지 증폭 회로의 데이터 센싱이 패스되며, dV가 작을수록 그리고 미스매치가 클수록 감지 증폭 회로의 데이터 센싱이 페일된다.
- [0031] 실선 '501'은 본 발명에 따른 감지 증폭 회로(320)의 패스/페일 영역의 경계선을 나타내며, 점선 '502'는 종래의 감지 증폭 회로(도 1)의 패스/페일 영역의 경계선을 나타낸다. 도 5를 확인하면, 본 발명에 따른 감지 증폭 회로(320)의 패스 영역(실선 '501' 위의 영역)이 종래의 감지 증폭 회로(도 1)의 패스 영역(점선 '502' 위의 영역)보다 더 넓은 것을 확인할 수 있다.
- [0032] 도 6은 본 발명의 다른 실시예에 따른 메모리 장치의 구성도이다.
- [0033] 도 6을 참조하면, 메모리 장치는, 셀어레이들(311, 312), 비트라인들(BLT, BLB), 및 감지 증폭 회로(320)를 포함한다.
- [0034] 도 3에서는 폴디드(folded) 비트라인 구조를 가지는 메모리 장치에 본 발명이 적용된 예에 대해서 도시하였는데, 도 6에서는 오픈(open) 비트라인 구조를 가지는 메모리 장치에 본 발명이 적용된 예에 대해 도시했다. 폴디드 비트라인 구조의 메모리 장치(도 3)에서는 동일한 셀어레이(310)에 정비트라인(BLT)과 부비트라인(BLB)이 연결되지만, 오픈 비트라인 구조의 메모리 장치(도 6)에서는 서로 다른 셀어레이(311, 312) 각각에 정비트라인(BLT)과 부비트라인(BLB)이 연결된다. 오픈 비트라인 구조를 갖는다는 점을 제외하고 도 6의 메모리 장치는 도 3의 메모리 장치와 동일하게 구성되므로, 더 이상의 상세한 설명은 생략하기로 한다.
- [0035] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.
- [0036] 또한, 상기 실시예들에서는 본 발명에 따른 감지 증폭 회로가 메모리 장치에서 비트라인의 데이터를 감지/증폭

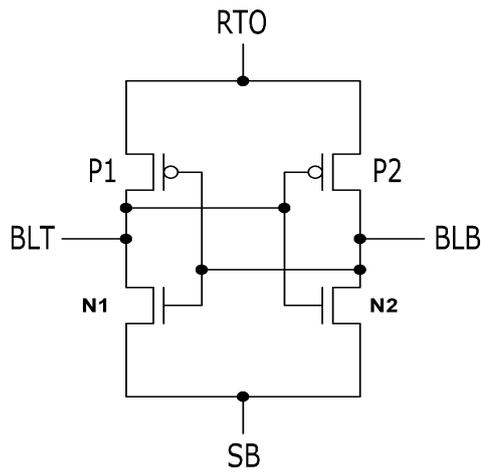
하기 위해 사용되는 예를 도시하였지만, 본 발명에 따른 감지 증폭 회로가 메모리 장치 이외의 다양한 집적회로에서 데이터를 증폭하기 위해 사용될 수 있음은 당연하다.

**부호의 설명**

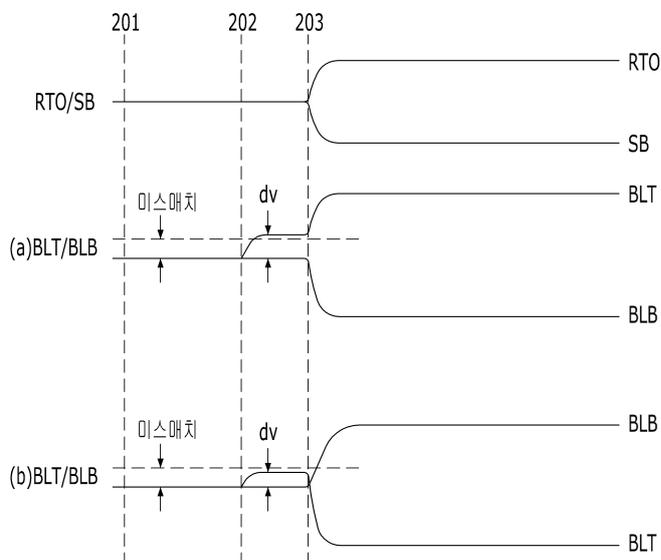
- [0037] 310: 셀어레이                      BLT: 정비트 라인  
 BLB: 부비트 라인                    320: 감지 증폭 회로  
 P1, P2: 풀업 트랜지스터들      N1, N2: 풀다운 트랜지스터들

**도면**

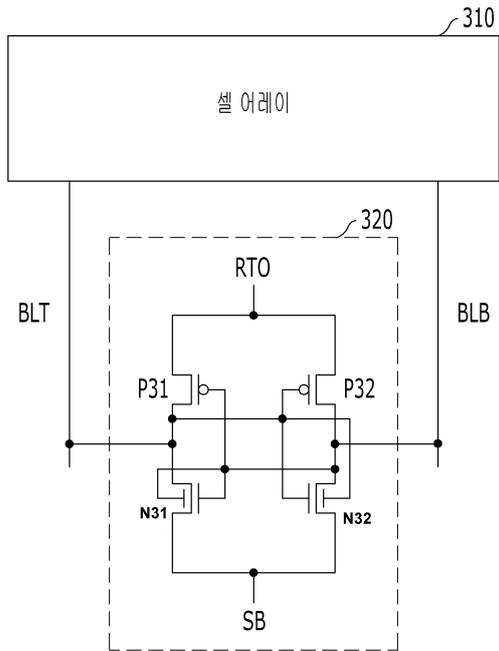
**도면1**



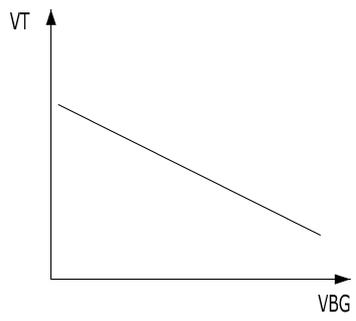
**도면2**



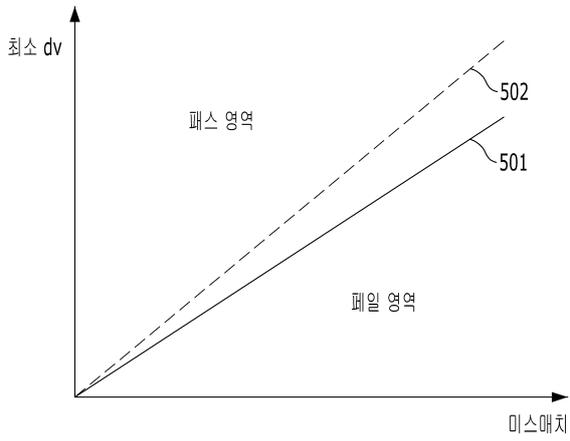
도면3



도면4



도면5



도면6

