



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 698 27 974 T2** 2005.11.24

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 042 802 B1**

(21) Deutsches Aktenzeichen: **698 27 974.3**

(86) PCT-Aktenzeichen: **PCT/US98/27106**

(96) Europäisches Aktenzeichen: **98 964 820.9**

(87) PCT-Veröffentlichungs-Nr.: **WO 99/033098**

(86) PCT-Anmeldetag: **18.12.1998**

(87) Veröffentlichungstag  
der PCT-Anmeldung: **01.07.1999**

(97) Erstveröffentlichung durch das EPA: **11.10.2000**

(97) Veröffentlichungstag  
der Patenterteilung beim EPA: **01.12.2004**

(47) Veröffentlichungstag im Patentblatt: **24.11.2005**

(51) Int Cl.7: **H01L 21/3205**  
**H01L 21/768**

(30) Unionspriorität:  
**994054**      **19.12.1997**      **US**

(73) Patentinhaber:  
**Micron Technology, Inc., Boise, Id., US**

(74) Vertreter:  
**derzeit kein Vertreter bestellt**

(84) Benannte Vertragsstaaten:  
**AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,**  
**LI, LU, MC, NL, PT, SE**

(72) Erfinder:  
**PAREKH, R., Kunal, Boise, US; THAKUR, P.,**  
**Randhir, San Jose, US**

(54) Bezeichnung: **HALBLEITER VERARBEITUNGSVERFAHREN MIT DER HERSTELLUNG VON EINER SPERRSCHICHT**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung**

## TECHNISCHES GEBIET DER ERFINDUNG

**[0001]** Die Erfindung betrifft Halbleiterverarbeitungsverfahren, einschließlich Verfahren zum Ausbilden von Kondensatoren, die dielektrische Ta<sub>2</sub>O<sub>5</sub>-Kondensatorschichten aufweisen.

## TECHNISCHER HINTERGRUND DER ERFINDUNG

**[0002]** Mit zunehmender Speicherzellendichte von dynamischen Direktzugriffsspeichern (DRAMs) besteht eine fortgesetzte Herausforderung, trotz abnehmender Zellenfläche eine ausreichend hohe Speicherkapazität aufrechtzuerhalten. Außerdem besteht weiterhin das Ziel, die Zellenfläche weiter zu verringern. Eine Hauptmöglichkeit, die Zellenkapazität zu erhöhen, sind Zellenstrukturverfahren. Derartige Verfahren beinhalten dreidimensionale Zellenkondensatoren, wie z. B. Graben- oder Stapelkondensatoren. Trotzdem sind mit weiterhin immer kleiner werdender Strukturgröße die Entwicklung verbesserter Materialien für Zellendielektrika sowie die Zellenstruktur wichtig. Die Strukturgröße von 256Mb-DRAMs liegt in der Größenordnung von 0,25 µm, und herkömmliche Dielektrika wie z. B. SiO<sub>2</sub> und Si<sub>3</sub>N<sub>4</sub> könnten wegen zu niedriger Dielektrizitätskonstanten ungeeignet sein.

**[0003]** Bei hochintegrierten Speicherbauelementen, wie z. B. 256 Mbit-DRAMs, wird erwartet, daß sie eine sehr dünne dielektrische Schicht für den dreidimensionalen Kondensator von zylinderförmiger Stapel- oder Grabenstruktur erfordern. Um diese Anforderung zu erfüllen, wird die Dicke der dielektrischen Schicht des Kondensators unter 2,5 nm der äquivalenten SiO<sub>2</sub>-Schichtdicke liegen. Chemisch aufgedampfte (CVD) Ta<sub>2</sub>O<sub>5</sub>-Schichten werden als sehr aussichtsreiche Zellenisolierschichten für diesen Zweck angesehen, da die Dielektrizitätskonstante von Ta<sub>2</sub>O<sub>5</sub> annähernd dreimal so hoch ist wie die herkömmlicher dielektrischer Si<sub>3</sub>N<sub>4</sub>-Schichten von Kondensatoren. Ein mit Ta<sub>2</sub>O<sub>5</sub>-Isolierschichten verbundener Nachteil sind jedoch ungünstige Leckstromeigenschaften. Dementsprechend weist Ta<sub>2</sub>O<sub>5</sub>-Material zwar von Natur aus höhere Isoliereigenschaften auf, aber Ta<sub>2</sub>O<sub>5</sub> im aufgedampften Zustand liefert typischerweise wegen des Leckstroms inakzeptable Ergebnisse.

**[0004]** Es ist berichtet worden, daß eine Verdichtung von Ta<sub>2</sub>O<sub>5</sub> im aufgedampften Zustand die Leckeigenschaften solcher Schichten wesentlich bis zu akzeptablen Werten verbessert. Die Verdichtung nach dem Stand der Technik beinhaltet, daß die Ta<sub>2</sub>O<sub>5</sub>-Schicht extremen Oxidationsbedingungen ausgesetzt wird. Ungünstigerweise zeigt sich dabei jedoch eine Tendenz zur Bildung einer SiO<sub>2</sub>-Schicht

zwischen der unteren Elektrode (typischerweise aus Polysilicium) und dem Ta<sub>2</sub>O<sub>5</sub>. Ferner, und ungeachtet dessen, bildet sich auch typischerweise wegen der Gegenwart von Sauerstoff an der Grenzfläche der Polysiliciumschicht von Natur aus eine dünne SiO<sub>2</sub>-Schicht während der Ta<sub>2</sub>O<sub>5</sub>-Abscheidung. Es ist wünschenswert, diese SiO<sub>2</sub>-Schicht zwischen der Ta<sub>2</sub>O<sub>5</sub>-Schicht und der Polysiliciumschicht zu entfernen oder beseitigen und dennoch diese erwünschte Verdichtung zuzulassen.

**[0005]** Ein Verfahren nach dem Stand der Technik beinhaltet, daß die Polysiliciumschicht unmittelbar vor dem Aufdampfen der Ta<sub>2</sub>O<sub>5</sub>-Schicht einer schnellen thermischen Nitrierung ausgesetzt wird. Dies wird berichtet von Kamiyama et al., "Ultrathin Tantalum Oxide Capacitor Dielectric Layers Fabricated Using Rapid Thermal Nitridation prior to Low Pressure Chemical Vapor Deposition" (Ultradünne Tantaloxid-Kondensatorisolierschichten, hergestellt unter Anwendung einer schnellen thermischen Nitrierung vor der chemischen Tiefdruck-Bedampfung), J. Electrochem. Soc., Bd. 140, Nr. 6, Juni 1993, und Kamiyama et al., "Highly Reliable 2,5 nm Ta<sub>2</sub>O<sub>5</sub> Capacitor Process Technology for 256 Mbit DRAMs" (Hochzuverlässige Ta<sub>2</sub>O<sub>5</sub>-Kondensatorverarbeitungstechnologie für 256 Mbit-DRAMs) 830-IEDM 91, S. 32.2.1 – 32.2.4. Eine solche thermische Schnellnitrierung beinhaltet, daß die betreffende Polysiliciumschicht sechzig Sekunden lang in einer Ammoniakatmosphäre bei Atmosphärendruck Temperaturen von 800°C bis 1100°C ausgesetzt wird. Die Nitridschicht wirkt als Sperrschicht gegen Oxidation während der Ta<sub>2</sub>O<sub>5</sub>-Abscheidung und anschließender Hochtemperaturverdichtungsprozesse, um die Oxidation der darunterliegenden Polysilicium-Elektrode zu verhindern. Diese Verarbeitung kann jedoch andere Probleme aufwerfen, wie unter Bezugnahme auf die [Fig. 1](#) und [Fig. 2](#) erläutert wird.

**[0006]** In [Fig. 1](#) wird ein Bruchstück eines in Bearbeitung befindlichen Halbleiterwafers nach dem Stand der Technik mit dem Bezugszeichen **10** bezeichnet. Dieses Bruchstück weist ein massives einkristallines Siliciumsubstrat **12** mit darüber ausgebildeten Wort- oder Gateleitungen **14**, **16**, **18** und **20** auf. Typische Diffusionsbereiche **15** und **17**, die eine Source- oder Drain-Elektrode eines Transistors bilden, sind vorgesehen, wie dargestellt. Ein Bereich oder eine Region **22** des Waferbruchstücks **10** weist einen Speichermatrixbereich auf, während eine Region oder ein Bereich **24** einen bestimmten Bereich bildet, der typischerweise peripher zu der Speichermatrix liegt. Eine erste Isolierschicht **26**, zum Beispiel Borphosphorsilicatglas (BPSG), ist über den Gateleitungen **14–20** und um diese herum ausgebildet. Von Diffusionsbereichen **15** und **17** innerhalb des Substrats **12** zwischen den dargestellten Gateleitungen innerhalb der Isoliermaterialschicht **26** ragen typische leitfähige Zapfen **28** und **30** nach oben zur oberen

Fläche der Isolierschicht **26**. Diese Zapfen sind stark mit Phosphor dotiert, bis zu einer Konzentration, die beispielsweise größer oder gleich  $1 \times 10^{21}$  Atome/cm<sup>3</sup> ist, um eine akzeptierbare Leitfähigkeit zu erzielen.

**[0007]** Eine zweite Isolierschicht **32**, wieder typischerweise aus BPSG, ist über der ersten Isolierschicht **26** und den Polysiliciumzapfen **28** und **30** ausgebildet. Eine Öffnung **34** für einen Kondensator ist über dem Polysiliciumzapfen **28** innerhalb des Matrixbereichs **22** in die Schicht **32** geätzt. Eine untere oder innere Kondensatorelektrode **36** ist innerhalb der Öffnung **34** ausgebildet. Diese weist wieder vorzugsweise stark phosphordotiertes Polysilicium auf, wie z. B. Polysilicium mit halbkugelförmiger Körnung. Dann erfolgt gewöhnlich eine Nitrierung, um eine sehr dünne (d. h. weniger als 50 Å) Si<sub>3</sub>N<sub>4</sub>-Schicht (nicht dargestellt) zu bilden.

**[0008]** Leider bewirkt die hohe Nitrierungstemperatur eine Ausdiffusion von Phosphor aus dem Polysilicium in die Schicht **32**, wobei anderswo auf dem Wafer ausgebildete Polysiliciumzapfen nicht mit dem Material der unteren Kondensatorelektrode abgedeckt sind, wie z. B. der Zapfen **30**. Dies ist durch die Kontur **40** im Bereich **24** dargestellt. Obwohl die Schicht **32** in dem typischen Beispiel nach dem Stand der Technik keine Phosphordotierung enthält, ist die Phosphorkonzentration innerhalb der Polysiliciumzapfen erheblich höher und führt zur Ausdiffusion und lokalisierten höheren Phosphorkonzentration innerhalb der Schicht **32**. Eine Ausdiffusion dieser Art ist nicht problematisch, wo die Polysiliciumzapfen unter Kondensatorelektrodenmaterialschichten liegen, da beide Schichten in diesem Fall typischerweise Polysilicium bilden, das stark mit Phosphor dotiert ist.

**[0009]** Wie aus [Fig. 2](#) erkennbar, wird eine Ta<sub>2</sub>O<sub>5</sub>-Schicht **42** über dem Substrat gebildet und anschließend geätzt oder wieder eingeebnet, um die dielektrische Schicht über der unteren oder inneren Kondensatorelektrode **36** zu bilden. Wie oben wird diese Schicht dann Oxidationsbedingungen ausgesetzt, wodurch die Schicht verdichtet wird, um eine gewünschte dielektrische Schicht eines Kondensators zu bilden. Leider führt der höher dotierte Phosphorbereich **40** innerhalb der BPSG-Schicht **32**, die den Polysilicium-Zapfen unmittelbar benachbart ist, zur Entstehung einer Luftblase oder Pore **44** innerhalb der BPSG-Schicht **32**. Diese hat außerdem eine Tendenz, die Schicht **32** von Natur aus anzuheben und von dem Zapfen zu entfernen. Dies ist sehr ungünstig. Die Bildung dieser Blase/Pore ist auch von der Spannung in dem BPSG sowie von der Geometrie der darunter liegenden gekapselten Gate-Leitung oder anderer Merkmale abhängig, wird aber durch die Hochtemperaturverarbeitung erschwert, die mit den Nitrierungs- und Ta<sub>2</sub>O<sub>5</sub>-Verdichtungsschritten verbunden ist.

**[0010]** Es wäre wünschenswert, derartige Prozesse nach dem Stand der Technik zu verbessern und die Nutzung von Ta<sub>2</sub>O<sub>5</sub>-Schichten in Kondensatorkonstruktionen zu ermöglichen. Obwohl die Erfindung aus dieser Perspektive motiviert wurde, wird der Fachmann die Anwendbarkeit in anderen Bereichen der Halbleiterverarbeitung klar erkennen, wobei die Erfindung nur durch die beigefügten Ansprüche begrenzt ist.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0011]** Nachstehend werden bevorzugte Ausführungsformen der Erfindung unter Bezugnahme auf die folgenden beigefügten Zeichnungen beschrieben.

**[0012]** [Fig. 1](#) zeigt eine schematische Darstellung eines Halbleiterwaferbruchstücks in einem Verarbeitungsschritt nach dem Stand der Technik und wird weiter oben im Abschnitt "technischer Hintergrund" beschrieben.

**[0013]** [Fig. 2](#) zeigt eine Ansicht des Waferbruchstücks gemäß [Fig. 1](#) in einem Verarbeitungsschritt nach dem Stand der Technik, der sich an den in [Fig. 1](#) abgebildeten Schritt anschließt.

**[0014]** [Fig. 3](#) zeigt eine schematische Schnittdarstellung eines Halbleiterwaferbruchstücks in einem Schritt in einem erfindungsgemäßen Verfahren.

**[0015]** [Fig. 4](#) zeigt eine Ansicht des Waferbruchstücks von [Fig. 3](#) in einem Verarbeitungsschritt, der sich an den in [Fig. 3](#) abgebildeten anschließt.

**[0016]** [Fig. 5](#) zeigt eine Ansicht des Waferbruchstücks von [Fig. 3](#) in einem Verarbeitungsschritt, der sich an den in [Fig. 4](#) abgebildeten anschließt.

**[0017]** [Fig. 6](#) zeigt eine Ansicht des Waferbruchstücks von [Fig. 3](#) in einem Verarbeitungsschritt, der sich an den in [Fig. 5](#) abgebildeten anschließt.

**[0018]** [Fig. 7](#) zeigt eine Ansicht des Waferbruchstücks von [Fig. 3](#) in einem Verarbeitungsschritt, der sich an den in [Fig. 6](#) abgebildeten anschließt.

#### DIE BESTEN FORMEN DER DURCHFÜHRUNG UND DIE BESCHREIBUNG DER ERFINDUNG.

**[0019]** Die Erfindung stellt ein Halbleiterverarbeitungsverfahren gemäss Anspruch 1 bereit.

**[0020]** Eine typische und bevorzugte Ausführungsform der Erfindung wird unter Bezugnahme auf die [Fig. 3–Fig. 7](#) beschrieben, die eine Konstruktion zeigen, die der in den obigen [Fig. 1](#) und [Fig. 2](#) abgebildeten Konstruktion nach dem Stand der Technik ziemlich analog ist. Gegebenenfalls wurden gleiche

Bezugszeichen von dieser Konstruktion verwendet, wobei Unterschiede mit dem Suffix "a" oder mit anderen Bezugszeichen gekennzeichnet wurden.

**[0021]** Wie zunächst aus [Fig. 3](#) erkennbar, sind in einer ersten Isolierschicht **26** des Substrats **10a** voneinander beabstandete erste und zweite leitfähig dotierte Zapfen **28** und **30** aus Halbleitermaterial ausgebildet. Im Kontext des vorliegenden Dokuments ist der Begriff "leitfähiges Substrat" so definiert, daß er irgendeine Konstruktion bedeutet, die Halbleitermaterial aufweist, einschließlich, aber nicht begrenzt auf Volumenhalbleitermaterialien, wie z. B. ein Halbleiterwafer (entweder allein oder in Baugruppen, die darauf andere Materialien aufweisen), sowie Halbleitermaterialschichten (entweder allein oder in Baugruppen mit anderen Materialien). Der Begriff "Substrat" bezieht sich auf irgendeine Stütz- bzw. Trägerstruktur, einschließlich, aber nicht beschränkt auf die oben beschriebenen Halbleitersubstrate. Die Zapfen **28** und **30** weisen vorzugsweise Polysilicium auf, das bis zu einer typischen Konzentration von  $1 \times 10^{21}$  Atomen/cm<sup>3</sup> leitfähig mit Phosphor dotiert ist. Anders betrachtet, bilden die ersten und zweiten leitfähig dotierten Zapfen voneinander beabstandete erste und zweite leitfähig dotierte Halbleitermaterialbereiche. Um nur ein Beispiel zu geben, solche leitfähig dotierten Bereiche könnten Diffusionsbereiche aufweisen, die in einem Volumenhalbleitersubstrat oder in einer Dünnschicht-Halbleiterschicht gebildet werden. Das erste Isoliermaterial **26** weist vorzugsweise dotiertes Oxid auf, wie z. B. phosphordotiertes Oxid einschließlich BPSG.

**[0022]** Über mindestens einem der ersten und zweiten Bereiche **28** und **30** ist eine Sperrschicht **25** gegen Ausdiffusion einer Dotierungssubstanz aus dem Halbleitermaterial ausgebildet, und in der bevorzugten Ausführungsform ist diese Sperrschicht über beiden Bereichen ausgebildet. Im Kontext der vorliegenden Ausführungsform weist diese Schicht idealerweise ein Isoliermaterial auf, wobei undotiertes Oxid und Si<sub>3</sub>N<sub>4</sub> Beispiele dafür sind. Eine typische Dicke der Sperrschicht **25** beträgt etwa 100 Å bis etwa 500 Å (1 Å = 0,1 nm). Das bevorzugte Material ist undotiertes Siliciumdioxid, das durch Zersetzung von Tetraethylorthosilicat (TEOS) bis zu einer Dicke von etwa 300 Å bis etwa 500 Å aufgebracht wird. Falls die Schicht **25** Si<sub>3</sub>N<sub>4</sub> ist, beträgt eine typische Dicke etwa 100 Å bis etwa 300 Å. Über der Sperrschicht **25** wird eine zweite Isolierschicht **32** ausgebildet und besteht vorzugsweise aus dem gleichen Material wie die erste Isolierschicht **26**. Trotzdem weisen typische Materialien für die Schicht **32** dotiertes Oxid auf, wie z. B. phosphordotiertes Oxid einschließlich BPSG. Ein weiteres Beispiel weist bor- und/oder phosphordotiertes Oxid auf, das unter Verwendung von TEOS als Vorläufer für die chemische Bedampfung abgeschieden wird. Die Schicht **32** kann einer geeigneten Rückflüßausheilung ausgesetzt werden.

**[0023]** Wie aus [Fig. 4](#) erkennbar, ist in der zweiten Isolierschicht **32** über dem Zapfen **28** eine Öffnung **34** ausgebildet, die durch die Sperrschicht **25** hindurchgeht. Innerhalb der Öffnung **34** ist die innere Kondensatorelektrode **36** über und in elektrischer Verbindung mit dem ersten dotierten Zapfen **28** ausgebildet, während über dem zweiten dotierten Zapfen **30** Isoliermaterial der isolierenden Sperrschicht **25** verbleibt. Dies ist folglich nur ein Beispiel für die Ausbildung von leitfähigem Material durch die zweite Isolierschicht **32** hindurch, das in elektrische Verbindung mit dem dotierten Zapfen **28** gebracht wird, wobei in diesem Beispiel solches leitfähiges Material auch durch die Sperrschicht **25** hindurch ausgebildet wird. Ein typisches Verfahren zur Ausbildung der Elektrode **36** ist die Bildung von Polysilicium mit halbkugelförmiger Körnung über der Schicht **32** und innerhalb der Öffnung **34** mit anschließender Ausbildung eines Photolacks über dem Substrat und daran anschließendem Rückätzen oder chemischmechanischem Polieren, um leitfähiges Polysilicium innerhalb der Öffnung **34** zu isolieren. Ferner kann ein anschließendes Vertiefungsätzen des Materials der Schicht **36** ausgeführt werden, um die oberste Fläche der dargestellten Behälterelektrode ein wenig unter die obere Fläche der Schicht **32** abzusenken (nicht dargestellt). Der Photolack wird dann abgelöst und läßt die in [Fig. 4](#) dargestellte Konstruktion zurück.

**[0024]** Dies ist nur ein Beispiel der Ausbildung einer inneren Kondensatorelektrode innerhalb der Öffnung **34** über und in elektrischer Verbindung mit dem ersten dotierten Zapfen **28**, während Isoliermaterial der isolierenden Sperrschicht **25** und Isoliermaterial der Schicht **32** über dem zweiten dotierten Zapfen **30** belassen wird. Dann wird der Wafer nitridiert, typischerweise bei einer Temperatur von mindestens 900°C und in Gegenwart eines stickstoffhaltigen Gases, wie z. B. NH<sub>3</sub>, um eine Siliciumnitridschicht (nicht dargestellt) über der Außenfläche der Elektrode **36** zu bilden, während Isoliermaterial der Isolierschicht **32** aus dotiertem Oxid und Isoliermaterial der isolierenden Sperrschicht **25** über dem zweiten dotierten Zapfen **30** belassen wird. Dies ist nur ein Beispiel der Bildung einer Oxidationssperrschicht über der inneren Kondensatorelektrode **36**. Die Schicht **25** beschränkt idealerweise das Auftreten einer Ausdiffusion von Dotierungsmaterial aus dem zweiten dotierten Zapfen **30** in die dotierte Oxidisolierschicht **32** während einer solchen Hochtemperaturverarbeitung.

**[0025]** Wie aus [Fig. 5](#) erkennbar, wird eine dielektrische Kondensatorschicht **42** (die vorzugsweise Ta<sub>2</sub>O<sub>5</sub> aufweist) typischerweise durch chemisches Aufdampfen über der Oxidations-Sperrschicht und der inneren Kondensatorelektrode **36** ausgebildet. Eine solche Schicht wird danach Verdichtungsbedingungen ausgesetzt, zu denen eine Temperatur von mindestens 750°C gehört, während über dem zweiten dotierten Zapfen **30** Isoliermaterial der Isolier-

schicht **32** aus dotiertem Oxid und Isoliermaterial der Sperrschicht **25** belassen wird. Das Auftreten einer Ausdiffusion von Dotierungsmaterial aus dem zweiten dotierten Zapfen **30** in die dotierte Oxidisolierschicht **32** wird während dieser Verdichtung wieder durch die isolierende Sperrschicht **25** beschränkt, in der Absicht, jede Porenbildung, wie in der Abbildung von [Fig. 2](#) nach dem Stand der Technik dargestellt, vollständig zu beseitigen.

**[0026]** Wie aus [Fig. 6](#) erkennbar, wird über der Ta<sub>2</sub>O<sub>5</sub>-Schicht **42** eine Zellenelektrodenschicht **52** (d. h. Polysilicium oder eine Kombination von TiN und Polysilicium) aufgebracht, um einen äußeren Kondensatorbelag zu bilden. Dies ist nur ein Beispiel der Ausbildung eines Kondensators mit einer dielektrischen Kondensatorschicht, die Ta<sub>2</sub>O<sub>5</sub> aufweist, über und in elektrischer Verbindung mit dem ersten Zapfen **28**.

**[0027]** Wie aus [Fig. 7](#) erkennbar, ist innerhalb der Isolierschicht **32** eine Öffnung **56** ausgebildet, die durch diese und durch die Schicht **25** über dem leitfähigen Zapfen **30** hindurchgeht. Leitfähiges Material **60** (d. h. leitfähig dotiertes Polysilicium, Wolfram, Aluminium oder irgendein anderes Material) wird innerhalb der Öffnung **56** abgeschieden oder auf andere Weise ausgebildet und geht durch die dotierte Oxidisolierschicht **32** hindurch und befindet sich in elektrischer Verbindung mit dem dotierten Zapfen **30**.

### Patentansprüche

1. Halbleiterverarbeitungsverfahren, das aufweist:

Ausbilden von beabstandeten ersten und zweiten leitfähig dotierten Halbleitermaterialbereichen über einem Substrat;

Ausbilden einer Sperrschicht für die Ausdiffusion eines Dotierungsstoffs aus dem Halbleitermaterial zumindest über dem zweiten Bereich;

Ausbilden einer Isolierschicht über der Sperrschicht und dem ersten und dem zweiten Bereich;

nach Bildung der Isolierschicht, Ausbilden eines Kondensators über dem ersten Bereich, wobei der Kondensator eine mit dem ersten Bereich elektrisch verbundene innere Elektrode und eine dielektrische Ta<sub>2</sub>O<sub>5</sub>-haltige Kondensatorschicht über der inneren Elektrode aufweist;

und Ausbilden eines durch die Isolierschicht hindurchgehenden leitfähigen Materials über und in elektrischer Verbindung mit dem zweiten Bereich.

2. Verfahren nach Anspruch 1, wobei die Isolierschicht im wesentlichen aus einem dotierten Oxidisoliermaterial besteht.

3. Verfahren nach Anspruch 1 oder 2, wobei zumindest der zweite leitfähig dotierte Bereich einen leitfähig dotierten Polysiliciumzapfen aufweist.

4. Verfahren nach Anspruch 1, wobei die Sperrschicht sowohl über dem ersten als auch über dem zweiten Bereich ausgebildet ist.

5. Verfahren nach Anspruch 1, wobei: der erste und der zweite leitfähig dotierte Bereich erste und zweite leitfähig dotierte Polysiliciumzapfen aufweisen; und wobei die Bildung des Kondensators die Bildung einer zumindest durch die Isolierschicht hindurchgehenden Öffnung und die Bildung einer inneren Elektrode innerhalb der Öffnung aufweist.

6. Verfahren nach einem der vorstehenden Ansprüche, wobei die leitfähig dotierten Bereiche phosphordotiert sind und die Isolierschicht phosphordotiertes Oxid aufweist.

7. Verfahren nach einem der vorstehenden Ansprüche, wobei die Sperrschicht isolierend ist.

8. Verfahren nach Anspruch 5, wobei die ersten und zweiten leitfähig dotierten Polysiliciumzapfen innerhalb einer ursprünglichen Isolierschicht gebildet werden, wobei die über der Sperrschicht gebildete Isolierschicht eine dotierte Oxidisolierschicht aufweist, und wobei das Verfahren ferner aufweist:

Ausbilden einer Oxidationssperrschicht über der inneren Kondensatorelektrode;

Ausbilden der Ta<sub>2</sub>O<sub>5</sub>-haltigen dielektrischen Kondensatorschicht über der Oxidationssperrschicht; und

Ausbilden einer äußeren Kondensatorelektrode über der Ta<sub>2</sub>O<sub>5</sub>-haltigen dielektrischen Kondensatorschicht.

9. Verfahren nach einem der vorstehenden Ansprüche, wobei die Sperrschicht in einer Dicke von etwa 100 Å bis etwa 500 Å bereitgestellt wird.

10. Verfahren nach einem der vorstehenden Ansprüche, wobei die Sperrschicht undotiertes Oxid aufweist.

11. Verfahren nach einem der vorstehenden Ansprüche, wobei die Sperrschicht Si<sub>3</sub>N<sub>4</sub> aufweist.

12. Verfahren nach Anspruch 8, wobei: die Sperrschicht gegen Ausdiffusion isolierend ist; die Ausbildung der zumindest durch die dotierte Oxidisolierschicht hindurchgehenden Öffnung die Bildung der durch die isolierende Sperrschicht hindurchgehenden Öffnung einschließt;

die Ausbildung der Oxidationssperrschicht bei einer Temperatur von mindestens 900°C aufweist: Nitridation einer Außenfläche der inneren Kondensatorelektrode zur Bildung einer Siliciumnitridschicht über der Außenfläche, wobei Isoliermaterial der dotierten Oxidisolierschicht und Isoliermaterial der Sperrschicht über dem zweiten dotierten Zapfen belassen werden, und Beschränkung der Ausdiffusion von Dotierungs-

stoff aus dem zweiten dotierten Zapfen in die dotierte isolierende Oxidschicht mit der isolierenden Sperrschicht während der Nitridation; und wobei das Verfahren ferner aufweist: Einwirkung von Verdichtungsbedingungen mit einer Temperatur von mindestens 750°C auf die Ta<sub>2</sub>O<sub>5</sub>-Schicht, wobei Isoliermaterial der dotierten Oxidisolierschicht und Isoliermaterial der Sperrschicht über dem zweiten dotierten Zapfen belassen werden, und Beschränkung der Ausdiffusion von Dotierungsstoff aus dem zweiten dotierten Zapfen in die dotierte isolierende Oxidschicht mit der isolierenden Sperrschicht während der Verdichtung.

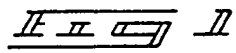
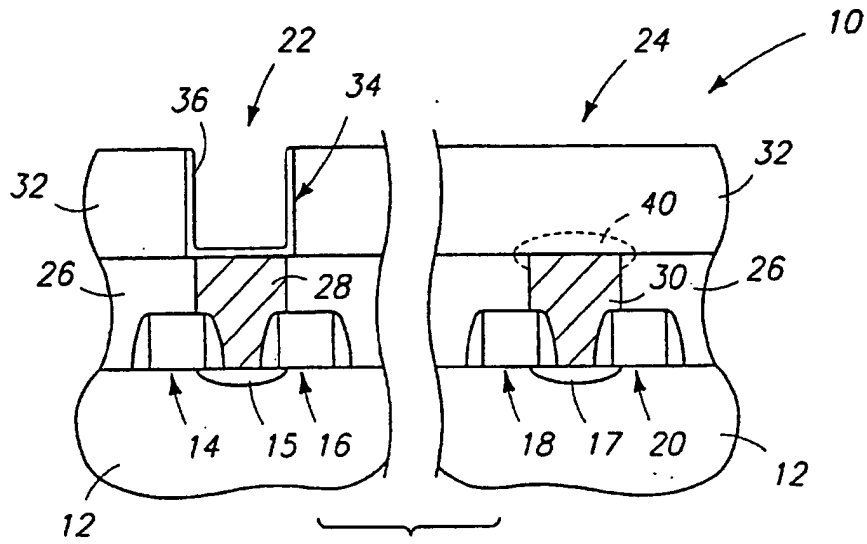
13. Verfahren nach Anspruch 12, wobei die leitfähig dotierten Zapfen phosphordotiert sind, das dotierte Oxid phosphordotiert ist und die isolierende Sperrschicht undotiertes Oxid aufweist.

14. Verfahren nach Anspruch 12, wobei die leitfähig dotierten Zapfen phosphordotiert sind, das dotierte Oxid phosphordotiert ist und die isolierende Sperrschicht Si<sub>3</sub>N<sub>4</sub> aufweist.

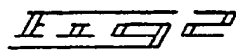
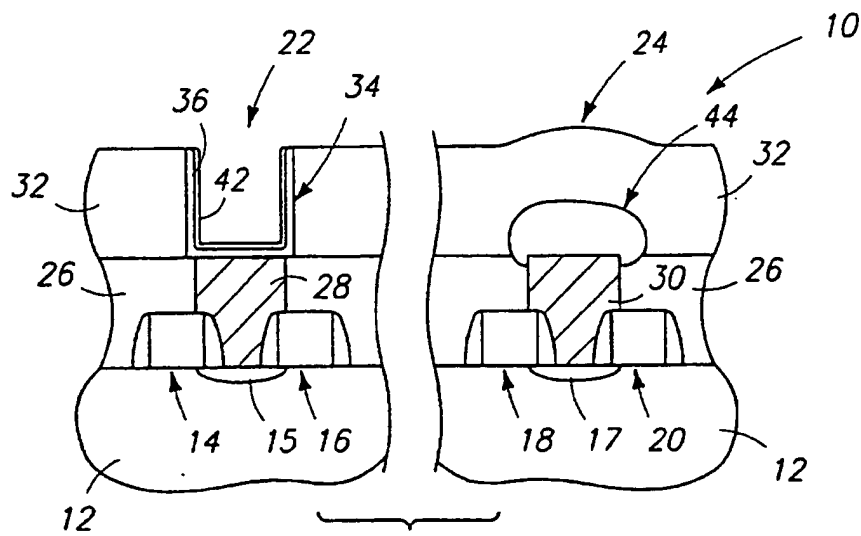
Es folgen 4 Blatt Zeichnungen



Anhängende Zeichnungen



Stand der Technik



Stand der Technik

