

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6951423号
(P6951423)

(45) 発行日 令和3年10月20日(2021.10.20)

(24) 登録日 令和3年9月28日(2021.9.28)

(51) Int.Cl. F I
HO4N 5/378 (2011.01) HO4N 5/378

請求項の数 18 (全 51 頁)

| | |
|---|---|
| <p>(21) 出願番号 特願2019-509966 (P2019-509966) (86) (22) 出願日 平成30年3月28日(2018.3.28) (86) 国際出願番号 PCT/JP2018/012723 (87) 国際公開番号 W02018/181463 (87) 国際公開日 平成30年10月4日(2018.10.4) 審査請求日 令和1年12月3日(2019.12.3) (31) 優先権主張番号 特願2017-71682 (P2017-71682) (32) 優先日 平成29年3月31日(2017.3.31) (33) 優先権主張国・地域又は機関 日本国(JP)</p> | <p>(73) 特許権者 521182560 ブリルニクス シンガポール プライベ ト リミテッド シンガポール 079906 アンソン・ ロード 79 #07-03 (74) 代理人 110001863 特許業務法人アテンダ国際特許事務所 (72) 発明者 大倉 俊介 東京都品川区南大井6丁目2番12号 大森プライムビル7階 ブリルニクスジャ パン株式会社内 審査官 鈴木 明</p> |
|---|---|

最終頁に続く

(54) 【発明の名称】 固体撮像装置、固体撮像装置の駆動方法、および電子機器

(57) 【特許請求の範囲】

【請求項1】

光電変換を行う画素が配置された画素部と、
 前記画素から信号線に読み出される画素信号をアナログ信号からデジタル信号に変換するアナログデジタル(A/D)変換機能を有する読み出し回路と、を有し、
 前記画素から読み出される前記画素信号は、
 第1の動作により前記画素から順に読み出される読み出しリセット信号および読み出し輝度信号を含む第1の画素信号と、
 第2の動作により前記画素から順に読み出される読み出し輝度信号および読み出しリセット信号を含む第2の画素信号と、のうちの少なくともいずれかであり、
 前記読み出し回路は、
 前記画素信号を増幅する増幅部と、
 前記増幅部で増幅された画素信号を、探索信号に関連付けてアナログ信号からデジタル信号に変換するA/D変換部と、を含み、
 前記第1の画素信号のときの第1の探索信号と前記第2の画素信号のときの第2の探索信号とは、探索レベルが反転した関係に設定可能である
 固体撮像装置。

【請求項2】

前記増幅部は、
 第1の演算増幅器と、

前記第 1 の画素信号または前記第 2 の画素信号の入力ラインと前記第 1 の演算増幅器の第 1 の入力端子との間に接続された第 1 のサンプリングキャパシタと、

前記第 1 の演算増幅器の出力端子と前記第 1 の入力端子との間に接続される第 1 の帰還キャパシタと、

オフセット電位と、

前記第 1 の帰還キャパシタの一端側を前記第 1 の演算増幅器の出力端子または前記オフセット電位に選択的に接続する第 1 のスイッチ部と、を含み、

前記第 1 の演算増幅器の第 2 の入力端子は少なくとも参照電位に接続可能である請求項 1 記載の固体撮像装置。

【請求項 3】

10

前記増幅部は、

前記第 1 の画素信号または前記第 2 の画素信号の入力ラインと前記第 1 の演算増幅器の第 2 の入力端子との間に接続された第 2 のサンプリングキャパシタと、

前記第 1 の演算増幅器の前記第 2 の入力端子と基準電位との間に接続された第 2 の帰還キャパシタと、

前記参照電位を前記第 1 の演算増幅器の前記第 2 の入力端子に選択的に接続する第 2 のスイッチ部と、を含む

請求項 2 記載の固体撮像装置。

【請求項 4】

前記 A/D 変換部は、

20

第 2 の演算増幅器と、

前記増幅部の信号出力ラインに接続されたサンプルホールドスイッチと、

前記第 2 の演算増幅器の第 1 の入力端子と前記サンプルホールドスイッチとの間に接続された入力キャパシタと、

前記入力キャパシタの前記サンプルホールドスイッチとの接続端子側と前記探索信号の供給ラインとの間に接続され、前記探索信号を前記入力キャパシタの前記サンプルホールドスイッチとの接続端子側に入力する探索信号入力部と、を含み、

前記第 2 の演算増幅器の第 2 の入力端子は参照電位に接続されている

請求項 2 または 3 記載の固体撮像装置。

【請求項 5】

30

前記 A/D 変換部の前記探索信号入力部は、

一端側が前記入力キャパシタの前記サンプルホールドスイッチとの接続端子側に接続され、他端子側が前記探索信号の供給ライン側に接続された探索信号入力用キャパシタを含む

請求項 4 記載の固体撮像装置。

【請求項 6】

前記 A/D 変換部の前記探索信号入力部は、

一端側が前記入力キャパシタの前記サンプルホールドスイッチとの接続端子側に接続された複数のキャパシタと、

前記複数のキャパシタに対応して配置され、二分探索法に従った制御信号に応じて当該対応するキャパシタの他端側を、参照電位または基準電位に選択的に接続する複数のスイッチと、を含む

40

請求項 4 記載の固体撮像装置。

【請求項 7】

前記増幅部は、

前記第 1 の演算増幅器の前記第 1 の入力端子と出力端子との間に接続された第 1 のオートゼロスイッチを含み、

前記 A/D 変換部は、

前記第 2 の演算増幅器の前記第 1 の入力端子と出力端子との間に接続された第 2 のオートゼロスイッチを含む

50

請求項 4 から 6 のいずれかーに記載の固体撮像装置。

【請求項 8】

前記第 1 の画素信号がシングルエンドの信号として前記増幅部の第 1 のサンプリングキャパシタに入力される場合、

前記増幅部の第 1 の帰還キャパシタは前記第 1 のスイッチ部により前記第 1 の演算増幅器の出力端子に接続され、前記第 1 の演算増幅器の第 2 の入力端子が前記参照電位に接続され、

前記 A D 変換部には前記第 1 の探索信号が供給され、

前記第 2 の画素信号がシングルエンドの信号として前記増幅部の第 1 のサンプリングキャパシタに入力される場合、

前記増幅部の第 1 の帰還キャパシタは前記第 1 のスイッチ部により前記オフセット電位に選択的に接続され、前記第 1 の演算増幅器の第 2 の入力端子が前記参照電位に接続され、

前記 A D 変換部には前記第 1 の探索信号とは探索レベルが反転した関係にある前記第 2 の探索信号が供給される

請求項 2 から 7 のいずれかーに記載の固体撮像装置。

【請求項 9】

前記第 1 の画素信号が差動の信号として前記増幅部の第 1 のサンプリングキャパシタおよび第 2 のサンプリングキャパシタに入力される場合、

前記増幅部の第 1 の帰還キャパシタは前記第 1 のスイッチ部により前記第 1 の演算増幅器の出力端子に接続され、

前記 A D 変換部には前記第 1 の探索信号が供給される

請求項 2 から 8 のいずれかーに記載の固体撮像装置。

【請求項 10】

前記第 2 の画素信号が差動の信号として前記増幅部の第 1 のサンプリングキャパシタおよび第 2 のサンプリングキャパシタに入力される場合、

前記増幅部の第 1 の帰還キャパシタは前記第 1 のスイッチ部により前記第 1 の演算増幅器の出力端子に接続され、

前記 A D 変換部には前記第 1 の探索信号が供給される

請求項 2 から 9 のいずれかーに記載の固体撮像装置。

【請求項 11】

光電変換読み出し部および信号保持部を含む第 1 の画素と前記光電変換読み出し部を含む第 2 の画素のうち、少なくとも前記第 1 の画素が配置された前記画素部と、

前記画素部から画素信号の読み出しを行う読み出し部と、

前記光電変換読み出し部の読み出し信号が出力される第 1 の信号線と、

前記信号保持部の保持信号が出力される第 2 の信号線と、を有し、

少なくとも前記第 1 の画素の前記光電変換読み出し部は、

出力ノードと、

蓄積期間に光電変換により生成した電荷を蓄積する光電変換素子と、

前記光電変換素子に蓄積された電荷を転送期間に転送可能な転送素子と、

前記転送素子を通じて前記光電変換素子で蓄積された電荷が転送されるフローティングディフュージョンと、

前記フローティングディフュージョンの電荷を電荷量に応じた電圧信号に変換し、変換した信号を前記出力ノードに出力するソースフォロワ素子と、

リセット期間に前記フローティングディフュージョンを所定の電位にリセットするリセット素子と、

第 1 の期間に前記出力ノードを前記第 1 の信号線と電気的に接続する選択素子と、を含み、

前記信号保持部は、

前記第 1 の画素の前記光電変換読み出し部の出力ノードから出力される信号を保持可

10

20

30

40

50

能な信号保持キャパシタと、

第2の期間に前記信号保持キャパシタを前記光電変換読み出し部の出力ノードと選択的に接続するスイッチ素子と、

前記第2の期間に前記信号保持キャパシタに保持された信号を保持電圧に応じて出力するソースフォロワ素子を含み、変換した信号を選択的に前記第2の信号線に出力する出力部と、を含む

請求項1から10のいずれかーに記載の固体撮像装置。

【請求項12】

前記画素部は、少なくとも、

複数の前記第1の画素の前記光電変換読み出し部が行列状に配置された第1の画素アレイと、 10

前記複数の前記第1の画素の前記信号保持部が行列状に配置された保持部アレイと、を含む

請求項11記載の固体撮像装置。

【請求項13】

前記画素部は、

複数の前記第2の画素の前記光電変換読み出し部が行列状に配置された第2の画素アレイを有し、

前記第2の画素の前記光電変換読み出し部は、

蓄積期間に光電変換により生成した電荷を蓄積する光電変換素子と、 20

前記光電変換素子に蓄積された電荷を転送期間に転送可能な転送素子と、

前記転送素子を通じて前記光電変換素子で蓄積された電荷が転送されるフローティングディフュージョンと、

前記フローティングディフュージョンの電荷を電荷量に応じた電圧信号に変換するソースフォロワ素子と、

リセット期間に前記フローティングディフュージョンを所定の電位にリセットするリセット素子と、

第1の期間に前記ソースフォロワ素子による電圧信号の出力ラインを前記第1の信号線と電氣的に接続する選択素子と、を含む

請求項12記載の固体撮像装置。 30

【請求項14】

前記読み出し部は、

第1の動作時には、前記第1の画素の前記第1の画素アレイおよび前記第2の画素の前記第2の画素アレイをアクティブにして画素信号の読み出しを行う

請求項13記載の固体撮像装置。

【請求項15】

前記読み出し部は、

第2の動作時には、前記第1の画素および前記第2の画素の前記光電変換読み出し部における前記選択素子を非選択状態とした状態で、前記第1の画素の前記第1の画素アレイおよび前記保持部アレイをアクティブにして画素信号の読み出しを行う 40

請求項12から14のいずれかーに記載の固体撮像装置。

【請求項16】

第1の基板と、

第2の基板と、を含み、

前記第1の基板と前記第2の基板は接続部を通して接続された積層構造を有し、

前記第1の基板には、

少なくとも、前記第1の画素の前記光電変換読み出し部、および前記第1の信号線が形成され、

前記第2の基板には、

少なくとも、前記第1の画素の前記信号保持部、前記第2の信号線、および前記読み 50

出し部の少なくとも一部が形成されている

請求項 1 1 から 1 5 のいずれかーに記載の固体撮像装置。

【請求項 1 7】

光電変換を行う画素が配置された画素部と、

前記画素から信号線に読み出される画素信号をアナログ信号からデジタル信号に変換するアナログデジタル (A D) 変換機能を有する読み出し回路と、を有し、

前記読み出し回路は、

前記画素信号を増幅する増幅部と、

前記増幅部で増幅された画素信号を、探索信号に関連付けてアナログ信号からデジタル信号に変換する A D 変換部と、を含む、

固体撮像装置の駆動方法であって、

前記画素から読み出される前記画素信号は、

第 1 の動作により前記画素から順に読み出される読み出しリセット信号および読み出し輝度信号を含む第 1 の画素信号と、

第 2 の動作により前記画素から順に読み出される読み出し輝度信号および読み出しリセット信号を含む第 2 の画素信号と、のうちの少なくともいずれかであり、

前記読み出し回路に供給する前記探索信号について、

前記第 1 の画素信号のときの第 1 の探索信号と前記第 2 の画素信号のときの第 2 の探索信号とで、探索レベルが反転した関係に設定する

固体撮像装置の駆動方法。

【請求項 1 8】

固体撮像装置と、

前記固体撮像装置に被写体像を結像する光学系と、を有し、

前記固体撮像装置は、

光電変換を行う画素が配置された画素部と、

前記画素から信号線に読み出される画素信号をアナログ信号からデジタル信号に変換するアナログデジタル (A D) 変換機能を有する読み出し回路と、を含み、

前記画素から読み出される前記画素信号は、

第 1 の動作により前記画素から順に読み出される読み出しリセット信号および読み出し輝度信号を含む第 1 の画素信号と、

第 2 の動作により前記画素から順に読み出される読み出し輝度信号および読み出しリセット信号を含む第 2 の画素信号と、のうちの少なくともいずれかであり、

前記読み出し回路は、

前記画素信号を増幅する増幅部と、

前記増幅部で増幅された画素信号を、探索信号に関連付けてアナログ信号からデジタル信号に変換する A D 変換部と、を含み、

前記第 1 の画素信号のときの第 1 の探索信号と前記第 2 の画素信号のときの第 2 の探索信号とは、探索レベルが反転した関係に設定可能である

電子機器。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1】

本発明は、固体撮像装置、固体撮像装置の駆動方法、および電子機器に関するものである。

【背景技術】

【 0 0 0 2】

光を検出して電荷を発生させる光電変換素子を用いた固体撮像装置 (イメージセンサ)

として、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサが実用に供されている。

CMOS イメージセンサは、デジタルカメラ、ビデオカメラ、監視カメラ、医療用内視鏡、パーソナルコンピュータ (PC)、携帯電話等の携帯端末装置 (モバイル機器) 等の各種電子機器の一部として広く適用されている。

【0003】

CMOS イメージセンサは、画素毎にフォトダイオード (光電変換素子) および浮遊拡散層 (FD: Floating Diffusion、フローティングディフュージョン) を有する FD アンプを持ち合わせており、その読み出しは、画素アレイの中のある一行を選択し、それらを同時に列 (カラム) 出力方向へと読み出すような列並列出力型が主流である。

10

【0004】

ところで、CMOS イメージセンサでは、フォトダイオードで生成しかつ蓄積した光電荷を、画素毎あるいは行毎に順次走査して読み出す動作が行われる。

この順次走査、すなわち、電子シャッタとしてローリングシャッタを採用した場合は、光電荷を蓄積する露光の開始時間、および終了時間を全ての画素で一致させることができない。そのため、順次走査の場合、動被写体の撮像時に撮像画像に歪みが生じるという問題がある。

【0005】

そこで、画像歪みが許容できない、高速に動く被写体の撮像や、撮像画像の同時性を必要とするセンシング用途では、電子シャッタとして、画素アレイ部中の全画素に対して同一のタイミングで露光開始と露光終了とを実行するグローバルシャッタが採用される。

20

【0006】

電子シャッタとしてグローバルシャッタを採用した CMOS イメージセンサは、画素内に、たとえば、光電変換読み出し部から読み出された信号を信号保持キャパシタに保持する信号保持部が設けられている。

グローバルシャッタを採用した CMOS イメージセンサでは、フォトダイオードから電荷を電圧信号として一斉に信号保持部の信号保持キャパシタに蓄積し、そののち順次読み出すことにより、画像全体の同時性を確保している (たとえば、非特許文献 1 参照)。

また、この CMOS イメージセンサは、光電変換読み出し部の出力を、信号保持部をバイパスして信号線に転送するバイパススイッチを有しており、グローバルシャッタ機能に加えてローリングシャッタ機能を併せ持つように構成されている。

30

【0007】

非特許文献 1 に記載された積層型 CMOS イメージセンサにおいては、第 1 の基板 (Pixel die) と第 2 の基板 (ASIC die) とがマイクロバンプ (接続部) を通して接続された積層構造を有する。そして、第 1 の基板には各画素の光電変換読み出し部が形成され、第 2 の基板には各画素の信号保持部、信号線、垂直走査回路、水平走査回路、カラム読み出し回路等が形成されている。

【0008】

非特許文献 2 には、CMOS イメージセンサのカラム読み出し回路の構成例が記載されている (Fig. 5)。

40

このカラム読み出し回路は、ローリングシャッタ機能に対応した構成を有しており、カラムアンプ、相関二重サンプリング (CDS: Correlated Double Sampling) 回路、およびアナログデジタル変換器 (ADC) を含んで構成されている。

【先行技術文献】

【非特許文献】

【0009】

【非特許文献 1】 J. Aoki, et al., "A Rolling-Shutter Distortion-Free 3D Stacked Image Sensor with -160dB Parasitic Light Sensitivity In-Pixel Storage Node" ISSCC 2013 /

50

SESSION 27 / IMAGE SENSORS / 27.3.

【非特許文献2】S. Okura, et al., "A 3.7 M-Pixel 1300-fps CMOS Image Sensor With 5.0 G-Pixel/s High-Speed Readout Circuit," in IEEE Journal of Solid-State Circuits, vol. 50, no. 4, pp. 1016-1024, April 2015.

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところが、従来のローリングシャッタ機能とグローバルシャッタ機能を備えるCMOSイメージセンサでは、カラム読み出し回路において、画素出力のリセットレベルと信号レベルのそれぞれを保持するキャパシタ容量を備え、機能毎に異なる画素出力信号を整列し、AD変換器で処理する必要があり、キャパシタ容量が占める面積とそれを駆動するための消費電力が問題となっている。

10

【0011】

また、ローリングシャッタモード時は、画素から読み出しリセット信号および読み出し輝度信号が順に読み出されてカラム読み出し回路で処理される。

一方、グローバルシャッタモード時は、画素から読み出し輝度信号および読み出しリセット信号の順に読み出されてカラム読み出し回路で処理される。

そのため、ローリングシャッタ機能とグローバルシャッタ機能でカラム読み出し回路が別構成とせざるを得ないのが現状である。

20

【0012】

したがって、ローリングシャッタ機能のCMOSイメージセンサとグローバルシャッタ機能を備えるCMOSイメージセンサでは、カラム読み出し回路を共用することが困難である。

同様に、ローリングシャッタ機能とグローバルシャッタ機能を備えるCMOSイメージセンサにおいても、カラム読み出し回路を共用することが困難であり、モードに応じたカラム読み出し回路を個別に設ける必要があり、回路規模の増大や制御の複雑化を招く等の不利益がある。

30

【0013】

また、画素から読み出す読み出し信号として、シングルエンド信号の場合や、差動信号の場合等が考えられるが、この場合も信号形態に応じたカラム読み出し回路を個別に設ける必要があり、回路規模の増大や制御の複雑化を招く等の不利益がある。

【0014】

本発明は、動作モードや読み出し信号の信号形態にかかわらず読み出し回路を共用することが可能となり、ひいては、回路規模の低減、制御の容易化、低消費電力化を実現することが可能な固体撮像装置、固体撮像装置の駆動方法、および電子機器を提供することにある。

【課題を解決するための手段】

【0015】

本発明の第1の観点の固体撮像装置は、光電変換を行う画素が配置された画素部と、前記画素から信号線に読み出される画素信号をアナログ信号からデジタル信号に変換するアナログデジタル(AD)変換機能を有する読み出し回路と、を有し、前記画素から読み出される前記画素信号は、第1の動作により前記画素から順に読み出される読み出しリセット信号および読み出し輝度信号を含む第1の画素信号と、第2の動作により前記画素から順に読み出される読み出し輝度信号および読み出しリセット信号を含む第2の画素信号と、のうちの少なくともいずれかであり、前記読み出し回路は、前記画素信号を増幅する増幅部と、前記増幅部で増幅された画素信号を、探索信号に関連付けてアナログ信号からデジタル信号に変換するAD変換部と、を含み、前記第1の画素信号のときの第1の探索信号と前記第2の画素信号のときの第2の探索信号とは、探索レベルが反転した関係に設定

40

50

可能である。

【 0 0 1 6 】

本発明の第 2 の観点の観点は、光電変換を行う画素が配置された画素部と、前記画素から信号線に読み出される画素信号をアナログ信号からデジタル信号に変換するアナログデジタル (A D) 変換機能を有する読み出し回路と、を有し、前記読み出し回路は、前記画素信号を増幅する増幅部と、前記増幅部で増幅された画素信号を、探索信号に関連付けてアナログ信号からデジタル信号に変換する A D 変換部と、を含む、固体撮像装置の駆動方法であって、前記画素から読み出される前記画素信号は、第 1 の動作により前記画素から順に読み出される読み出しリセット信号および読み出し輝度信号を含む第 1 の画素信号と、第 2 の動作により前記画素から順に読み出される読み出し輝度信号および読み出しリセット信号を含む第 2 の画素信号と、のうちの少なくともいずれかであり、前記読み出し回路に供給する前記探索信号について、前記第 1 の画素信号のときの第 1 の探索信号と前記第 2 の画素信号のときの第 2 の探索信号とで、探索レベルが反転した関係に設定する。

10

【 0 0 1 7 】

本発明の第 3 の観点の電子機器は、固体撮像装置と、前記固体撮像装置に被写体像を結像する光学系と、を有し、前記固体撮像装置は、光電変換を行う画素が配置された画素部と、前記画素から信号線に読み出される画素信号をアナログ信号からデジタル信号に変換するアナログデジタル (A D) 変換機能を有する読み出し回路と、を含み、前記画素から読み出される前記画素信号は、第 1 の動作により前記画素から順に読み出される読み出しリセット信号および読み出し輝度信号を含む第 1 の画素信号と、第 2 の動作により前記画素から順に読み出される読み出し輝度信号および読み出しリセット信号を含む第 2 の画素信号と、のうちの少なくともいずれかであり、前記読み出し回路は、前記画素信号を増幅する増幅部と、前記増幅部で増幅された画素信号を、探索信号に関連付けてアナログ信号からデジタル信号に変換する A D 変換部と、を含み、前記第 1 の画素信号のときの第 1 の探索信号と前記第 2 の画素信号のときの第 2 の探索信号とは、探索レベルが反転した関係に設定可能である。

20

【発明の効果】

【 0 0 1 8 】

本発明によれば、動作モードや読み出し信号の信号形態にかかわらず読み出し回路を共用することが可能となり、ひいては、回路規模の低減、制御の容易化、低消費電力化を実現することができる。

30

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】図 1 は、本発明の第 1 の実施形態に係る固体撮像装置の構成例を示すブロック図である。

【図 2】図 2 は、本発明の第 1 の実施形態に係る固体撮像装置の第 1 の画素および第 2 の画素の一例を示す回路図である。

【図 3】図 3 は、本発明の第 1 の実施形態に係る固体撮像装置の画素部における画素アレイについて説明するための図である。

【図 4】図 4 は、本発明の実施形態に係る固体撮像装置の画素部の列出力の読み出し系の構成例を説明するための図である。

40

【図 5】図 5 は、本発明の第 1 の実施形態に係る固体撮像装置のカラム読み出し回路の構成例を示す回路図である。

【図 6】図 6 は、本第 1 の実施形態に係る固体撮像装置の積層構造について説明するための図である。

【図 7】図 7 (A) ~ (D) は、本第 1 の実施形態に係る固体撮像装置のローリングシャッタモード時の主として画素部における読み出し動作を説明するためのタイミングチャートである。

【図 8】図 8 (A) ~ (L) は、本第 1 の実施形態に係る固体撮像装置のローリングシャッタモード時の主としてカラム読み出し回路における読み出し動作を説明するためのタイミ

50

ングチャートである。

【図 9】図 9 (A) ~ (G) は、本第 1 の実施形態に係る固体撮像装置のグローバルシャッターモード時の主として画素部における読み出し動作を説明するためのタイミングチャートである。

【図 10】(A) ~ (L) は、本第 1 の実施形態に係る固体撮像装置のグローバルシャッターモード時の主としてカラム読み出し回路における読み出し動作を説明するためのタイミングチャートである。

【図 11】図 11 は、本発明の第 2 の実施形態に係る固体撮像装置の画素およびカラム読み出し回路の構成例を示す図である。

【図 12】図 12 (A) ~ (K) は、本第 2 の実施形態に係る固体撮像装置の差動のローリングシャッターモード時の主としてカラム読み出し回路における読み出し動作を説明するためのタイミングチャートである。

【図 13】図 13 は、本発明の第 3 の実施形態に係る固体撮像装置の第 1 の画素の構成例を示す図である。

【図 14】図 14 (A) ~ (F) は、本第 3 の実施形態に係る固体撮像装置のグローバルシャッターモード時の主として画素部における読み出し動作を説明するためのタイミングチャートである。

【図 15】図 15 (A) ~ (L) は、本第 3 の実施形態に係る固体撮像装置のグローバルシャッターモード時の主としてカラム読み出し回路における読み出し動作を説明するためのタイミングチャートである。

【図 16】図 16 は、本第 3 の実施形態に係るカラム読み出し回路の第 1 のオペアンプの構成例を示す回路図である。

【図 17】図 17 は、差動のグローバルシャッターモード時の第 1 のオペアンプの入力レンジの制御の一例を説明するための図である。

【図 18】図 18 は、本発明の第 4 の実施形態に係るカラム読み出し回路の構成例を示す回路図である。

【図 19】図 19 (A) および (B) は、本第 4 の実施形態に係る A D 変換部に採用される反転二分探索法に対応した探索信号入力部の構成例を説明するための図である。

【図 20】本発明の実施形態に係る固体撮像装置が適用される電子機器の構成の一例を示す図である。

【符号の説明】

【 0 0 2 0 】

1 0 , 1 0 A ~ 1 0 C . . . 固体撮像装置、 2 0 , 2 0 A , 2 0 B . . . 画素部、 P D 2 1 , P D 2 2 . . . フォトダイオード、 T G 1 - T r , T G 2 - T r . . . 転送トランジスタ、 R S T 1 - T r , R S T 2 - T r . . . リセットトランジスタ、 S F 1 - T r , S F 2 - T r , S F 3 - T r . . . ソースフォロワトランジスタ、 S E L 1 - T r , S E L 2 - T r , S E L 3 - T r . . . 選択トランジスタ、 F D 2 1 , F D 2 2 . . . フローティングディフュージョン、 2 1 . . . 第 1 の画素、 2 1 1 . . . 光電変換読み出し部、 2 1 2 . . . 信号保持部、 2 2 . . . 第 2 の画素、 2 2 1 . . . 光電変換読み出し部、 3 0 . . . 垂直走査回路、 4 0 , 4 0 C . . . 読み出し回路 (カラム読み出し回路)、 4 2 0 . . . 増幅部、 4 3 0 . . . A D 変換部、 4 4 0 . . . 入力部、 5 0 . . . 水平走査回路、 6 0 . . . タイミング制御回路、 7 0 . . . 読み出し部、 3 0 0 . . . 電子機器、 3 1 0 . . . C M O S イメージセンサ、 3 2 0 . . . 光学系、 3 3 0 . . . 信号処理回路 (P R C) 。

【発明を実施するための形態】

【 0 0 2 1 】

以下、本発明の実施形態を図面に関連付けて説明する。

【 0 0 2 2 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る固体撮像装置の構成例を示すブロック図である

10

20

30

40

50

。本実施形態において、固体撮像装置 10 は、たとえば C M O S イメージセンサにより構成される。

【 0 0 2 3 】

この固体撮像装置 10 は、図 1 に示すように、撮像部としての画素部 20、垂直走査回路（行走査回路）30、読み出し回路（カラム読み出し回路）40、水平走査回路（列走査回路）50、およびタイミング制御回路 60 を主構成要素として有している。

これらの構成要素のうち、たとえば垂直走査回路 30、読み出し回路 40、水平走査回路 50、およびタイミング制御回路 60 により画素信号の読み出し部 70 が構成される。

【 0 0 2 4 】

本第 1 の実施形態において、固体撮像装置 10 は、後で詳述するように、画素部 20 において、画素として光電変換読み出し部および信号保持部を含む第 1 の画素と、光電変換読み出し部を含む第 2 の画素が混在されて、第 1 の動作であるローリングシャッタと第 2 の動作であるグローバルシャッタの両動作機能を併せ持つ、たとえば積層型の C M O S イメージセンサとして構成されている。

本第 1 の実施形態に係る固体撮像装置 10 において、画素部 20 は、複数の第 1 の画素の光電変換読み出し部が行列状に配置された第 1 の画素アレイと、複数の第 1 の画素の信号保持部が行列状に配置された保持部アレイと、複数の第 2 の画素の光電変換読み出し部が行列状に配置された第 2 の画素アレイと、を含んで構成されている。

そして、第 1 の動作であるローリングシャッタモード時に、第 1 の画素および第 2 の画素の光電変換読み出し部の読み出し信号が第 1 の垂直信号線にバイパス経路をたどることなく直ちに出力される。

また、第 2 の動作であるグローバルシャッタモード時に、第 1 の画素の信号保持部の保持信号が第 2 の垂直信号線に出力される。

【 0 0 2 5 】

そして、第 1 の垂直信号線または第 2 の垂直信号線を伝送される画素読み出し信号に対してカラム読み出し回路 40 において、増幅処理および A D 変換処理が行われる。

本第 1 の実施形態に係る固体撮像装置 10 において、カラム読み出し回路 40 は、後で詳述するように、動作モードや読み出し信号の信号形態（シングルエンドや差動等の信号）にかかわらず一つの回路構成で共用することが可能に形成されている。

【 0 0 2 6 】

以下、固体撮像装置 10 の各部の構成および機能の概要、特に、画素部 20 およびカラム読み出し回路 40 の構成および機能、それらに関連した読み出し処理、並びに、画素部 20 と読み出し部 70 の積層構造等について詳述する。

【 0 0 2 7 】

（第 1 の画素および第 2 の画素並びに画素部 20 の構成）

図 2 は、本発明の第 1 の実施形態に係る固体撮像装置 10 の第 1 の画素および第 2 の画素の一例を示す回路図である。

【 0 0 2 8 】

画素部 20 に配置される第 1 の画素 21 は、光電変換読み出し部 211 および信号保持部 212 を含んで構成されている。

画素部 20 に配置される第 2 の画素 22 は、光電変換読み出し部 221 を含んで構成されている。

【 0 0 2 9 】

第 1 の画素 21 の光電変換読み出し部 211 は、フォトダイオード（光電変換素子）と画素内アンプとを含んで構成される。

具体的には、この光電変換読み出し部 211 は、たとえば光電変換素子であるフォトダイオード P D 21 を有する。

このフォトダイオード P D 21 に対して、転送素子としての転送トランジスタ T G 1 - T r、リセット素子としてのリセットトランジスタ R S T 1 - T r、ソースフォロウ素子

10

20

30

40

50

としてのソースフォロワトランジスタ $S F 1 - T r$ 、出力ノード $N D 2 1$ 、および選択素子(選択スイッチ)としての選択トランジスタ $S E L 1 - T r$ をそれぞれ一つずつ有する。

このように、第1の実施形態に係る第1の画素21の光電変換読み出し部211は、転送トランジスタ $T G 1 - T r$ 、リセットトランジスタ $R S T 1 - T r$ 、ソースフォロワトランジスタ $S F 1 - T r$ 、および選択トランジスタ $S E L 1 - T r$ の4トランジスタ(4 $T r$)を含んで構成されている。

【0030】

本第1の実施形態に係る光電変換読み出し部211は、出力ノード $N D 2 1$ が第1の画素21の信号保持部212の入力部に接続され、選択トランジスタ $S E L 1 - T r$ を介して第1の垂直信号線 $L S G N 1 1$ に接続されている。

10

光電変換読み出し部211は、ローリングシャッタモード時に第1の画素信号 $p i x o u t 1$ である読み出しリセット信号(信号電圧)($V R S T 1$)および読み出し輝度信号(信号電圧)($V S I G 1$)を第1の垂直信号線 $L S G N 1 1$ に出力する。

光電変換読み出し部211は、グローバルシャッタモード時に第2の画素信号 $p x o u t 2$ である読み出し輝度信号(信号電圧)($V S I G 1$)および読み出しリセット信号(信号電圧)($V R S T 1$)を信号保持部212に出力する。

【0031】

本第1の実施形態において、第1の垂直信号線 $L S G N 1 1$ はローリングシャッタモード時に定電流源 $I b i a s 1$ により駆動され、第2の垂直信号線 $L S G N 1 2$ はグローバルシャッタモード時に定電流源 $I b i a s 1$ により駆動される。

20

定電流源 $I b i a s 1$ は、ローリングシャッタモード時とグローバルシャッタモード時とで共用される。

定電流源 $I b i a s 1$ は、図2に示すように、スイッチ部410により動作モードに応じて接続先が切り替えられる。ローリングシャッタモード時には、第1の垂直信号線 $L S G N 1 1$ が定電流源 $I b i a s 1$ に接続され、第2の垂直信号線 $L S G N 1 2$ が基準電位 $V S S$ (たとえばグランド)に接続される。一方、グローバルシャッタモード時には、第2の垂直信号線 $L S G N 1 2$ が定電流源 $I b i a s 1$ に接続され、第1の垂直信号線 $L S G N 1 1$ が基準電位 $V S S$ (たとえばグランド)に接続される。

【0032】

フォトダイオード $P D 2 1$ は、入射光量に応じた量の信号電荷(ここでは電子)を発生し、蓄積する。

30

以下、信号電荷は電子であり、各トランジスタがn型トランジスタである場合について説明するが、信号電荷が正孔(ホール)であったり、各トランジスタがp型トランジスタであっても構わない。

また、本実施形態は、複数のフォトダイオードおよび転送トランジスタ間で、各トランジスタを共有している場合にも有効である。

【0033】

光電変換読み出し部211の転送トランジスタ $T G 1 - T r$ は、フォトダイオード $P D 2 1$ とフローティングディフュージョン $F D 2 1$ の間に接続され、制御線を通じてゲートに印加される制御信号 $T G$ により制御される。

40

転送トランジスタ $T G 1 - T r$ は、制御信号 $T G$ がハイ(H)レベルの転送期間に選択されて導通状態となり、フォトダイオード $P D 2 1$ で光電変換され蓄積された電荷(電子)をフローティングディフュージョン $F D 2 1$ に転送する。

【0034】

リセットトランジスタ $R S T 1 - T r$ は、電源電位 $V D D$ とフローティングディフュージョン $F D 2 1$ の間に接続され、制御線を通じてゲートに印加される制御信号 $R S T$ により制御される。

リセットトランジスタ $R S T 1 - T r$ は、制御信号 $R S T$ がHレベルのリセット期間に選択されて導通状態となり、フローティングディフュージョン $F D 2 1$ を電源電圧 $V D D$ の電位にリセットする。

50

【 0 0 3 5 】

ソースフォロワトランジスタ $S F 1 - T r$ と選択トランジスタ $S E L 1 - T r$ は、電源電位 $V D D$ と定電流源 $I b i a s 1$ により駆動される第 1 の垂直信号線 $L S G N 1 1$ の間に直列に接続されている。

ソースフォロワトランジスタ $S F 1 - T r$ のソースと選択トランジスタ $S E L 1 - T r$ のドレインとの接続点により出力ノード $N D 2 1$ が形成されている。

この出力ノード $N D 2 1$ と信号保持部 2 1 2 の入力部間の信号線 $L S G N 1 3$ は、たとえば信号保持部 2 1 2 の入力部に配置された定電流源 $I b i a s 3$ により駆動される。

ソースフォロワトランジスタ $S F 1 - T r$ はフローティングディフュージョン $F D 2 1$ の電荷を電荷量に応じた電圧信号に変換した列出力の読み出しリセット信号 ($V R S T 1$) および読み出し輝度信号 ($V S I G 1$) または読み出し輝度信号 ($V S I G 1$) および読み出しリセット信号 ($V R S T 1$) を出力ノード $N D 2 1$ に出力する。

10

【 0 0 3 6 】

ソースフォロワトランジスタ $S F 1 - T r$ のゲートにはフローティングディフュージョン $F D 2 1$ が接続され、選択トランジスタ $S E L 1 - T r$ は制御線を通じてゲートに印加される制御信号 $S E L$ により制御される。

選択トランジスタ $S E L 1 - T r$ は、制御信号 $S E L$ が H レベルの選択期間に選択されて導通状態となる。これにより、ソースフォロワトランジスタ $S F 1 - T r$ はフローティングディフュージョン $F D 2 1$ の電荷を電荷量に応じた電圧信号に変換した読み出しリセット信号 ($V R S T 1$) および読み出し輝度信号 ($V S I G 1$) を第 1 の垂直信号線 $L S G N 1 1$ に出力する。

20

【 0 0 3 7 】

第 1 の画素 2 1 の信号保持部 2 1 2 は、基本的に、定電流源 $I b i a s 3$ が接続されている入力部 2 1 2 1、サンプルホールド部 2 1 2 2、出力部 2 1 2 3、ノード $N D 2 2 \sim N D 2 4$ を含んで構成されている。

【 0 0 3 8 】

定電流源 $I b i a s 3$ は、ノード $N D 2 2$ と基準電位 $V S S$ との間に接続され、たとえばグローバルシャッタ期間中の所定の期間にオン状態に制御される。

【 0 0 3 9 】

なお、定電流源 $I b i a s 3$ の代わりに、ノード $N D 2 2$ と基準電位 $V S S$ との間に接続され、たとえばグローバルシャッタ期間中の所定の期間にオン状態に制御されるスイッチ素子を設けてもよい。

30

【 0 0 4 0 】

サンプルホールド部 2 1 2 2 は、第 2 の期間であるグローバルシャッタ期間に、サンプルホールド部 2 1 2 2 の信号保持キャパシタを光電変換読み出し部 2 1 1 の出力ノード $N D 2 1$ と選択的に接続するスイッチ素子 $S W 2 1$ 、第 1 の画素 2 1 の光電変換読み出し部 2 1 1 の出力ノード $N D 2 1$ から出力される信号を保持可能な信号保持キャパシタ $C 2 1$ 、 $C 2 2$ と、ノード $N D 2 4$ をリセットするためのリセットトランジスタ $R S T 3 - T r$ を有する。

スイッチ素子 $S W 2 1$ の端子 a が第 3 の信号線 $L S G N 1 3$ に接続された入力ノード $N D 2 2$ と接続され、端子 b がサンプルホールド部 2 1 2 2 側と接続されたノード $N D 2 3$ に接続されている。

40

スイッチ素子 $S W 2 1$ は、たとえば信号 $s w 1$ が H レベルの期間に端子 a と b が接続されて導通状態となる。

信号保持キャパシタ $C 2 1$ は、ノード $N D 2 3$ とノード $N D 2 4$ との間に接続されている。

信号保持キャパシタ $C 2 2$ は、ノード $N D 2 4$ と基準電位 $V S S$ との間に接続されている。

【 0 0 4 1 】

リセットトランジスタ $R S T 3 - T r$ は、電源電位 $V D D$ とノード $N D 2 4$ との間に接

50

続され、制御線を通じてゲートに印加される制御信号 R S T 3 により制御される。

リセットトランジスタ R S T 3 - T r は、制御信号 R S T 3 が H レベルのリセット期間に選択されて導通状態となり、ノード N D 2 4 (およびキャパシタ C 2 1、C 2 2) を電源電圧 V D D の電位にリセットする。

【 0 0 4 2 】

出力部 2 1 2 3 は、第 2 の期間であるグローバルシャッタ期間に信号保持キャパシタ C 2 1、C 2 2 に保持された信号を保持電圧に応じて出力するソースフォロワトランジスタ S F 3 - T r を含み、保持した信号を選択的に選択トランジスタ S E L 3 - T r を介して定電流源 I b i a s 1 により駆動される第 2 の垂直信号線 L S G N 1 2 に出力する。

【 0 0 4 3 】

ソースフォロワトランジスタ S F 3 - T r と選択トランジスタ S E L 3 - T r は、電源電位 V D D と定電流源 I b i a s 1 により駆動される第 2 の垂直信号線 L S G N 1 2 の間に直列に接続されている。

【 0 0 4 4 】

ソースフォロワトランジスタ S F 3 - T r のゲートにはノード N D 2 4 が接続され、選択トランジスタ S E L 3 - T r は制御線を通じてゲートに印加される制御信号 S E L 3 により制御される。

選択トランジスタ S E L 3 - T r は、制御信号 S E L 3 が H レベルの選択期間に選択されて導通状態となる。これにより、ソースフォロワトランジスタ S F 3 - T r は信号保持キャパシタ C 2 1、C 2 2 の保持電圧に応じた列出力の読み出し電圧 (V R S T、V S I G) を第 2 の垂直信号線 L S G N 1 2 に出力する。

【 0 0 4 5 】

なお、上述した信号保持部 2 1 2 の構成は、一例であり、第 2 の期間であるグローバルシャッタ期間に、上述した光電変換読み出し部 2 1 1 の出力する読み出し輝度信号 (V S I G 1) および読み出しリセット信号 (V R S T 1) を保持する機能を備える回路であればその構成を問わない。

【 0 0 4 6 】

画素部 2 0 に配置される第 2 の画素 2 2 は、光電変換読み出し部 2 2 1 を含んで構成されている。

第 2 の画素 2 2 の光電変換読み出し部 2 2 1 は、上述した第 1 の画素 2 1 の光電変換読み出し部 2 1 1 と同様の構成を有する。

【 0 0 4 7 】

すなわち、第 2 の画素 2 2 の光電変換読み出し部 2 2 1 は、フォトダイオード (光電変換素子) と画素内アンプとを含んで構成される。

具体的には、この光電変換読み出し部 2 2 1 は、たとえば光電変換素子であるフォトダイオード P D 2 2 を有する。

このフォトダイオード P D 2 2 に対して、転送素子としての転送トランジスタ T G 2 - T r、リセット素子としてのリセットトランジスタ R S T 2 - T r、ソースフォロワ素子としてのソースフォロワトランジスタ S F 2 - T r、および選択素子 (選択スイッチ) としての選択トランジスタ S E L 2 - T r をそれぞれ一つずつ有する。

このように、第 1 の実施形態に係る第 2 の画素 2 2 の光電変換読み出し部 2 2 1 は、転送トランジスタ T G 2 - T r、リセットトランジスタ R S T 2 - T r、ソースフォロワトランジスタ S F 2 - T r、および選択トランジスタ S E L 2 - T r の 4 トランジスタ (4 T r) を含んで構成されている。

【 0 0 4 8 】

本第 1 の実施形態に係る光電変換読み出し部 2 2 1 は、ローリングシャッタモード時に読み出しリセット信号 (信号電圧) (V R S T 2) および読み出し輝度信号 (信号電圧) (V S I G 2) を第 1 の垂直信号線 L S G N 1 1 に出力する。

【 0 0 4 9 】

フォトダイオード P D 2 2 は、入射光量に応じた量の信号電荷 (ここでは電子) を発生

10

20

30

40

50

し、蓄積する。

信号電荷は電子であり、各トランジスタがn型トランジスタである場合について説明するが、信号電荷が正孔（ホール）であったり、各トランジスタがp型トランジスタであっても構わない。

また、本実施形態は、複数のフォトダイオードと転送トランジスタ間で、各トランジスタを共有している場合にも有効である。

【0050】

光電変換読み出し部221の転送トランジスタTG2-Trは、フォトダイオードPD22とフローティングディフュージョンFD22の間に接続され、制御線を通じてゲートに印加される制御信号TGにより制御される。

10

転送トランジスタTG2-Trは、制御信号TGがHレベルの転送期間に選択されて導通状態となり、フォトダイオードPD22で光電変換され蓄積された電荷（電子）をフローティングディフュージョンFD22に転送する。

【0051】

リセットトランジスタRST2-Trは、電源電位VDDとフローティングディフュージョンFD22の間に接続され、制御線を通じてゲートに印加される制御信号RSTにより制御される。

リセットトランジスタRST2-Trは、制御信号RSTがHレベルのリセット期間に選択されて導通状態となり、フローティングディフュージョンFD22を電源電圧VDDの電位にリセットする。

20

【0052】

ソースフォロワトランジスタSF2-Trと選択トランジスタSEL2-Trは、電源電位VDDと定電流源Ibias1により駆動される第1の垂直信号線LSGN11の間に直列に接続されている。

【0053】

ソースフォロワトランジスタSF2-TrのゲートにはフローティングディフュージョンFD22が接続され、選択トランジスタSEL2-Trは制御線を通じてゲートに印加される制御信号SELにより制御される。

選択トランジスタSEL2-Trは、制御信号SELがHレベルの選択期間に選択されて導通状態となる。これにより、ソースフォロワトランジスタSF2-TrはフローティングディフュージョンFD22の電荷を電荷量に応じた電圧信号に変換した列出力の読み出しリセット信号（VRS2）および読み出し輝度信号（VSI2）を第1の垂直信号線LSGN11に出力する。

30

【0054】

本第1の実施形態に係る画素部20は、以上のような構成を有する第1の画素21および第2の画素22が、たとえば図3に示すように、画素アレイとして配列され、複数の画素アレイが組み合わされて構成されている。

【0055】

図3は、本発明の第1の実施形態に係る固体撮像装置10の画素部20における画素アレイについて説明するための図である。

40

【0056】

第1の実施形態に係る固体撮像装置10の画素部20は、第1の画素アレイ230、保持部アレイ240、上側の第2の画素アレイ250-1、および下側の第2の画素アレイ250-2を含んで構成されている。

【0057】

第1の画素アレイ230は、複数の第1の画素21の光電変換読み出し部211がN行×M列の2次元の行列状（マトリクス状）に配列されている。

第1の画素アレイ230は、たとえば16：9のアスペクト比の画像が出力可能なように、複数の第1の画素21の光電変換読み出し部211がN行×M列の2次元の行列状（マトリクス状）に配列されている。

50

【 0 0 5 8 】

保持部アレイ 2 4 0 は、複数の第 1 の画素 2 1 の信号保持部 2 1 2 が、第 1 の画素アレイ 2 3 0 に対応して N 行 × M 列の 2 次元の行列状（マトリクス状）に配列されている。

保持部アレイ 2 4 0 は、第 1 の画素アレイ 2 3 0 と同様に、たとえば 1 6 : 9 のアスペクト比の画像が出力可能なように、複数の第 1 の画素 2 1 の信号保持部 2 1 2 が N 行 × M 列の 2 次元の行列状（マトリクス状）に配列されている。

【 0 0 5 9 】

上側の第 2 の画素アレイ 2 5 0 - 1 は、複数の第 2 の画素 2 2 の光電変換読み出し部 2 2 1 が P (P < N) 行 × M 列の 2 次元の行列状（マトリクス状）に配列されている。

【 0 0 6 0 】

同様に、下側の第 2 の画素アレイ 2 5 0 - 2 は、複数の第 2 の画素 2 2 の光電変換読み出し部 2 2 1 が P (P < N) 行 × M 列の 2 次元の行列状（マトリクス状）に配列されている。

【 0 0 6 1 】

図 3 の例において、第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 は、第 1 の画素アレイ 2 3 0 の第 1 の垂直信号線 L S G N 1 1 の配線方向の両側（上側および下側）に配置されている。なお、第 2 の画素アレイ 2 5 0 は、第 1 の画素アレイ 2 3 0 の第 1 の垂直信号線 L S G N 1 1 の配線方向の両側のうち少なくとも一方側に配置されていてもよい。

【 0 0 6 2 】

第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 は、ローリングシャッタモード時に、第 1 の画素アレイ 2 3 0 とともに、アクティブとされ、全体としてたとえば 1 : 1 のアスペクト比の画像を出力可能なように、複数の第 2 の画素 2 2 の光電変換読み出し部 2 2 1 が P (P < N) 行 × M 列の 2 次元の行列状（マトリクス状）に配列されている。上記アスペクト比は 4 : 3 など任意の比率でも良い。

【 0 0 6 3 】

なお、ローリングシャッタモード時には、第 1 の画素アレイ 2 3 0 を電子式手ぶれ補正用の領域として利用し、1 6 : 9 のアスペクト比の画像を出力するようにしてもよい。

【 0 0 6 4 】

また、第 1 の画素アレイ 2 3 0 と第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 の同一列の光電変換読み出し部 2 1 1 は、共通の第 1 の垂直信号線 L S G N 1 1 に接続されている。

【 0 0 6 5 】

固体撮像装置 1 0 が、後述するように、第 1 の基板（上基板）と第 2 の基板（下基板）の積層構造を有する場合、第 1 の基板に第 1 の画素アレイ 2 3 0 と第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 が形成され、第 2 の基板に保持部アレイ 2 4 0 が第 1 の画素アレイ 2 3 0 と対向するように形成される。

【 0 0 6 6 】

画素部 2 0 は、読み出し部 7 0 の制御の下、第 1 の動作であるローリングシャッタモード時には、第 1 の画素アレイ 2 3 0 および第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 をアクティブにして順次画素がアクセスされて画素信号の読み出しが行単位で行われる。

【 0 0 6 7 】

また、画素部 2 0 は、読み出し部 7 0 の制御の下、第 2 の動作であるグローバルシャッタモード時には、第 1 の画素アレイ 2 3 0 および第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 の光電変換読み出し部 2 2 1 における選択トランジスタ S E L 1 - T r , S E L 2 - T r を非選択状態とした状態（信号 S E L がローレベル）で、第 1 の画素アレイ 2 3 0 および保持部アレイ 2 4 0 をアクティブにして画素信号の読み出しが行われる。

【 0 0 6 8 】

画素部 2 0 において、たとえば転送トランジスタ T G - T r 、リセットトランジスタ R S T - T r 、および選択トランジスタ S E L - T r の各ゲートが行単位で接続されていることから、1 行分の各画素について同時並列的に行われる。

【 0 0 6 9 】

10

20

30

40

50

画素部 20 には、画素が $(N + 2P)$ 行 \times M 列配置されているので、各制御線 $LSEL$ 、 $LRST$ 、 LTG はそれぞれ $(N + 2P)$ 本、第 1 の垂直信号線 $LSGN11$ および第 2 の垂直信号線 $LSGN12$ はそれぞれ M 本ある。

【0070】

垂直走査回路 30 は、タイミング制御回路 60 の制御に応じてシャッタ行および読み出し行において行走査制御線を通して第 1 の画素 21 の光電変換読み出し部 211 および信号保持部 212、並びに第 2 の画素 22 の光電変換読み出し部 221 の駆動を行う。

また、垂直走査回路 30 は、アドレス信号に従い、信号の読み出しを行うリード行と、フォトダイオード PD に蓄積された電荷をリセットするシャッタ行の行アドレスの行選択信号を出力する。

10

【0071】

カラム読み出し回路 40 は、画素部 20 の各列出力に対応して配置された複数の列(カラム)信号処理回路(図示せず)を含み、複数の列信号処理回路で列並列処理が可能に構成されてもよい。

カラム読み出し回路 40 は、第 1 の動作であるローリングシャッタモード時に、第 1 の垂直信号線 $LSGN11$ に、第 1 の画素 21 の光電変換読み出し部 211 および第 2 の画素 22 の光電変換読み出し部 221 から読み出された第 1 の画素信号 $pixout1$ ($VSL1$)、並びに、第 2 の動作であるグローバルシャッタモード時に、第 2 の垂直信号線 $LSGN12$ に、第 1 の画素 21 の信号保持部 212 から読み出された第 2 の画素信号 $pixout2$ ($VSL2$) に対して、増幅処理および AD 変換処理を行う。

20

【0072】

ここで、第 1 の画素信号 $pixout1$ ($VSL1$) は、第 1 の動作であるローリングシャッタモード時に画素(本例では第 1 の画素 21 の光電変換読み出し部 211 および第 2 の画素 22 の光電変換読み出し部 221) から順に読み出される読み出しリセット信号 $VRST$ および読み出し輝度信号 $VSIG$ を含む画素読み出し信号をいう。

第 2 の画素信号 $pixout2$ ($VSL2$) は、第 2 の動作であるグローバルシャッタモード時に画素(本例では第 1 の画素 21 の光電変換読み出し部 211、さらに信号保持部 212) から順に読み出される読み出し輝度信号 $VSIG$ および読み出しリセット信号 $VRST$ を含む画素読み出し信号をいう。

30

【0073】

本第 1 の実施形態に係る固体撮像装置 10 において、カラム読み出し回路 40 は、動作モードや読み出し信号の信号形態(シングルエンドや差動等の信号)にかかわらず一つの回路構成で共用することが可能に形成されている。

【0074】

カラム読み出し回路 40 は、たとえば図 4 に示すように、アンプ(AMP, 増幅器) 41 および ADC(アナログデジタルコンバータ; AD 変換器) 42 を含んで構成される。

カラム読み出し回路 40 は、図 5 に関連付けて説明するように、第 1 の画素信号 $pixout1$ ($VSL1$) および第 2 の画素信号 $pixout2$ ($VSL2$) を増幅する増幅部 420、並びに、増幅部 420 で増幅された画素部 20 の各列出力のアナログ読み出し信号 $VSL1$ 、 $VSL2$ をデジタル信号に変換する AD 変換器を含む AD 変換部 430 により構成されている。

40

【0075】

本第 1 の実施形態において、カラム読み出し回路 40 は、たとえば各列の列信号処理回路に、第 1 の垂直信号線 $LSGN11$ を伝送された信号と第 2 の垂直信号線 $LSGN12$ を伝送された信号を動作モードに応じて選択的に入力させる回路が配置されている。

【0076】

図 5 は、本発明の第 1 の実施形態に係る固体撮像装置のカラム読み出し回路の構成例を示す回路図である。

【0077】

カラム読み出し回路 40 は、図 5 に示すように、第 1 の画素信号 $pixout1$ ($VSL1$)

50

L1)、第2の画素信号 $pixout2$ ($VSL2$) を増幅する増幅部420、および増幅部420で増幅された画素信号を、探索信号(たとえば $Vramp$)に関連付けてアナログ信号からデジタル信号に変換するAD変換部430が縦続接続されて構成されている。

また、カラム読み出し回路40は、入力段にモード信号 $MODx$ ($x = 1, 2, 3, 4, \dots$) に応じて画素の読み出し信号 $pixout$ を、増幅部420に配置される演算増幅器の2つの入力端子に選択的に入力させる入力部440が配置されている。

【0078】

増幅部420は、第1の演算増幅器(以下、オペアンプという)421、第1のサンプリングキャパシタ(入力キャパシタ) $Cs1$ 、第1の帰還キャパシタ(フィードバックキャパシタ) $Cf1$ 、第2のサンプリングキャパシタ $Cs2$ 、第2の帰還キャパシタ $Cf2$ 、第1のスイッチ部 $SW421$ 、第2のスイッチ部 $SW422$ 、第1のオートゼロスイッチ部 $SW423$ 、出力ノード $ND421$ 、オフセット電位 VOS 、および参照電位 $Vref$ を含んで構成されている。

10

【0079】

第1のオペアンプ421は、第1の入力端子、本実施形態では反転入力端子(-)、および第2の入力端子、本実施形態では非反転入力端子(+)の2つの入力端子を有し、第1の入力端子(-)への入力電圧 $Vin1$ と第2の入力端子(+)への入力電圧 $Vin2$ の差分をゲイン $A0$ 倍して(増幅して)アンプ出力 $ampout$ を得る。ここで、ゲイン($A0$)が十分に高ければ、第1のスイッチ部 $SW421$ または第1のオートゼロスイッチ部 $SW423$ を介して負帰還回路が構成される時に、第1の入力端子(-)と第2の入力端子(+)は仮想接地される。

20

第1のオペアンプ421の出力端子は、出力ノード $ND421$ に接続されている。

【0080】

第1のサンプリングキャパシタ $Cs1$ は、第1の画素信号または第2の画素信号の入力ライン端としての入力部440の第1の出力端子 $TO1$ と第1のオペアンプ421の第1の入力端子(-)との間に接続されている。

【0081】

第2のサンプリングキャパシタ $Cs2$ は、第1の画素信号または第2の画素信号の入力ライン端としての入力部440の第2の出力端子 $TO2$ と第1のオペアンプ421の第2の入力端子(+)との間に接続されている。

30

【0082】

入力部440の第1の出力端子 $TO1$ からは、4つのモード信号 $MOD1 \sim MOD4$ に応じて以下の画素信号(信号電圧)が供給される。

第1のモード信号 $MOD1$ のときは、ローリングシャッタモード時のシングルエンドの第1の画素信号 $pixout1$ が、入力部440の第1の出力端子 $TO1$ から供給される。

第2のモード信号 $MOD2$ のときは、グローバルシャッタモード時のシングルエンドの第2の画素信号 $pixout2$ が、入力部440の第1の出力端子 $TO1$ から供給される。

40

第3のモード信号 $MOD3$ のときは、差動ローリングシャッタモード時の差動信号のうち一方の第1の画素信号 $pixout1d1$ が、入力部440の第1の出力端子 $TO1$ から供給される。

第4のモード信号 $MOD4$ のときは、差動グローバルシャッタモード時の差動信号のうち一方の第2の画素信号 $pixout2d1$ が、入力部440の第1の出力端子 $TO1$ から供給される。

【0083】

入力部440の第2の出力端子 $TO2$ からは、4つのモード信号 $MOD1 \sim MOD4$ に応じて以下の画素信号(信号電圧)が供給される。

第1のモード信号 $MOD1$ のときは、画素信号は入力部440の第2の出力端子 $TO2$

50

から供給されない。

第2のモード信号MOD2のときは、画素信号は入力部440の第2の出力端子TO2から供給されない。

第3のモード信号MOD3のときは、差動ローリングシャッタモード時の差動信号のうちの他方の第1の画素信号pixout1d2が、入力部440の第2の出力端子TO2から供給される。

第4のモード信号MOD4のときは、差動グローバルシャッタモード時の差動信号のうちの他方の第2の画素信号pixout2d2が、入力部440の第2の出力端子TO2から供給される。

【0084】

第1の帰還キャパシタCf1は、一方の電極端が第1のオペアンプ421の第1の入力端子(-)に接続され、他方の電極端が第1のスイッチ部SW421に接続されている。

【0085】

第2の帰還キャパシタCf2は、一方の電極端が第1のオペアンプ421の第2の入力端子(+)に接続され、他方の電極端が基準電位VSS(たとえばグランドGND)に接続されている。

【0086】

第1のスイッチ部SW421は、端子aが第1のサンプリングキャパシタCf1の他方の電極端に接続され、端子bが出力ノードND421(第1のオペアンプ421の出力端子)に接続され、端子cがオフセット電位VOSに接続されている。

第1のスイッチ部SW421は、たとえば制御信号CKOSがローレベル(L)のときは端子aを端子bと接続し、制御信号CKOSがハイレベル(H)のときは端子aを端子cと接続する。

【0087】

本実施形態において、制御信号CKOSは、入力部440に供給されるモード信号が、第1のモード信号MOD1(シングルエンドのローリングシャッタモード)、第3のモード信号MOD3(差動のローリングシャッタモード)、および第4のモード信号MOD4(差動のグローバルシャッタモード)のときLレベルで供給され、第2のモード信号MOD2(シングルエンドのグローバルシャッタモード)のときクロックで供給される。

すなわち、第1の帰還キャパシタCf1は、入力部440に供給されるモード信号が、第1のモード信号MOD1(シングルエンドのローリングシャッタモード)、第3のモード信号MOD3(差動のローリングシャッタモード)、および第4のモード信号MOD4(差動のグローバルシャッタモード)のとき、第1のオペアンプ421の第1の入力端子(-)と出力ノードND421との間に接続される。

第1の帰還キャパシタCf1は、入力部440に供給されるモード信号が、第2のモード信号MOD2(シングルエンドのグローバルシャッタモード)のとき、第1のオペアンプ421の第1の入力端子(-)は、出力ノードND421と接続される状態と、オフセット電位VOSとの間に接続される状態を遷移する。

【0088】

本第1の実施形態において、オフセット電位VOSは、参照電位Vrefより電圧Vfs分高い値($VOS = Vref + Vfs$)に設定される。

【0089】

第2のスイッチ部SW422は、端子aが第1のオペアンプ421の第2の入力端子(+)に接続され、端子bが参照電位Vrefに接続されている。

第2のスイッチ部SW422は、制御信号VREFSHがクロックとして供給され、クロックがHレベルのとき端子aと端子bが導通状態(オン状態)に保持され、Lレベルのとき端子aと端子bは非導通状態(オフ状態)に保持される。

第2のスイッチ部SW422は、入力部440に供給されるモード信号が、第1のモード信号MOD1(シングルエンドのローリングシャッタモード)、第2のモード信号MOD2(シングルエンドのグローバルシャッタモード)のとき、端子aと端子bが導通状態

10

20

30

40

50

(オン状態)に保持され、第3のモード信号MOD3(差動のローリングシャッタモード)、第4のモード信号MOD4(差動のグローバルシャッタモード)のとき、導通状態(オン状態)と非導通状態(オフ状態)を遷移される。

【0090】

オートゼロスイッチ部SW423は、端子aが第1のオペアンプ421の第1の入力端子(-)に接続され、端子bが出力ノードND421(第1のオペアンプ421の出力端子)に接続されている。

オートゼロスイッチ部SW423は、制御信号AZ1がHレベルのとき端子aと端子bが導通状態(オン状態)に保持され、Lレベルのとき端子aと端子bは非導通状態(オフ状態)に保持される。

第1のオペアンプ421は、オートゼロスイッチ部SW423が導通状態のとき、リセット状態となる。

【0091】

AD変換部430は、第2のオペアンプ431、探索信号入力部432、サンプルホールドスイッチ部SW431、第3のサンプリングキャパシタCs3、第2のオートゼロスイッチ部SW432、入力ノードND431、および出力ノードND432を含んで構成されている。

【0092】

第2のオペアンプ431は、第1の入力端子、本実施形態では反転入力端子(-)、および第2の入力端子、本実施形態では非反転入力端子(+)の2つの入力端子を有する。

第2のオペアンプ431の第1の入力端子(-)に供給される入力信号電圧Vcmpは、AD変換中には、第3のサンプリングキャパシタCs3に保持された電圧、第4のサンプリングキャパシタCs4に保持された電圧、および探索信号入力部432による探索信号Vrampを合成した信号電圧である。

【0093】

ここでは、探索信号Vrampは、ある傾きを持った線形に変化するスロー波の信号である。

本例では、探索信号Vrampとしては、たとえば図5中の第1の探索信号Vramp1のように左側がレベルが高く右側がレベルが低い右下がりのスロー波の信号として供給される。

また、本例では、探索信号Vrampとしては、たとえば図5中の第2の探索信号Vramp2のように左側がレベルが低く右側がレベルが高い右上がりのスロー波の信号として供給される。

第1の探索信号Vramp1と第2の探索信号Vramp2は、探索レベル、ここではスロー波のレベルが反転した関係にある。

【0094】

本実施形態において、探索信号Vrampとして、入力部440に供給されるモード信号が、第1のモード信号MOD1(シングルエンドのローリングシャッタモード)、第3のモード信号MOD3(差動のローリングシャッタモード)、第4のモード信号MOD4(差動のグローバルシャッタモード)のとき第1の探索信号Vramp1が探索信号入力部432に供給される。

一方、本実施形態において、探索信号Vrampとして、入力部440に供給されるモード信号が、第2のモード信号MOD2(シングルエンドのグローバルシャッタモード)のとき第2の探索信号Vramp2が探索信号入力部432に供給される。

【0095】

図5の探索信号入力部432は、第4のサンプリングキャパシタ(入力キャパシタ)Cs4を含んで構成されている。

第4のサンプリングキャパシタCs4は、入力ノードND431と探索信号Vrampの供給ラインとの間に接続されている。

【0096】

10

20

30

40

50

第2のオペアンプ431は、第1の入力端子(-)に第3のサンプリングキャパシタ C_{s3} を介して入力される入力信号電圧 V_{cmp} と第2の入力端子(+)に供給される参照電位 V_{ref2} とを比較し、入力信号電圧 V_{cmp} が参照電位 V_{ref2} と交差すると、比較出力信号 $c_{mp\ out}$ をLレベルからHレベルに、あるいはHレベルからLレベルに切り替える。この交差するまでの時間を図示しないカウンタで測定することにより、AD変換が行われる。

このように、第2のオペアンプ431は、比較器として機能する。

【0097】

第3のサンプリングキャパシタ(入力キャパシタ) C_{s3} は、入力ノードND431と第2のオペアンプ431の第1の入力端子(-)との間に接続されている。

10

【0098】

サンプルホールドスイッチ部SW431は、端子aが増幅部420の出力ノードND421に接続され、端子bが入力ノードND431に接続されている。

サンプルホールドスイッチ部SW431は、たとえば制御信号SHがHレベルのとき端子aと端子bが導通状態(オン状態)に保持され、Lレベルのとき端子aと端子bは非導通状態(オフ状態)に保持される。

AD変換部430は、サンプルホールドスイッチ部SW431が導通状態のときに、増幅部420のアンプ出力 $amp\ out$ を入力ノードND431に入力させる。

【0099】

オートゼロスイッチ部SW432は、たとえば端子aが第2のオペアンプ431の第1の入力端子(-)に接続され、端子bが出力ノードND432(第2のオペアンプ431の出力端子)に接続されている。

20

オートゼロスイッチ部SW432は、制御信号AZ2がHレベルのとき端子aと端子bが導通状態(オン状態)に保持され、Lレベルのとき端子aと端子bは非導通状態(オフ状態)に保持される。

第2のオペアンプ431は、オートゼロスイッチ部SW432が導通状態のとき、リセット状態となる。

【0100】

以上の構成を有するカラム読み出し回路40においては、第1のモード信号MOD1に応じたシングルエンド信号の第1の画素信号 $pix\ out\ 1$ (VSL1)が増幅部420の第1のサンプリングキャパシタ C_{s1} に入力される場合、増幅部420の第1の帰還キャパシタ C_{f1} は第1のスイッチ部SW421により出力ノードND421(第1のオペアンプ421の出力端子)に接続され、第1のオペアンプ421の第2の入力端子(+)が参照電位 V_{ref} に接続される。

30

このとき、AD変換部430には、探索信号入力部432を通して右下がりのスローブ波形の第1の探索信号 V_{ramp1} が供給される。

【0101】

また、カラム読み出し回路40においては、第2のモード信号MOD2に応じたシングルエンド信号の第2の画素信号 $pix\ out\ 2$ (VSL2)が増幅部420第1のサンプリングキャパシタ C_{s1} に入力される場合、増幅部420の帰還キャパシタ C_{f1} は第1のスイッチ部SW421によりオフセット電位VOSまたは出力ノードND421(第1のオペアンプ421の出力端子)に接続され、第1のオペアンプ421の第2の入力端子(+)が参照電位 V_{ref} に接続される。

40

このとき、AD変換部430には、探索信号入力部432を通して第1の探索信号 V_{ramp1} とはレベルが反転した関係にある右上がりのスローブ波形の第2の探索信号 V_{ramp2} が供給される。

【0102】

また、カラム読み出し回路40においては、第3のモード信号MOD3に応じた差動信号の第1の画素信号 $pix\ out\ 1\ d\ 1$ (VSL1D1)、 $pix\ out\ 1\ d\ 2$ (VSL1D2)が増幅部420の第1のサンプリングキャパシタ C_{s1} および第2のサンプリン

50

グキャパシタ C_{s2} に入力される場合、増幅部 420 の帰還キャパシタ C_{f1} は第 1 のスイッチ部 SW_{421} により出力ノード ND_{421} (第 1 のオペアンプ 421 の出力端子) に接続される。

このとき、AD変換部 430 には、探索信号入力部 432 を通して右下がりのスロープ波形の第 1 の探索信号 V_{ramp1} が供給される。

【0103】

また、カラム読み出し回路 40 においては、第 4 のモード信号 MOD_4 に応じた差動信号の第 2 の画素信号 pix_{out2d1} (V_{SL2D1})、 pix_{out2d2} (V_{SL2D2}) が増幅部 420 の第 1 のサンプリングキャパシタ C_{s1} および第 2 のサンプリングキャパシタ C_{s2} に入力される場合、増幅部 420 の帰還キャパシタ C_{f1} は第 1 のスイッチ部 SW_{421} により出力ノード ND_{421} (第 1 のオペアンプ 421 の出力端子) に接続される。

10

このとき、AD変換部 430 には、探索信号入力部 432 を通して右下がりのスロープ波形の第 1 の探索信号 V_{ramp1} が供給される。

【0104】

このように、本第 1 の実施形態のカラム読み出し回路 40 は、第 1 のモード信号 MOD_1 、第 2 のモード信号 MOD_2 、第 3 のモード信号 MOD_3 、および第 4 のモード信号 MOD_4 に応じた画素信号を処理可能に構成されている。

ただし、本第 1 の実施形態において、画素部 20 は第 1 のモード信号 MOD_1 および第 2 のモード信号 MOD_2 に応じた画素信号を生成するように構成されている。

20

したがって、本第 1 の実施形態のカラム読み出し回路 40 は、第 1 のモード信号 MOD_1 に応じたローリングシャッタモード時のシングルエンドの第 1 の画素信号 pix_{out1} (V_{SL1})、および第 2 のモード信号 MOD_2 に応じたグローバルシャッタモード時のシングルエンドの第 2 の画素信号 pix_{out2} (V_{SL2}) を処理することになる。

【0105】

水平走査回路 50 は、カラム読み出し回路 40 の ADC 等の複数の列信号処理回路で処理された信号を走査して水平方向に転送し、図示しない信号処理回路に出力する。

【0106】

タイミング制御回路 60 は、画素部 20、垂直走査回路 30、カラム読み出し回路 40、水平走査回路 50 等の信号処理に必要なタイミング信号を生成する。

30

【0107】

本第 1 の実施形態において、読み出し部 70 は、第 1 の動作であるローリングシャッタモード時に、第 1 の画素アレイ 230 および第 2 の画素アレイ 250 - 1, 250 - 2 をアクティブにして順次画素をアクセスさせて、シングルエンドの第 1 の画素信号 pix_{out1} の読み出しを行単位で行う。

【0108】

本第 1 の実施形態において、読み出し部 70 は、第 2 の動作であるグローバルシャッタモード時に、第 1 の画素アレイ 230 および第 2 の画素アレイ 250 - 1, 250 - 2 の光電変換読み出し部 221 における選択トランジスタ $SEL_1 - Tr$ 、 $SEL_2 - Tr$ を非選択状態とした状態 (信号 SEL がローレベル) で、第 1 の画素アレイ 230 および保持部アレイ 240 をアクティブにして、シングルエンドの第 2 の画素信号 pix_{out2} の読み出しを行う。

40

【0109】

(固体撮像装置 10 の積層構造)

次に、本第 1 の実施形態に係る固体撮像装置 10 の積層構造について説明する。

【0110】

図 6 は、本第 1 の実施形態に係る固体撮像装置 10 の積層構造について説明するための図である。

【0111】

本第 1 の実施形態に係る固体撮像装置 10 は、第 1 の基板 (上基板) 110 と第 2 の基

50

板（下基板）１２０の積層構造を有する。

固体撮像装置１０は、たとえばウェハレベルで貼り合わせた後、ダイシングで切り出した積層構造の撮像装置として形成される。

本例では、第２の基板１２０上に第１の基板１１０が積層された構造を有する。

【０１１２】

第１の基板１１０には、その中央部を中心として画素部２０の各第１の画素２１の光電変換読み出し部２１１が配列された第１の画素アレイ２３０が形成され、第１の画素アレイ２３０の第１の垂直信号線ＬＳＧＮ１１の配線方向の両側（上側および下側）に第２の画素アレイ２５０－１，２５０－２が形成されている。

また、第１の基板１１０には、第１の垂直信号線ＬＳＧＮ１１が形成されている。

10

【０１１３】

このように、本第１の実施形態においては、第１の基板１１０には、第１の画素２１の光電変換読み出し部２１１および第２の画素２２の光電変換読み出し部２２１が行列状に形成されている。

【０１１４】

第２の基板１２０には、その中央部を中心として第１の画素アレイ２３０の各光電変換読み出し部２１１の出力ノードＮＤ２１と接続される各第１の画素２１の信号保持部２１２がマトリクス状に配列された保持部アレイ２４０（領域１２１）および第２の垂直信号線ＬＳＧＮ１２が形成されている。

そして、保持部アレイ２４０の周囲、図６の例では、図中の上側および下側にカラム読み出し回路４０用の領域１２２，１２３が形成されている。なお、カラム読み出し回路４０は、保持部アレイ２４０の領域１２１の上側および下側のいずれかに配置されるように構成してもよい。

20

また、保持部アレイ２４０の側部側に垂直走査回路３０用の領域１２４や、デジタル系や出力系の領域１２５が形成されている。

また、第２の基板１２０には、垂直走査回路３０、水平走査回路５０、およびタイミング制御回路６０も形成されてもよい。

【０１１５】

このような積層構造において、第１の基板１１０の第１の画素アレイ２３０の各光電変換読み出し部２１１の出力ノードＮＤ２１と第２の基板１２０の各第１の画素２１の信号保持部２１２の入力ノードＮＤ２２とが、たとえば図２に示すように、それぞれビア（Die-to-Die Via）やマイクロバンプ等を用いて電氣的な接続が行われている。

30

また、第１の基板１１０の第１の垂直信号線ＬＳＧＮ１１と第２の基板１２０のカラム読み出し回路４０の入力部とが、たとえば図２に示すように、それぞれビア（Die-to-Die Via）やマイクロバンプ等を用いて電氣的な接続が行われている。

【０１１６】

（固体撮像装置１０の読み出し動作）

以上、固体撮像装置１０の各部の特徴的な構成および機能について説明した。

次に、本第１の実施形態に係る固体撮像装置１０のローリングシャッターモード時のシングルエンドの第１の画素信号およびグローバルシャッターモード時のシングルエンドの第２の画素信号の読み出し動作等について詳述する。

40

【０１１７】

（ローリングシャッターモード時の読み出し動作）

次に、ローリングシャッターモード時の読み出し動作について説明する。

図７（Ａ）～（Ｄ）は、本第１の実施形態に係る固体撮像装置のローリングシャッターモード時の主として画素部における読み出し動作を説明するためのタイミングチャートである。

図８（Ａ）～（Ｌ）は、本第１の実施形態に係る固体撮像装置のローリングシャッターモード時の主としてカラム読み出し回路における読み出し動作を説明するためのタイミング

50

チャートである。

【 0 1 1 8 】

図 7 (A) は第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 の選択トランジスタ S E L 1 - T r 、 S E L 2 - T r の制御信号 S E L を示している。図 7 (B) は第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 のリセットトランジスタ R S T 1 - T r 、 R S T 2 - T r の制御信号 R S T を示している。図 7 (C) は第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 の転送トランジスタ T G 1 - T r 、 T G 2 - T r の制御信号 T G を示している。

図 7 (D) は第 1 の画素 2 1 の信号保持部 2 1 2 のスイッチ素子 S W 2 1 の制御信号 s w 1 、選択トランジスタ S E L 3 - T r の制御信号 S E L 3 を示している。

10

【 0 1 1 9 】

図 8 (A) は画素およびカラム読み出し回路の等価回路を、図 8 (B) は第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 の選択トランジスタ S E L 1 - T r 、 S E L 2 - T r の制御信号 S E L を示している。図 8 (C) は第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 のリセットトランジスタ R S T 1 - T r 、 R S T 2 - T r の制御信号 R S T 、並びに、転送トランジスタ T G 1 - T r 、 T G 2 - T r の制御信号 T G を示している。

図 8 (D) はローリングシャッターモード時のシングルエンドの第 1 の画素信号 p i x o u t 1 を示し、図 8 (E) はオートゼロスイッチ部 S W 4 2 3 の制御信号 A Z 1 を示し、図 8 (F) は第 1 のスイッチ部 S W 4 2 1 の制御信号 C K O S を示し、図 8 (G) はサンプルホールドスイッチ部 S W 4 3 1 の制御信号 S H を示し、図 8 (H) はオートゼロスイッチ部 S W 4 3 2 の制御信号 A Z 2 を示している。

20

図 8 (I) は第 1 のオペアンプ 4 2 1 の出力信号 (アンプ出力) a m p o u t を示し、図 8 (J) は第 1 の探索信号 V r a m p 1 を示し、図 8 (K) は第 2 のオペアンプ 4 3 1 の入力信号 (信号電圧) V c m p を示し、図 8 (L) は第 2 のオペアンプ 4 3 1 の出力信号 (比較出力) c m p o u t を示している。

【 0 1 2 0 】

なお、このローリングシャッターモード期間においては、保持部アレイ 2 4 0 のすべての信号保持部 2 1 2 の駆動を制御する、スイッチ素子 S W 2 1 の制御信号 s w 1 、選択トランジスタ S E L 3 - T r を制御する制御信号 S E L 3 は L レベルに設定され、スイッチ素子 S W 2 1 、選択トランジスタ S E L 3 - T r が非導通状態に制御されている。また、定電流源 I b i a s 3 はオフ状態に制御されている。

30

【 0 1 2 1 】

すなわち、ローリングシャッターモード期間においては、第 2 の基板 1 2 0 に形成された保持部アレイ 2 4 0 の全ての信号保持部 2 1 2 はアクセスされない。

ローリングシャッターモード期間においては、第 1 の基板 1 1 0 に形成された第 1 の画素アレイ 2 3 0 および第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 が行単位で順次にアクセスされる。

【 0 1 2 2 】

40

ローリングシャッターモード期間においては、図 7 (A) に示すように、第 1 の画素アレイ 2 3 0 または第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 の中のある一行を選択するために、その選択された行の第 1 の画素アレイ 2 3 0 の各光電変換読み出し部 2 1 1 または第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 の光電変換読み出し部 2 2 1 を制御 (駆動) する制御信号 S E L が H レベルに設定されて画素の選択トランジスタ S E L 2 - T r (または S E L 1 - T r) が導通状態となる。

【 0 1 2 3 】

この選択状態において、リセット期間 P R にリセットトランジスタ R S T 2 - T r (または R S T 1 - T r) が、制御線 R S T が H レベルの期間に選択されて導通状態となり、フローティングディフュージョン F D が電源電圧 V D D の電位にリセットされる。

50

このリセット期間 P R が経過した後（リセットトランジスタ R S T 2 - T r または R S T 1 - T r が非導通状態）、転送期間 P T が開始されるまでの時刻 t 1 を含む期間が、リセット状態時の画素信号を読み出す第 1 読み出し期間となる。

【 0 1 2 4 】

時刻 t 1 において、選択された行のソースフォロワトランジスタ S F 2 - T r （または S F 1 - T r ）により、フローティングディフュージョン F D 2 2 （または F D 2 1 ）の電荷が電荷量に応じた電圧信号に変換され、列出力の読み出しリセット信号 V R S T として第 1 の垂直信号線 L S G N 1 1 に直ちに出力され、カラム読み出し回路 4 0 に供給される。

【 0 1 2 5 】

ここで、第 1 読み出し期間が終了し、転送期間 P T となる。

転送期間 P T に転送トランジスタ T G 2 - T r （または T G 1 - T r ）が、制御信号 T G がハイレベル（H）の期間に選択されて導通状態となり、フォトダイオード P D 2 2 （または P D 2 1 ）で光電変換され蓄積された電荷（電子）がフローティングディフュージョン F D 2 2 （または F D 2 1 ）に転送される。

この転送期間 P T が経過した後（転送トランジスタ T G 2 - T r または T G 1 - T r が非導通状態）、フォトダイオード P D 2 2 （または P D 2 1 ）が光電変換して蓄積した電荷に応じた画素信号を読み出す時刻 t 2 を含む第 2 読み出し期間となる。

【 0 1 2 6 】

第 2 読み出し期間が開始された時刻 t 2 において、選択された行のソースフォロワトランジスタ S F 2 - T r （または S F 1 - T r ）により、フローティングディフュージョン F D 2 2 （または F D 2 1 ）の電荷が電荷量に応じた電圧信号に変換され、列出力の読み出し輝度信号 V S I G として第 1 の垂直信号線 L S G N 1 1 に直ちに出力され、カラム読み出し回路 4 0 に供給される。

【 0 1 2 7 】

そして、たとえば読み出し部 7 0 の一部を構成するカラム読み出し回路 4 0 において、順次に供給される第 1 の画素信号 p i x o u t 1 の読み出しリセット信号 V R S T と読み出し輝度信号 V S I G に対する増幅処理、A D 変換処理が行われ、また、両信号の差分 { V R S T - V S I G } がとられて C D S 処理が行われる。

【 0 1 2 8 】

より具体的には、ローリングシャッタモード期間においては、カラム読み出し回路 4 0 の入力部 4 4 0 に対して第 1 のモード信号 M O D 1 が供給されている。

また、ローリングシャッタモード期間において、カラム読み出し回路 4 0 の増幅部 4 2 0 の第 1 のスイッチ部 S W 4 2 1 に対して制御信号 C K O S が L レベルで供給される。これにより、第 1 のスイッチ部 S W 4 2 1 は、端子 a を端子 b とが接続されて、第 1 の帰還キャパシタ C f 1 は、第 1 のオペアンプ 4 2 1 の第 1 の入力端子（-）と出力ノード N D 4 2 1 との間に接続される。

また、ローリングシャッタモード期間において、カラム読み出し回路 4 0 の増幅部 4 2 0 の第 2 のスイッチ部 S W 4 2 2 は、導通状態に保持され、第 1 のオペアンプ 4 2 1 の第 2 の入力端子（+）が参照電位 V r e f に接続されている。

【 0 1 2 9 】

このような状態において、入力部 4 4 0 に第 1 の画素信号が入力され、ローリングシャッタモード時のシングルエンドの第 1 の画素信号 p i x o u t 1 が、入力部 4 4 0 の第 1 の出力端子 T O 1 から、第 1 のサンプリングキャパシタ C s 1 が接続された第 1 のオペアンプ 4 2 1 の第 1 の入力端子（-）側に供給される。

第 1 のオペアンプ 4 2 1 の第 1 の入力端子（-）側には、図 8（D）に示すように、第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 から順に読み出されるシングルエンドの読み出しリセット信号 V R S T、読み出し輝度信号 V S I G が順に供給される。

【 0 1 3 0 】

10

20

30

40

50

そして、読み出しリセット信号 $V R S T$ が入力されてから所定期間（リセット状態時の画素信号を読み出す第 1 読み出し期間が開始されてから所定の期間）、図 8（E）、（G）、（H）に示すように、制御信号 $A Z 1$ 、 $S H$ 、および $A Z 2$ が H レベルに設定される。これにより、増幅部 420 のオートゼロスイッチ部 $S W 4 2 3$ 、 $A D$ 変換部 430 のサンプルホールドスイッチ部 $S W 4 3 1$ 、およびオートゼロスイッチ部 $S W 4 3 2$ が導通状態となる。

制御信号 $A Z 1$ 、 $S H$ 、および $A Z 2$ が H レベルに設定される期間としては、制御信号 $S H$ 、 $A Z 2$ 、 $A Z 1$ の順で長く設定される。

これにより、増幅部 420 の第 1 のオペアンプ 421、および $A D$ 変換部 430 の第 2 のオペアンプ 431 がリセット状態となる。

その結果、増幅部 420 の第 1 のオペアンプ 421 の出力信号（アンプ出力） $a m p o u t$ は、参照電位 $V r e f$ となり、サンプルホールドスイッチ部 $S W 4 3 1$ を通して $A D$ 変換部 430 に転送され、第 3 のサンプリングキャパシタ $C s 3$ と第 4 のサンプリングキャパシタ $C s 4$ に保持される。

【0131】

次に、 $A D$ 変換部 430 には、図 8（J）に示すように、探索信号入力部 432 を通して右下がりのスロープ波形の第 1 の探索信号 $V r a m p 1$ が供給される。

そして、図 8（K）に示すように、第 4 のサンプリングキャパシタ $C s 4$ に保持された電圧と探索信号入力部 432 による探索信号 $V r a m p 1$ を合成した信号電圧 $V c m p$ が第 2 のオペアンプ 431 の第 1 の入力端子（-）側に供給される。

第 2 のオペアンプ 431 においては、第 1 の入力端子（-）に第 3 のサンプリングキャパシタ $C s 3$ を介して入力される入力信号電圧 $V c m p$ と第 2 の入力端子（+）に供給される参照電位 $V r e f 2$ とが比較され、参照電位 $V r e f 2$ と交差するまでの間、図 8（L）に示すように、比較出力信号 $c m p o u t$ が H レベルで出力される。この H レベル期間を図示しないカウンタに保持することで、 $A D$ 変換を行う。

【0132】

第 1 読み出し期間が終了すると、増幅部 420 には読み出しリセット信号 $V R S T$ より低電位の読み出し輝度信号 $V S I G$ が供給される。

そして、第 1 のオペアンプ 421 の出力信号 $a m p o u t$ は、参照電位 $V r e f$ を基準に、読み出しリセット信号 $V R S T$ と低電位の読み出し輝度信号 $V S I G$ の差分に容量比倍 G を掛け合わせたレベル増幅された信号（ $V r e f + G * (V R S T - V S I G)$ ）となる。

そして、転送期間後の所定期間、図 8（G）に示すように、制御信号 $S H$ が H レベルに設定され、 $A D$ 変換部 430 のサンプルホールドスイッチ部 $S W 4 3 1$ が導通状態となる。

その結果、増幅部 420 の第 1 のオペアンプ 421 の出力信号（アンプ出力） $a m p o u t$ は、信号（ $V r e f + G * (V R S T - V S I G)$ ）となり、サンプルホールドスイッチ部 $S W 4 3 1$ を通して $A D$ 変換部 430 に転送され、第 4 のサンプリングキャパシタ $C s 4$ に保持される。

【0133】

次に、 $A D$ 変換部 430 には、図 8（J）に示すように、探索信号入力部 432 を通して右下がりのスロープ波形の第 1 の探索信号 $V r a m p 1$ が供給される。

そして、図 8（K）に示すように、第 4 のサンプリングキャパシタ $C s 4$ に保持された電圧と探索信号入力部 432 による探索信号 $V r a m p 1$ を合成した信号電圧 $V c m p$ が第 2 のオペアンプ 431 の第 1 の入力端子（-）側に供給される。

第 2 のオペアンプ 431 においては、第 1 の入力端子（-）に第 3 のサンプリングキャパシタ $C s 3$ を介して入力される入力信号電圧 $V c m p$ と第 2 の入力端子（+）に供給される参照電位 $V r e f 2$ とが比較され、参照電位 $V r e f 2$ と交差するまでの間、図 8（L）に示すように、比較出力信号 $c m p o u t$ が H レベルで出力される。この H レベル期間を図示しないカウンタに保持することで、 $A D$ 変換を行う。

【 0 1 3 4 】

そして、たとえば読み出し部 7 0 の一部を構成するカラム読み出し回路 4 0 において、読み出しリセット信号 $V R S T$ と読み出し輝度信号 $V S I G$ との差分 $\{ V R S T - V S I G \}$ がとられて $C D S$ 処理が行われる。

【 0 1 3 5 】

上述したように、ローリングシャッタモード期間においては、第 1 の基板 1 1 0 に形成された第 1 の画素アレイ 2 3 0 および第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 が行単位で順次にアクセスされ、上記した読み出し動作が順次に行われる。

【 0 1 3 6 】

(グローバルシャッタモード時の読み出し動作)

次に、グローバルシャッタモード時の読み出し動作について説明する。

図 9 (A) ~ (G) は、本第 1 の実施形態に係る固体撮像装置のグローバルシャッタモード時の主として画素部における読み出し動作を説明するためのタイミングチャートである。

図 1 0 (A) ~ (L) は、本第 1 の実施形態に係る固体撮像装置のグローバルシャッタモード時の主としてカラム読み出し回路における読み出し動作を説明するためのタイミングチャートである。

【 0 1 3 7 】

図 9 (A) は第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 の選択トランジスタ $S E L 1 - T r$ 、 $S E L 2 - T r$ の制御信号 $S E L$ を示している。図 9 (B) は第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 のリセットトランジスタ $R S T 1 - T r$ 、 $R S T 2 - T r$ の制御信号 $R S T$ を示している。図 9 (C) は第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 の転送トランジスタ $T G 1 - T r$ 、 $T G 2 - T r$ の制御信号 $T G$ を示している。

図 9 (D) は第 1 の画素 2 1 の信号保持部 2 1 2 のスイッチ素子 $S W 2 1$ の制御信号 $s w 1$ を示している。図 9 (E) は第 1 の画素 2 1 の信号保持部 2 1 2 のリセットトランジスタ $R S T 3 - T r$ の制御信号 $R S T 3$ を示している。図 9 (F) は第 1 の画素 2 1 の信号保持部 2 1 2 の選択トランジスタ $S E L 3 - T r$ の制御信号 $S E L 3$ を示している。図 9 (G) は第 1 の画素 2 1 の信号保持部 2 1 2 に配置された定電流源 $I b i a s 3$ の駆動状態 (オン、オフ状態) を示している。

【 0 1 3 8 】

図 1 0 (A) は画素およびカラム読み出し回路の等価回路を、図 1 0 (B) は第 1 の画素 2 1 の信号保持部 2 1 2 の選択トランジスタ $S E L 3 - T r$ の制御信号 $S E L 3$ を示している。図 1 0 (C) は第 1 の画素 2 1 の信号保持部 2 1 2 のリセットトランジスタ $R S T 3 - T r$ の制御信号 $R S T 3$ を示している。

図 1 0 (D) はグローバルシャッタモード時のシングルエンドの第 2 の画素信号 $p i x o u t 2$ を示し、図 1 0 (E) はオートゼロスイッチ部 $S W 4 2 3$ の制御信号 $A Z 1$ を示し、図 1 0 (F) は第 1 のスイッチ部 $S W 4 2 1$ の制御信号 $C K O S$ を示し、図 1 0 (G) はサンプルホールドスイッチ部 $S W 4 3 1$ の制御信号 $S H$ を示し、図 1 0 (H) はオートゼロスイッチ部 $S W 4 3 2$ の制御信号 $A Z 2$ を示している。

図 1 0 (I) は第 1 のオペアンプ 4 2 1 の出力信号 (アンプ出力) $a m p o u t$ を示し、図 1 0 (J) は第 2 の探索信号 $V r a m p 2$ を示し、図 1 0 (K) は第 2 のオペアンプ 4 2 1 の入力信号電圧 $V c m p$ を示し、図 1 0 (L) は第 2 のオペアンプ 4 3 1 の出力信号 (比較出力) $c m p o u t$ を示している。

【 0 1 3 9 】

グローバルシャッタモード時には、図 9 (A) に示すように、第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 の選択トランジスタ $S E L 1 - T r$ 、 $S E L 2 - T r$ の制御信号 $S E L$ がグローバルシャッタモードの全期間中ローレベル (L) に設定される。

10

20

30

40

50

これにより、グローバルシャッタモードの全期間中第1の画素アレイ230と第2の画素アレイ250-1, 250-2から第1の垂直信号線LSGN11への電圧信号の出力が抑止(停止)される。

したがって、第2の画素アレイ250-1, 250-2は非アクティブ状態に制御される。

また、第1の画素アレイ230は、アクティブ状態であり、出力ノードND21からの電圧信号の信号保持部212への出力可能状態となっている。

【0140】

図9(A)~(G)において、時刻 t_{11} ~ t_{12} は、第1の画素アレイ230のすべての光電変換読み出し部211におけるフォトダイオードPD21およびフローティングディフュージョンFD21のリセット期間および電荷の蓄積期間である。

【0141】

なお、このリセット期間および電荷の蓄積期間においては、図9(D)~(G)に示すように、保持部アレイ240のすべての信号保持部212の駆動を制御する、スイッチ素子SW21の制御信号sw1、リセットトランジスタRST3-Trを制御する制御信号RST3、選択トランジスタSEL3-Trを制御する制御信号SEL3はLレベルに設定され、スイッチ素子SW21、リセットトランジスタRST3-Tr、選択トランジスタSEL3-Trが非導通状態に制御され、定電流源Ibias3はオフ状態に制御されている。

【0142】

このような状態で、リセット期間において、リセットトランジスタRST1-Trが、制御信号RSTがHレベルの期間に選択されて導通状態となる。

そして、制御信号RSTがHレベル期間中に、転送トランジスタTG1-Trが、制御信号TGがHレベルの期間に選択されて導通状態となり、フォトダイオードPD21で光電変換され蓄積された電荷(電子)の蓄積ノードがフローティングディフュージョンFD21と導通状態となり、フォトダイオードPD21およびフローティングディフュージョンFD21が電源電圧VDDの電位にリセットされる。

【0143】

フォトダイオードPD21のリセット後、転送トランジスタTG1-Trの制御信号TGがLレベルに切り替えられ、転送トランジスタTG1-Trが非導通状態となり、フォトダイオードPD21では光電変換された電荷の蓄積が開始される。

このとき、リセットトランジスタRST1-Trの制御信号RSTはHレベルに保持されており、フローティングディフュージョンFD21が電源電圧VDDの電位にリセットされたままの状態に保持される。

そして、リセット期間の終了のため、時刻 t_{12} の前に、リセットトランジスタRST1-Trの制御信号RSTはLレベルに切り替えられ、リセットトランジスタRST1-Trは非導通状態となる。

このリセット期間PRが経過した後(リセットトランジスタRST1-Trが非導通状態)、転送期間PTが開始されるまでの時刻 t_{12} を含む期間が、リセット状態時の画素信号を読み出す第1読み出し期間となる。

【0144】

同様に、信号保持部212において、時刻 t_{12} を含む所定期間に、リセットトランジスタRST3-Trを制御する制御信号RST3がHレベルに切り替えられ、リセットトランジスタRST3-Trが導通状態に保持され、ノードND24が電源電圧VDDの電位にリセットされる。

また、時刻 t_{12} , t_{13} , t_{14} を含む所定期間、スイッチ素子SW21の制御信号sw1がHレベルに保持され、スイッチ素子SW21がオン状態(導通状態)に保持される。

同様に、時刻 t_{12} , t_{13} , t_{14} を含む所定期間、定電流源Ibias3がオン状態に制御される。

10

20

30

40

50

なお、定電流源 I_{bias3} は、時刻 t_{14} を経過し、スイッチ素子 SW_{21} の制御信号 sw_1 が L レベルに切り替えられスイッチ素子 SW_{21} がオフ状態（非導通状態）となった後に、オフ状態に制御される。

【0145】

時刻 t_{12} を含む所定期間において、全画素のソースフォロワトランジスタ SF_{1-Tr} により、フローティングディフュージョン FD_{21} の電荷が電荷量に応じた電圧信号に変換され、画素の読み出しリセット信号 V_{RST0} として第3の信号線 $LSGN_{13}$ を介して信号保持部 212 に転送され、さらにスイッチ素子 SW_{21} を通して信号保持キャパシタ C_{21} に保持される。

【0146】

ここで、第1読み出し期間が終了し、時刻 t_{13} を含む所定期間が転送期間 PT となる。

転送期間 PT に転送トランジスタ TG_{1-Tr} が、制御信号 TG がハイレベル（H）の期間に選択されて導通状態となり、フォトダイオード PD_{21} で光電変換され蓄積された電荷（電子）がフローティングディフュージョン FD_{21} に転送される。

この転送期間 PT が経過した後（転送トランジスタ TG_{1-Tr} が非導通状態）、フォトダイオード PD_{21} が光電変換して蓄積した電荷に応じた画素信号を読み出す時刻 t_{14} を含む第2読み出し期間となる。

【0147】

第2読み出し期間が開始された時刻 t_{14} において、全画素のソースフォロワトランジスタ SF_{1-Tr} により、フローティングディフュージョン FD_{21} の電荷が電荷量に応じた電圧信号に変換され、画素の読み出し輝度信号 V_{SIG0} として第3の信号線 $LSGN_{13}$ を介して信号保持部 212 に転送され、さらにスイッチ素子 SW_{21} を通して保持信号 $V_{SIG} (= V_{SIG0} - V_{RST0})$ が信号保持キャパシタ C_{21} および C_{22} に保持される。この CDS 動作により、ソースフォロワトランジスタ SF_{1-Tr} のオフセット電圧をキャンセルすることができる。

【0148】

この状態で保持した保持信号 V_{SIG} を読み出すため、保持部アレイ 240 の中のある一行を選択するために、その選択された行の各選択トランジスタ SEL_{3-Tr} の制御信号 SEL_{3} が H レベルに設定されて、その選択トランジスタ SEL_{3-Tr} が導通状態となる。

そして、時刻 t_{15} において、信号保持キャパシタ C_{21} および C_{22} に保持された保持信号 $V_{SIG} (V_{SIG} - V_{RST})$ の読み出しが行われる。

このとき、各信号保持部 212 においては、ゲートがノード ND_{24} に接続されたソースフォロワトランジスタ SF_{3-Tr} により、ノード ND_{24} に接続された信号保持キャパシタ C_{21} および C_{22} の保持電圧に応じて、列出力の読み出し輝度信号 ($V_{SIG} - V_{RST}$) として第2の垂直信号線 $LSGN_{12}$ に出力され、カラム読み出し回路 40 に供給される。

【0149】

次いで、時刻 t_{16} を含む所定期間に、制御信号 RST_{3} が H レベルに切り替えられ、リセットトランジスタ RST_{3-Tr} が導通状態となり、ノード ND_{24} がリセットされる。

そして、時刻 t_{16} を含む所定期間において、ノード ND_{24} に接続された信号保持キャパシタ C_{21} および C_{22} に保持されたリセット保持信号 (V_{RST}) の読み出しが行われる。

このとき、各信号保持部 212 においては、ゲートがノード ND_{24} に接続されたソースフォロワトランジスタ SF_{3-Tr} により、ノード ND_{24} に接続された信号保持キャパシタ C_{21} および C_{22} の保持電圧に応じて、列出力の読み出しリセット信号 (V_{RST}) として第2の垂直信号線 $LSGN_{12}$ に出力され、カラム読み出し回路 40 に供給される。

10

20

30

40

50

【 0 1 5 0 】

そして、たとえば読み出し部 7 0 の一部を構成するカラム読み出し回路 4 0 において、時刻 t_{15} を含む所定期間に読み出された読み出し輝度信号 ($V S I G - V R S T$) と時刻 t_{16} を含む所定期間に読み出された読み出しリセット信号 $V R S T$ とが、第 2 の画素信号 $p i x o u t 2$ として順に増幅部 4 2 0 に供給される。

【 0 1 5 1 】

たとえば読み出し部 7 0 の一部を構成するカラム読み出し回路 4 0 において、入力部 4 4 0 を通して順次に供給される第 2 の画素信号 $p i x o u t 2$ の読み出し輝度信号 $V S I G (C M S)$ と読み出しリセット信号 $V R S T$ に対する増幅処理、A/D変換処理が行われる。また、両信号の差分 $\{V S I G - V R S T\}$ がとられてさらにCDS処理が行われ、ソースフォロワトランジスタ $S F 3 - T r$ のオフセット電圧をキャンセルする。

10

【 0 1 5 2 】

より具体的には、シングルエンドのグローバルシャッタモード期間においては、カラム読み出し回路 4 0 の入力部 4 4 0 に対して第 2 のモード信号 $M O D 2$ が供給されている。

また、シングルエンドのグローバルシャッタモード期間において、カラム読み出し回路 4 0 の増幅部 4 2 0 の第 2 のスイッチ部 $S W 4 2 2$ は、導通状態に保持され、第 1 のオペアンプ 4 2 1 の第 2 の入力端子 (+) が参照電位 $V r e f$ に接続されている。

【 0 1 5 3 】

このような状態において、入力部 4 4 0 に第 2 の画素信号が入力され、グローバルシャッタモード時のシングルエンドの第 2 の画素信号 $p i x o u t 2$ が、入力部 4 4 0 の第 1 の出力端子 $T O 1$ から、第 1 のサンプリングキャパシタ $C s 1$ が接続された第 1 のオペアンプ 4 2 1 の第 1 の入力端子 (-) 側に供給される。

20

第 1 のオペアンプ 4 2 1 の第 1 の入力端子 (-) 側には、図 1 0 (D) に示すように、第 1 の画素 2 1 の光電変換読み出し部 2 1 1 から読み出され、さらに信号保持部 2 1 2 から順に読み出されるシングルエンドの読み出し輝度信号 $V S I G$ 、読み出しリセット信号 $V R S T$ が順に供給される。

【 0 1 5 4 】

そして、読み出し輝度信号 $V S I G$ が入力されてから所定期間、図 1 0 (E) に示すように、制御信号 $A Z 1$ が H レベルに設定される。これにより、増幅部 4 2 0 のオートゼロスイッチ部 $S W 4 2 3$ が導通状態となる。

30

これにより、増幅部 4 2 0 の第 1 のオペアンプ 4 2 1 がリセット状態となる。

その結果、増幅部 4 2 0 の第 1 のオペアンプ 4 2 1 の出力信号 (アンプ出力) $a m p o u t$ は、参照電位 $V r e f$ となる。

【 0 1 5 5 】

次いで、シングルエンドのグローバルシャッタモード期間において、カラム読み出し回路 4 0 の増幅部 4 2 0 の第 1 のスイッチ部 $S W 4 2 1$ に対して制御信号 $C K O S$ が L レベルから H レベルに遷移される。これにより、第 1 のスイッチ部 $S W 4 2 1$ は、端子 a が端子 b から端子 c に接続されて、第 1 の帰還キャパシタ $C f 1$ は、オフセット電位 $V O S$ から第 1 のオペアンプ 4 2 1 の出力に接続変更される。

これにより、増幅部 4 2 0 の第 1 のオペアンプ 4 2 1 の出力信号 (アンプ出力) $a m p o u t$ は、参照電位 $V r e f$ にオフセット $v f s$ 分シフトされ、オフセット電位 $V O S$ にオフセットシフトされる。

40

このオフセットシフトにより、第 1 のオペアンプ 4 2 1 の出力レンジは、上述したローリングシャッタモード時と同じレベルに維持される。

【 0 1 5 6 】

そして、制御信号 $C K O S$ が H レベルに切り替えられてから所定期間、図 1 0 (G)、(H) に示すように、制御信号 $S H$ および $A Z 2$ が H レベルに設定される。これにより、A/D変換部 4 3 0 のサンプルホールドスイッチ部 $S W 4 3 1$ 、およびオートゼロスイッチ部 $S W 4 3 2$ が導通状態となる。

制御信号 $S H$ および $A Z 2$ が H レベルに設定される期間としては、制御信号 $S H$ 、 $A Z$

50

2の順で長く設定される。

これにより、A D変換部430の第2のオペアンプ431がリセット状態となる。

そして、増幅部420の第1のオペアンプ421の出力信号(アンプ出力)ampoutは、読み出し輝度信号V S I Gに対応する部分はオフセット電位V O Sとなり、サンプルホールドスイッチ部S W 4 3 1を通してA D変換部430に転送され、第3のサンプリングキャパシタC s 3および第4のサンプリングキャパシタC s 4に保持される。

【0157】

次に、A D変換部430には、図10(J)に示すように、探索信号入力部432を通して右下がりのスロープ波形の第1の探索信号V ramp 1とレベルが反転した関係にある右上がりのスロープ波形の第2の探索信号V ramp 2が供給される。

10

そして、図8(K)に示すように、第4のサンプリングキャパシタC s 4に保持された電圧と探索信号入力部432による探索信号V ramp 2を合成した信号電圧V cmpが第2のオペアンプ431の第1の入力端子(-)側に供給される。

第2のオペアンプ431においては、第1の入力端子(-)に第3のサンプリングキャパシタC s 3を介して入力される入力信号電圧V cmpと第2の入力端子(+)に供給される参照電位V ref 2 iとが比較され、参照電位V ref 2 iと交差するまでの間、図10(L)に示すように、比較出力信号c m p o u tがHレベルで出力される。この交差するまでの時間を図示しないカウンタで測定することにより、A D変換が行われる。

【0158】

増幅部420には読み出し輝度信号V S I Gより高電位の読み出しリセット信号V R S Tが供給される。

20

読み出しリセット信号V R S Tに対応する部分は、オフセットシフトによりオフセット電位V O Sより $G * (V R S T - V S I G)$ だけ低い電位 $(V O S - G * (V R S T - V S I G))$ となる。

そして、転送期間後の所定期間、図10(G)に示すように、制御信号S HがHレベルに設定され、A D変換部430のサンプルホールドスイッチ部S W 4 3 1が導通状態となる。

その結果、増幅部420の第1のオペアンプ421の出力信号(アンプ出力)ampoutは、信号 $(V O S - G * (V R S T - V S I G))$ となり、サンプルホールドスイッチ部S W 4 3 1を通してA D変換部430に転送され、第4のサンプリングキャパシタC s 4に保持される。

30

【0159】

このとき、A D変換部430には、図10(J)に示すように、探索信号入力部432を通して右上がりのスロープ波形の第2の探索信号V ramp 2が供給される。

そして、図10(K)に示すように、サンプリングキャパシタC s 4に保持された電圧と探索信号入力部432による探索信号V ramp 2を合成した信号電圧V cmpが第2のオペアンプ431の第1の入力端子(-)側に供給される。

第2のオペアンプ431においては、第1の入力端子(-)に第3のサンプリングキャパシタC s 3を介して入力される入力信号電圧V cmpと第2の入力端子(+)に供給される参照電位V ref 2 iとが比較され、参照電位V refと交差するまでの間、図10(L)に示すように、比較出力信号c m p o u tがHレベルで出力される。この交差するまでの時間を図示しないカウンタで測定することにより、A D変換が行われる。

40

【0160】

この比較出力信号c m p o u tは、上述したローリングシャッタモード時の場合と同じ結果が得られる。

【0161】

そして、たとえば読み出し部70の一部を構成するカラム読み出し回路40において、読み出しリセット信号V R S Tと読み出し輝度信号V S I Gとの差分 $\{V S I G - V R S T\}$ がとられてC D S処理が行われる。

【0162】

50

以上説明したように、本第1の実施形態によれば、固体撮像装置10は、光電変換を行う画素が配置された画素部20と、画素から垂直信号線に読み出される画素信号をアナログ信号からデジタル信号に変換するAD(アナログデジタル)変換機能を有するカラム読み出し回路40と、を有する。

固体撮像装置10において、画素から読み出される画素信号は、第1の動作であるローリングシャッタにより画素から順に読み出される読み出しリセット信号V R S Tおよび読み出し輝度信号を含む第1の画素信号p i x o u t 1と、第2の動作であるグローバルシャッタにより画素から順に読み出される読み出し輝度信号V S I Gおよび読み出しリセット信号V R S Tを含む第2の画素信号p i x o u t 2と、のうちの少なくともいずれかである。そして、カラム読み出し回路40は、画素信号を増幅する増幅部420と、増幅部420で増幅された画素信号を、探索信号に関連付けてアナログ信号からデジタル信号に変換するAD変換430と、を含み、第1の画素信号p i x o u t 1のときの第1の探索信号V r a m p 1と第2の画素信号p i x o u t 2のときの第2の探索信号V r a m p 2とは、探索レベルが反転した関係に設定可能である。

【0163】

したがって、本第1の実施形態において、カラム読み出し回路40は、動作モードや読み出し信号の信号形態にかかわらず読み出し回路を共用することが可能となり、ひいては、回路規模の低減、制御の容易化、低消費電力化を実現することができる。

本第1の実施形態によれば、特に、リセットレベルが先行して出力される低ノイズなローリングシャッタモードと、動体歪みのないグローバルシャッタモードの画素信号の両方を取得可能な画素に対して、サンプルホールド回路を追加することなく小面積で、かつ、低電圧で処理することが可能となる。

具体的には、カラムアンプである第1のオペアンプ421において、第1の帰還キャパシタC f 1の接続先を、第1のオペアンプ421の出力端子およびオフセット電位V O Sのいずれかに、シングルエンドのローリングシャッタモードとシングルエンドのグローバルシャッタモードに応じて切り替え可能な第1のスイッチ部S W 4 2 1とバイアス信号線を追加するだけで、動作モードや読み出し信号の信号形態にかかわらず読み出し回路を共用することが可能となる。

【0164】

また、本第1の実施形態によれば、固体撮像装置10は、画素部20において、画素として光電変換読み出し部および信号保持部を含む第1の画素21と、光電変換読み出し部を含む第2の画素22が混在されて、第1の動作であるローリングシャッタと第2の動作であるグローバルシャッタの両動作機能を併せ持つ、たとえば積層型のC M O Sイメージセンサとして構成されている。

本第1の実施形態に係る固体撮像装置10において、画素部20は、複数の第1の画素21の光電変換読み出し部211が行列状に配置された第1の画素アレイ230と、複数の第1の画素21の信号保持部212が行列状に配置された保持部アレイ240と、複数の第2の画素の光電変換読み出し部が行列状に配置された第2の画素アレイ250-1, 250-2と、を含んで構成されている。

そして、第1の動作であるローリングシャッタモード時に、第1の画素21および第2の画素22の光電変換読み出し部211, 221の読み出し信号が第1の垂直信号線L S G N 1 1にバイパス経路をたどることなく直ちに出力される。また、第2の動作であるグローバルシャッタモード時に、第1の画素の信号保持部212の保持信号が第2の垂直信号線L S G N 1 2に出力される。

【0165】

したがって、本第1の実施形態の固体撮像装置10によれば、構成の複雑化を防止しつつ、レイアウト上の面積効率の低下を防止することができる。

【0166】

また、本第1の実施形態の固体撮像装置10によれば、動作モード時に応じて所望のアスペクト比の画像信号を得ることができる。

10

20

30

40

50

【 0 1 6 7 】

また、本第 1 の実施形態に係る固体撮像装置 1 0 は、第 1 の基板（上基板）1 1 0 と第 2 の基板（下基板）1 2 0 の積層構造を有する。

第 1 の基板 1 1 0 には、その中央部を中心として画素部 2 0 の各第 1 の画素 2 1 の光電変換読み出し部 2 1 1 が配列された第 1 の画素アレイ 2 3 0 が形成され、第 1 の画素アレイ 2 3 0 の第 1 の垂直信号線 L S G N 1 1 の配線方向の両側（上側および下側）に第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 が形成されている。

また、第 1 の基板 1 1 0 には、第 1 の垂直信号線 L S G N 1 1 が形成されている。

第 2 の基板 1 2 0 には、その中央部を中心として第 1 の画素アレイ 2 3 0 の各光電変換読み出し部 2 1 1 の出力ノード N D 2 1 と接続される各第 1 の画素 2 1 の信号保持部 2 1 2 がマトリクス状に配列された保持部アレイ 2 4 0（領域 1 2 1）および第 2 の垂直信号線 L S G N 1 2 が形成されている。

そして、保持部アレイ 2 4 0 の周囲にカラム読み出し回路 4 0 用の領域 1 2 2 , 1 2 3 等が形成されている。

【 0 1 6 8 】

したがって、本第 1 の実施形態において、第 1 の基板 1 1 0 側を、基本的に、N M O S 系の素子だけで形成すること、および、第 1 の画素アレイと第 2 の画素アレイ画素により有効画素領域を最大限に拡大することにより、コストあたりの価値を最大限に高めることができる。

【 0 1 6 9 】

（第 2 の実施形態）

図 1 1 は、本発明の第 2 の実施形態に係る固体撮像装置の画素およびカラム読み出し回路の構成例を示す図である。

【 0 1 7 0 】

本第 2 の実施形態に係る固体撮像装置 1 0 A が、上述した第 1 の実施形態に係る固体撮像装置 1 0 と異なる点は、次のとおりである。

本第 2 の実施形態に係る固体撮像装置 1 0 A では、ローリングシャッタモード時にカラム読み出し回路 4 0 A への第 1 の画素信号が、シングルエンドではなく差動の画素信号として供給される。

【 0 1 7 1 】

具体的には、第 1 の垂直信号線 L S G N 1 1 を転送された第 1 の画素信号 p i x o u t 1 は、カラム読み出し回路 4 0 A の入力部 4 4 0 を介して増幅部 4 2 0 の第 1 のオペアンプ 4 2 1 の第 1 の入力端子（-）側に、第 1 のサンプリングキャパシタ C s 1 を介して供給される。

そして、電流源 I b i a s 1 と基準電位 V S S との接続ライン側に流れる信号が、入力部 4 4 0 を介して増幅部 4 2 0 の第 1 のオペアンプ 4 2 1 の第 2 の入力端子（+）側に、第 2 のサンプリングキャパシタ C s 2 を介して供給される。

【 0 1 7 2 】

第 2 の実施形態に係る固体撮像装置 1 0 A のその他の構成は第 1 の実施形態に係る固体撮像装置 1 0 と同様である。

【 0 1 7 3 】

より具体的には、差動のローリングシャッタモード期間においては、カラム読み出し回路 4 0 A の入力部 4 4 0 に対して第 3 のモード信号 M O D 3 が供給されている。

また、ローリングシャッタモード期間において、カラム読み出し回路 4 0 A の増幅部 4 2 0 の第 1 のスイッチ部 S W 4 2 1 に対して制御信号 C K O S が L レベルで供給される。これにより、第 1 のスイッチ部 S W 4 2 1 は、端子 a を端子 b とが接続されて、第 1 の帰還キャパシタ C f 1 は、第 1 のオペアンプ 4 2 1 の第 1 の入力端子（-）と出力ノード N D 4 2 1 との間に接続される。

また、ローリングシャッタモード期間において、カラム読み出し回路 4 0 A の増幅部 4 2 0 の第 2 のスイッチ部 S W 4 2 2 に対して制御信号 V R E F S H がクロックで供給され

10

20

30

40

50

る。

【0174】

図12(A)～(K)は、本第2の実施形態に係る固体撮像装置の差動のローリングシャッターモード時の主としてカラム読み出し回路における読み出し動作を説明するためのタイミングチャートである。

【0175】

図12(A)は第1の画素21の光電変換読み出し部211および第2の画素22の光電変換読み出し部221の選択トランジスタSEL1-Tr、SEL2-Trの制御信号SELを示している。図12(B)は第1の画素21の光電変換読み出し部211および第2の画素22の光電変換読み出し部221のリセットトランジスタRST1-Tr、RST2-Trの制御信号RST、並びに、転送トランジスタTG1-Tr、TG2-Trの制御信号TGを示している。

10

図12(C)はグローバルシャッターモード時のシングルエンドの第1の画素信号pixelout1を示し、図12(D)はオートゼロスイッチ部SW423の制御信号AZ1および第2のスイッチ部SW422の制御信号VREFSHを示し、図12(E)は第1のスイッチ部SW421の制御信号CKOSを示し、図12(F)はサンプルホールドスイッチ部SW431の制御信号SHを示し、図12(G)はオートゼロスイッチ部SW432の制御信号AZ2を示している。

図12(H)は第1のオペアンプ421の出力信号(アンプ出力)ampoutを示し、図12(I)は第1の探索信号Vramp1を示し、図12(J)は第2のオペアンプ431の入力信号電圧Vcmpを示し、図12(K)は第2のオペアンプ431の出力信号(比較出力)cmpoutを示している。

20

【0176】

差動のローリングシャッターモード時の画素およびカラム読み出し回路40Aにおける読み出し動作は、図8(A)～(L)に関連付けて説明したシングルエンドのローリングシャッターモード時の画素およびカラム読み出し回路40における読み出し動作、制御信号VREFSHが制御信号AZ1と同じように遷移する点を除くと同様である。

したがって、その詳細な動作説明はここでは割愛する。

【0177】

本第2の実施形態によれば、上述した第1の実施形態の効果を得られることはもとより、電流源Ibias1と基準電位VSSとの接続ライン側に流れる信号が、入力部440を介して増幅部420の第1のオペアンプ421の第2の入力端子(+)側に、第2のサンプリングキャパシタCs2を介して供給されることから、ローリングシャッター画素に対して、カラム(列)ごとのグラウンド(GND)浮をキャンセルすることができ、ひいては、シェーディングなどのノイズを低減することができる。

30

また、画素はグローバルシャッターモードで動作しても良い。具体的には、第2の垂直信号線LSGN12から出力された第2の画素信号pixelout2は、カラム読み出し回路40Aの入力部440を介して増幅部420の第1のオペアンプ421の第1の入力端子(-)側に、第1のサンプリングキャパシタCs1を介して供給される。

そして、電流源Ibias1と基準電位VSSとの接続ライン側に流れる信号が、入力部440を介して増幅部420の第1のオペアンプ421の第2の入力端子(+)側に、第2のサンプリングキャパシタCs2を介して供給される。この時も同様に、グローバルシャッター画素に対して、シェーディングなどのノイズを低減することができる。

40

【0178】

(第3の実施形態)

図13は、本発明の第3の実施形態に係る固体撮像装置の第1の画素の構成例を示す図である。

【0179】

本第3の実施形態に係る固体撮像装置10Bが上述した第1の実施形態および第2の実施形態に係る固体撮像装置10,10Aと異なる点は、第1の画素21Bにおける信号保

50

持部 2 1 2 B の構成にある。

【 0 1 8 0 】

第 1 の画素 2 1 の信号保持部 2 1 2 B は、基本的に、定電流源 I b i a s 3 が接続されている入力部 2 1 2 1、サンプルホールド部 2 1 2 2 B、出力部 2 1 2 3 B、ノード N D 2 2、N D 2 5 ~ N D 2 7 を含んで構成されている。

【 0 1 8 1 】

定電流源 I b i a s 3 は、ノード N D 2 2 と基準電位 V S S との間に接続され、たとえばグローバルシャッタ期間中の所定の期間にオン状態に制御される。

【 0 1 8 2 】

なお、定電流源 I b i a s 3 の代わりに、ノード N D 2 2 と基準電位 V S S との間に接続され、たとえばグローバルシャッタ期間中の所定の期間にオン状態に制御されるスイッチ素子を設けてもよい。

【 0 1 8 3 】

サンプルホールド部 2 1 2 2 B は、スイッチ素子 S S W 2 2 ~ S W 2 4、リセット信号用保持キャパシタ C R 2 1、信号用保持キャパシタ C S 2 1、およびノード N D 2 5 ~ N D 2 7 を含んで構成されている。

【 0 1 8 4 】

スイッチ素子 S W 2 2 は、第 2 の期間であるグローバルシャッタ期間に、サンプルホールド部 2 1 2 2 B の信号用保持キャパシタ C S 2 1 をノード N D 2 6 を介して光電変換読み出し部 2 1 1 の出力ノード N D 2 1 と選択的に接続する。

スイッチ素子 S W 2 2 は、端子 a が第 3 の信号線 L S G N 1 3 に接続された入力ノード N D 2 2 と接続され、端子 b がノード N D 2 6 に接続されている。

スイッチ素子 S W 2 2 は、たとえば制御信号 G S H S がハイレベルに期間に端子 a と b が接続されて導通状態となる。

信号用保持キャパシタ C S 2 1 は、ノード N D 2 6 と基準電位 V S S に接続されたノード N D 2 7 との間に接続されている。

【 0 1 8 5 】

スイッチ素子 S W 2 3 は、第 2 の期間であるグローバルシャッタ期間に、サンプルホールド部 2 1 2 2 B のリセット信号用保持キャパシタ C R 2 1 をノード N D 2 5 を介して光電変換読み出し部 2 1 1 の出力ノード N D 2 1 と選択的に接続する。

スイッチ素子 S W 2 3 は、端子 a が第 3 の信号線 L S G N 1 3 に接続された入力ノード N D 2 2 と接続され、端子 b がノード N D 2 5 に接続されている。

スイッチ素子 S W 2 3 は、たとえば制御信号 G S H R がハイレベルに期間に端子 a と b が接続されて導通状態となる。

リセット信号用保持キャパシタ C R 2 1 は、ノード N D 2 5 と基準電位 V S S に接続されたノード N D 2 7 との間に接続されている。

【 0 1 8 6 】

スイッチ素子 S W 2 4 は、第 2 の期間であるグローバルシャッタ期間に、リセット信号用保持キャパシタ C R 2 1 に接続されたノード N D 2 5 と信号用保持キャパシタ C S 2 1 が接続されたノード N D 2 6 を接続する。

スイッチ素子 S W 2 4 は、端子 a がノード N D 2 6 に接続され、端子 b がノード N D 2 5 に接続されている。

スイッチ素子 S W 2 4 は、たとえば制御信号 C K S T がハイレベルに期間に端子 a と b が接続されて導通状態となる。これにより、選択行のリセットレベルと信号レベルの平均化が行われる。

【 0 1 8 7 】

なお、スイッチ素子 S W 2 2 ~ S W 2 4 は、M O S トランジスタ、たとえば n チャネル M O S (N M O S) トランジスタにより形成される。

【 0 1 8 8 】

出力部 2 1 2 3 B は、第 2 の期間であるグローバルシャッタ期間に、基本的に信号用保

10

20

30

40

50

持キャパシタ $C S 2 1$ に保持された信号を保持電圧に応じて出力するソースフォロワトランジスタ $S F 3 S - T r$ を含み、保持した信号を選択的に選択トランジスタ $S E L 3 S - T r$ を介して定電流源 $I b i a s 1 - 1$ により駆動される第 2 の垂直信号線 $L S G N 1 2 - 1$ に出力する。

【 0 1 8 9 】

ソースフォロワトランジスタ $S F 3 S - T r$ と選択トランジスタ $S E L 3 S - T r$ は、電源電位 $V D D$ と定電流源 $I b i a s 1 - 1$ により駆動される第 2 の垂直信号線 $L S G N 1 2 - 1$ の間に直列に接続されている。

【 0 1 9 0 】

ソースフォロワトランジスタ $S F 3 S - T r$ のゲートにはノード $N D 2 6$ が接続され、選択トランジスタ $S E L 3 S - T r$ は制御線を通じてゲートに印加される制御信号 $S E L 3$ により制御される。

10

選択トランジスタ $S E L 3 S - T r$ は、制御信号 $S E L 3$ が H レベルの選択期間に選択されて導通状態となる。これにより、ソースフォロワトランジスタ $S F 3 S - T r$ は信号用保持キャパシタ $C S 2 1$ の保持電圧または平均化電圧に応じた列出力の読み出し電圧 ($V R S T$, $V S I G$) を第 2 の垂直信号線 $L S G N 1 2 - 1$ に出力する。

【 0 1 9 1 】

さらに、出力部 $2 1 2 3 B$ は、第 2 の期間であるグローバルシャッタ期間に、基本的にリセット信号用保持キャパシタ $C R 2 1$ に保持された信号を保持電圧に応じて出力するソースフォロワトランジスタ $S F 3 R - T r$ を含み、保持した信号を選択的に選択トランジスタ $S E L 3 R - T r$ を介して定電流源 $I b i a s 1 - 2$ により駆動される第 2 の垂直信号線 $L S G N 1 2 - 2$ に出力する。

20

【 0 1 9 2 】

ソースフォロワトランジスタ $S F 3 R - T r$ と選択トランジスタ $S E L 3 R - T r$ は、電源電位 $V D D$ と定電流源 $I b i a s 1 - 2$ により駆動される第 2 の垂直信号線 $L S G N 1 2 - 2$ の間に直列に接続されている。

【 0 1 9 3 】

ソースフォロワトランジスタ $S F 3 R - T r$ のゲートにはノード $N D 2 5$ が接続され、選択トランジスタ $S E L 3 R - T r$ は制御線を通じてゲートに印加される制御信号 $S E L 3$ により制御される。

30

選択トランジスタ $S E L 3 R - T r$ は、制御信号 $S E L 3$ が H レベルの選択期間に選択されて導通状態となる。これにより、ソースフォロワトランジスタ $S F 3 R - T r$ はリセット信号用保持キャパシタ $C R 2 1$ の保持電圧または平均化電圧に応じた列出力の読み出し電圧 ($V R S T$, $V S I G$) を第 2 の垂直信号線 $L S G N 1 2 - 2$ に出力する。

【 0 1 9 4 】

(差動のグローバルシャッタモード時の読み出し動作)

次に、差動のグローバルシャッタモード時の読み出し動作について説明する。

図 1 4 (A) ~ (F) は、本第 3 の実施形態に係る固体撮像装置のグローバルシャッタモード時の主として画素部における読み出し動作を説明するためのタイミングチャートである。

40

図 1 5 (A) ~ (L) は、本第 3 の実施形態に係る固体撮像装置のグローバルシャッタモード時の主としてカラム読み出し回路における読み出し動作を説明するためのタイミングチャートである。

【 0 1 9 5 】

図 1 4 (A) は第 1 の画素 $2 1$ の光電変換読み出し部 $2 1 1$ の転送トランジスタ $T G 1 - T r$ の制御信号 $T G$ を示している。図 1 4 (B) は第 1 の画素 $2 1$ の光電変換読み出し部 $2 1 1$ のリセットトランジスタ $R S T 1 - T r$ の制御信号 $R S T$ を示している。

図 1 4 (C) は第 1 の画素 $2 1$ の信号保持部 $2 1 2 B$ のスイッチ素子 $S W 2 2$ の制御信号 $G S H S$ を示している。図 1 4 (D) は第 1 の画素 $2 1$ の信号保持部 $2 1 2 B$ のスイッチ素子 $S W 2 3$ の制御信号 $G S H R$ を示している。図 1 4 (E) は第 1 の画素 $2 1$ の信号

50

保持部 2 1 2 B のスイッチ素子 S W 2 4 の制御信号 C K S T を示している。図 1 4 (F) は第 1 の画素 2 1 の信号保持部 2 1 2 の選択トランジスタ S E L 3 - T r の制御信号 S E L 3 を示している。

【 0 1 9 6 】

図 1 5 (A) は画素およびカラム読み出し回路の等価回路を、図 1 5 (B) は第 1 の画素 2 1 の信号保持部 2 1 2 B の選択トランジスタ S E L 3 R - T r 、 S E L 3 S - T r の制御信号 S E L 3 を示している。図 1 5 (C) は第 1 の画素 2 1 の信号保持部 2 1 2 B のスイッチ素子 S W 2 4 の制御信号 C K S T を示している。

図 1 5 (D) はグローバルシャッターモード時の差動の第 2 の画素信号 p i x o u t 2 を示し、図 1 5 (E) はオートゼロスイッチ部 S W 4 2 3 の制御信号 A Z 1 および第 2 のスイッチ部 S W 4 2 2 の制御信号 V R E F S H を示し、図 1 5 (F) は第 1 のスイッチ部 S W 4 2 1 の制御信号 C K O S を示し、図 1 5 (G) はサンプルホールドスイッチ部 S W 4 3 1 の制御信号 S H を示し、図 1 5 (H) はオートゼロスイッチ部 S W 4 3 2 の制御信号 A Z 2 を示している。

図 1 5 (I) は第 1 のオペアンプ 4 2 1 の出力信号 (アンプ出力) a m p o u t および帰還信号 a m p v s t を示し、図 1 5 (J) は第 1 の探索信号 V r a m p 1 を示し、図 1 5 (K) は第 2 のオペアンプ 4 3 1 の入力信号電圧 V c m p を示し、図 1 5 (L) は第 2 のオペアンプ 4 3 1 の出力信号 (比較出力) c m p o u t を示している。

【 0 1 9 7 】

グローバルシャッターモード時には、第 1 の画素 2 1 の光電変換読み出し部 2 1 1 および第 2 の画素 2 2 の光電変換読み出し部 2 2 1 の選択トランジスタ S E L 1 - T r 、 S E L 2 - T r の制御信号 S E L がグローバルシャッターモードの全期間中ローレベル (L) に設定される。

これにより、グローバルシャッターモードの全期間中第 1 の画素アレイ 2 3 0 と第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 から第 1 の垂直信号線 L S G N 1 1 への電圧信号の出力が抑止 (停止) される。

したがって、第 2 の画素アレイ 2 5 0 - 1 , 2 5 0 - 2 は非アクティブ状態に制御される。

また、第 1 の画素アレイ 2 3 0 は、アクティブ状態であり、出力ノード N D 2 1 からの電圧信号の信号保持部 2 1 2 B への出力可能状態となっている。

【 0 1 9 8 】

図 1 4 (A) ~ (F) において、時刻 t 2 1 ~ t 2 2 は、第 1 の画素アレイ 2 3 0 のすべての光電変換読み出し部 2 1 1 におけるフォトダイオード P D 2 1 およびフローティングディフュージョン F D 2 1 のリセット期間および電荷の蓄積期間 T i n t である。

【 0 1 9 9 】

なお、このリセット期間および電荷の蓄積期間においては、保持部アレイ 2 4 0 のすべての信号保持部 2 1 2 B の駆動を制御する、スイッチ素子 S W 2 2 ~ S W 2 4 の制御信号 G S H S 、 G S H R 、 C K S T 、選択トランジスタ S E L 3 - T r を制御する制御信号 S E L 3 は L レベルに設定され、スイッチ素子 S W 2 2 ~ S W 2 4 、選択トランジスタ S E L 3 - T r が非導通状態に制御され、定電流源 I b i a s 3 はオフ状態に制御されている。

【 0 2 0 0 】

このような状態で、リセット期間において、リセットトランジスタ R S T 1 - T r が、制御信号 R S T が H レベルの期間に選択されて導通状態となる。

そして、制御信号 R S T が H レベル期間中に、転送トランジスタ T G 1 - T r が、制御信号 T G が H レベルの期間に選択されて導通状態となり、フォトダイオード P D 2 1 で光電変換され蓄積された電荷 (電子) の蓄積ノードがフローティングディフュージョン F D 2 1 と導通状態となり、フォトダイオード P D 2 1 およびフローティングディフュージョン F D 2 1 が電源電圧 V D D の電位にリセットされる。

【 0 2 0 1 】

10

20

30

40

50

フォトダイオードPD21のリセット後、転送トランジスタTG1-Trの制御信号TGがLレベルに切り替えられ、転送トランジスタTG1-Trが非導通状態となり、フォトダイオードPD21では光電変換された電荷の蓄積が開始される。

このとき、リセットトランジスタRST1-Trの制御信号RSTはHレベルに保持されており、フローティングディフュージョンFD21が電源電圧VDDの電位にリセットされたままの状態に保持される。

この状態で時刻t22に、各光電変換読み出し部211では、ソースフォロワトランジスタSF1-Trにより、フローティングディフュージョンFD21の電荷が電荷量に応じた電圧信号に変換され、列出力の読み出しリセット信号VRSとして出力ノードND21から出力される。

10

そして、リセット期間の終了のため、時刻t22を経過後、リセットトランジスタRST1-Trの制御信号RSTはLレベルに切り替えられ、リセットトランジスタRST1-Trは非導通状態となる。

次に、時刻t23を含む所定期間に、第1の画素21の信号保持部212Bのスイッチ素子SW22の制御信号GSHSおよびスイッチ素子SW23の制御信号GSHRがHレベルに切り替えられて、信号用保持キャパシタCS21およびリセット信号用保持キャパシタCR21が初期化される。また、定電流源Ibias3がオン状態となるように制御される。

かつ、時刻t23を含む所定期間において、各光電変換読み出し部211の出力ノードND21から出力される読み出しリセット信号VRSは、第3の信号線LSGN13を通して対応する信号保持部212Bに伝送され、スイッチ素子SW23を通してリセット信号用保持キャパシタCR21に保持される。

20

そして、第1の画素21Bの信号保持部212Bのスイッチ素子SW22の制御信号GSHSおよびスイッチ素子SW23の制御信号GSHRがLレベルに切り替えられ、スイッチ素子SW22およびSW23が非導通状態となる。

【0202】

ここで、時刻t24を含む所定期間が転送期間となる。

転送期間には、各光電変換読み出し部211において、転送トランジスタTG1-Trが、制御信号TGがHレベルの期間に選択されて導通状態となり、フォトダイオードPD21で光電変換され蓄積された電荷(電子)がフローティングディフュージョンFD21に転送される。

30

転送期間が終了すると、転送トランジスタTG1-Trの制御信号TGがLレベルに切り替えられ、転送トランジスタTG1-Trが非導通状態となる。

【0203】

また、光電変換読み出し部211において、転送トランジスタTG1-Trの制御信号TGがLレベルに切り替えられ、転送期間が終了されるタイミングに並行して、保持部アレイ240のすべての信号保持部212Bでは、次の制御が行われる。

信号保持部212Bにおいて、時刻t25を含む所定期間に制御信号GSHSがHレベルに切り替えられてスイッチ素子SW22が導通状態となり、定電流源Ibias3がオン状態となるように制御される。

40

【0204】

これにより、時刻t25を含む所定期間において、各光電変換読み出し部211の出力ノードND21から出力される読み出し輝度信号VSIは、第3の信号線LSGN13を通して対応する信号保持部212に伝送され、スイッチ素子SW22を通して信号用保持キャパシタCS21に保持される。

【0205】

信号用保持キャパシタCS21に読み出し輝度信号VSIを保持した後、制御信号GSHSがLレベルに切り替えられて、スイッチ素子SW22が非導通状態となる。

【0206】

この状態で保持した信号を読み出すため、保持部アレイ240の中のある一行を選択す

50

るために、その選択された行の各選択トランジスタ $S E L 3 - T r$ の制御信号 $S E L 3$ が H レベルに設定されて、その選択トランジスタ $S E L 3 S - T r$ および $S E L 3 R - T r$ が導通状態となる。

そして、時刻 $t 2 6$ において、信号用保持キャパシタ $C S 2 1$ に保持された読み出し輝度信号 $V S I G$ の読み出し、並びに、リセット信号用保持キャパシタ $C R 2 1$ に保持された読み出しリセット信号 $V R S T$ の読み出しが並行して行われる。

【 0 2 0 7 】

このとき、各信号保持部 2 1 2 B においては、ゲートがノード $N D 2 6$ に接続されたソースフォロワトランジスタ $S F 3 S - T r$ により、ノード $N D 2 6$ に接続された信号用保持キャパシタ $C S 2 1$ の保持電圧に応じて、列出力の読み出し輝度信号 $V S I G$ として第 2 の垂直信号線 $L S G N 1 2 - 1$ に出力され、カラム読み出し回路 4 0 に供給される。

10

同様に、各信号保持部 2 1 2 B においては、ゲートがノード $N D 2 5$ に接続されたソースフォロワトランジスタ $S F 3 R - T r$ により、ノード $N D 2 5$ に接続されたリセット信号用保持キャパシタ $C R 2 1$ の保持電圧に応じて、列出力の読み出しリセット信号 $V R S T$ として第 2 の垂直信号線 $L S G N 1 2 - 2$ に出力され、カラム読み出し回路 4 0 に供給される。

【 0 2 0 8 】

次に、信号保持部 2 1 2 B において、時刻 $t 2 7$ を含む所定期間に制御信号 $C K S T$ が H レベルに切り替えられてスイッチ素子 $S W 2 4$ が導通状態となる。

これにより、選択行のリセットレベルと信号レベルの平均化が行われる。

20

そして、時刻 $t 2 8$ において、信号用保持キャパシタ $C S 2 1$ に保持された読み出し輝度信号 $V S I G$ 、並びに、リセット信号用保持キャパシタ $C R 2 1$ に保持された読み出しリセット信号 $V R S T$ を平均化して信号の読み出しが並行して行われる。

【 0 2 0 9 】

このとき、各信号保持部 2 1 2 B においては、ゲートがノード $N D 2 6$ に接続されたソースフォロワトランジスタ $S F 3 S - T r$ により、ノード $N D 2 6$ における平均化電圧に応じて、列出力の平均化信号として第 2 の垂直信号線 $L S G N 1 2 - 1$ に出力され、カラム読み出し回路 4 0 に供給される。

同様に、各信号保持部 2 1 2 B においては、ゲートがノード $N D 2 5$ に接続されたソースフォロワトランジスタ $S F 3 R - T r$ により、ノード $N D 2 5$ における平均化電圧に応じて、列出力の平均化信号 $A V S R$ として第 2 の垂直信号線 $L S G N 1 2 - 2$ に出力され、カラム読み出し回路 4 0 に供給される。

30

【 0 2 1 0 】

ここで、信号保持部 2 1 2 B から読み出される信号レベル $V S$ とリセットレベル $V R$ を出力するソースフォロワトランジスタ $S F 3 S - T r$ 、 $S F 3 R - T r$ のオフセットをそれぞれ $V O S 1$ 、 $V O S 2$ とすると、次の関係式が得られる。

【 0 2 1 1 】

[数 1]

$$V_{O U T R}(t 2 6) - V_{O U T S}(t 2 6) = V_R + V_{O S 2} - (V_S + V_{O S 1})$$

40

$$V_{O U T R}(t 2 8) - V_{O U T S}(t 2 8) = (V_R + V_S) / 2 + V_{O S 2} - ((V_R + V_S) / 2 + V_{O S 1})$$

$$\begin{aligned} V_{O U T R}(t 2 6) - V_{O U T S}(t 2 6) - \{ V_{O U T R}(t 2 8) - V_{O U T S}(t 2 8) \} \\ = V_R - V_S \end{aligned}$$

【 0 2 1 2 】

ここで、 $V_{O U T R}(t 2 6)$ は時刻 $t 2 6$ に読み出されるリセット信号電圧を、 $V_{O U T S}(t 2 6)$ は時刻 $t 2 6$ に読み出される信号電圧を、 $V_{O U T R}(t 2 8)$ は時刻 $t 2 8$ に読み出されるリセット信号電圧を、 $V_{O U T S}(t 2 8)$ は時刻 $t 2 8$ に読み出

50

される信号電圧を、それぞれ示している。

【0213】

以上より、後段回路で差動信号をCDS処理することで、ソースフォロワトランジスタSF3S-Tr、SF3R-Trのオフセットを除去することができる。

【0214】

そして、たとえば読み出し部70の一部を構成するカラム読み出し回路40において、時刻t26に同時並列的に読み出された読み出し輝度信号VSI Gおよび読み出しリセット信号VRS T、並びに時刻t28に読み出される平均化信号AVSRと、第2の画素信号pixout2として並列に増幅部420に供給される。

【0215】

たとえば読み出し部70の一部を構成するカラム読み出し回路40において、入力部440を通して同時並列的に供給される第2の画素信号pixout2の読み出し輝度信号VSI Gと読み出しリセット信号VRS T、および平均化信号AVSRに対する増幅処理、AD変換処理が行われ、また、両信号の差分{VRS T - VSI G - AVSR}がとられてCDS処理が行われる。

【0216】

より具体的には、差動のグローバルシャッタモード期間においては、カラム読み出し回路40の入力部440に対して第4のモード信号MOD4が供給されている。

また、差動のグローバルシャッタモード期間において、カラム読み出し回路40の増幅部420の第1のスイッチ部SW421に対して制御信号CKOSがLレベルで供給される。これにより、第1のスイッチ部SW421は、端子aを端子bとが接続されて、第1の帰還キャパシタCf1は、第1のオペアンプ421の第1の入力端子(-)と出力ノードND421との間に接続される。

また、差動のグローバルシャッタモード期間において、カラム読み出し回路40の増幅部420の第2のスイッチ部SW422に対して制御信号VREFSHがクロックで供給される。

【0217】

このような状態において、入力部440に第2の画素信号pixout2が入力され、グローバルシャッタモード時の差動の一方の第2の画素信号pixout2d1が、入力部440の第1の出力端子TO1から、第1のサンプリングキャパシタCs1が接続された第1のオペアンプ421の第1の入力端子(-)側に供給される。

これと並行して、グローバルシャッタモード時の差動の他方の第2の画素信号pixout2d2が、入力部440の第2の出力端子TO2から、第2のサンプリングキャパシタCs2が接続された第1のオペアンプ421の第2の入力端子(+)側に供給される。

【0218】

そして、読み出し輝度信号VSI Gおよび読み出しリセット信号VRS Tが入力されてから所定期間、図15(E)に示すように、制御信号AZ1および制御信号VREFSHがHレベルに設定される。これにより、増幅部420のオートゼロスイッチ部SW423およびスイッチ部SW422が導通状態となる。

これにより、増幅部420の第1のオペアンプ421がリセット状態となる。

その結果、増幅部420の第1のオペアンプ421の出力信号(アンプ出力)ampoutは、所定のDC電位、たとえば参照電位Vrefとなる。

【0219】

そして、制御信号AZ1および制御信号VREFSHがLレベルに切り替えられてから所定期間、図15(G)、(H)に示すように、制御信号SHおよびAZ2がHレベルに設定される。これにより、AD変換部430のサンプルホールドスイッチ部SW431、およびオートゼロスイッチ部SW432が導通状態となる。

制御信号SHおよびAZ2がHレベルに設定される期間としては、制御信号SH、AZ2の順で長く設定される。

これにより、AD変換部430の第2のオペアンプ431がリセット状態となる。

10

20

30

40

50

【 0 2 2 0 】

その結果、増幅部 4 2 0 の第 1 のオペアンプ 4 2 1 の出力信号 (アンプ出力) $amp\ out$ は、参照電位 V_{ref} となり、サンプルホールドスイッチ部 $SW\ 4\ 3\ 1$ を通して A D 変換部 4 3 0 に転送され、第 3 のサンプリングキャパシタ $Cs\ 3$ および第 4 のサンプリングキャパシタ $Cs\ 4$ に保持される。

【 0 2 2 1 】

このとき、A D 変換部 4 3 0 には、図 1 5 (J) に示すように、探索信号入力部 4 3 2 を通して右下がりのスロー波波形の第 1 の探索信号 $V_{ramp\ 1}$ が供給される。

そして、図 1 5 (K) に示すように、第 4 のサンプリングキャパシタ $Cs\ 4$ に保持された電圧と探索信号入力部 4 3 2 による探索信号 $V_{ramp\ 1}$ を合成した信号電圧 V_{cmp} が第 2 のオペアンプ 4 3 1 の第 1 の入力端子 (-) に供給される。

第 2 のオペアンプ 4 3 1 においては、第 1 の入力端子 (-) に第 3 のサンプリングキャパシタ $Cs\ 3$ を介して入力される入力信号電圧 V_{cmp} と第 2 の入力端子 (+) に供給される参照電位 $V_{ref\ 2}$ とが比較され、参照電位 $V_{ref\ 2}$ と交差するまでの間、図 1 5 (L) に示すように、比較出力信号 $cmp\ out$ が H レベルで出力される。この交差するまでの時間を図示しないカウンタで測定することにより、A D 変換が行われる。

【 0 2 2 2 】

続いて、増幅部 4 2 0 には読み出し輝度信号 V_{SIG} および読み出しリセット信号 V_{RST} の平均化信号 $AVSR$ が供給される。

そして、第 1 のオペアンプ 4 2 1 1 の出力信号 $amp\ out$ は、参照電位 V_{ref} を基準に、読み出しリセット信号電圧 V_{RST} と低電位の読み出し輝度信号 V_{SIG} の差分に容量比倍 G を掛け合わせたレベル増幅された信号 ($V_{ref} + G * (V_{RST} - V_{SIG})$) となる。また、帰還信号 $amp\ vst$ は ($V_{ref} + G' * (V_{RST} - V_{SIG})$) となる。

そして、転送期間後の所定期間、図 1 5 (G) に示すように、制御信号 SH が H レベルに設定され、A D 変換部 4 3 0 のサンプルホールドスイッチ部 $SW\ 4\ 3\ 1$ が導通状態となる。

その結果、増幅部 4 2 0 の第 1 のオペアンプ 4 2 1 の出力信号 (アンプ出力) $amp\ out$ は、信号 ($V_{ref} + G * (V_{RST} - V_{SIG})$) となり、サンプルホールドスイッチ部 $SW\ 4\ 3\ 1$ を通して A D 変換部 4 3 0 に転送され、第 4 のサンプリングキャパシタ $Cs\ 4$ に保持される。

【 0 2 2 3 】

このとき、A D 変換部 4 3 0 には、図 1 5 (J) に示すように、探索信号入力部 4 3 2 を通して右下がりのスロー波波形の第 1 の探索信号 $V_{ramp\ 1}$ が供給される。

そして、図 1 5 (K) に示すように、第 4 のサンプリングキャパシタ $Cs\ 4$ に保持された電圧と探索信号入力部 4 3 2 による探索信号 $V_{ramp\ 1}$ を合成した信号電圧 V_{cmp} が第 2 のオペアンプ 4 3 1 の第 1 の入力端子 (-) 側に供給される。

第 2 のオペアンプ 4 3 1 においては、第 1 の入力端子 (-) に第 3 のサンプリングキャパシタ $Cs\ 3$ を介して入力される入力信号電圧 V_{cmp} と第 2 の入力端子 (+) に供給される参照電位 $V_{ref\ 2}$ とが比較され、参照電位 $V_{ref\ 2}$ と交差するまでの間、図 1 5 (L) に示すように、比較出力信号 $cmp\ out$ が H レベルで出力される。この交差するまでの時間を図示しないカウンタで測定することにより、A D 変換が行われる。

【 0 2 2 4 】

そして、たとえば読み出し部 7 0 の一部を構成するカラム読み出し回路 4 0 において、読み出しリセット信号 V_{RST} と読み出し輝度信号 V_{SIG} との差分 { $V_{RST} - V_{SIG} - AVSR$ } がとられてデジタル C D S 処理が行われる。

【 0 2 2 5 】

ここで、本第 3 の実施形態に係るカラム読み出し回路を通しての C D S 処理について図 1 5 (A) ~ (L) に関連付けて考察する。

図 1 5 (A) ~ (L) においては、時刻 $t\ 3\ 1$ に第 1 の画素 2 1 の信号保持部 2 1 2 B

10

20

30

40

50

により読み出し輝度信号 V S I G および読み出しリセット信号 V R S T が同時並列的に読み出されてカラム読み出し回路 4 0 の第 1 のオペアンプ 4 2 1 に入力される場合を例としている。

同様に、図 1 5 (A) ~ (L) において、時刻 t 3 2 に第 1 の画素 2 1 の信号保持部 2 1 2 B により読み出し輝度信号 V S I G および読み出しリセット信号 V R S T の平均化信号 A V S R が同時並列的に読み出されてカラム読み出し回路 4 0 に入力される場合を例としている。

【 0 2 2 6 】

時刻 t 3 1 における第 1 のオペアンプ 4 2 1 の第 2 の入力端子 (+) の入力信号 V i n p (t 3 1) は次式で与えられる。

10

【 0 2 2 7 】

[数 2]

$$V_{inp}(t_{31}) = V_{ref} + (Q_{inj} / (C_s + C_f)) = V'_{ref}$$

【 0 2 2 8 】

時刻 t 3 1 における第 1 のオペアンプ 4 2 1 の第 1 の入力端子 (-) の入力信号 V i n n (t 3 1) に関連して次式が与えられる。

【 0 2 2 9 】

[数 3]

$$C_s \times (V'_{ref} - V_{rst}) + C_f \times 0 + Q_{inj} = C_s \times (V'_{ref} - V_{rst}) + C_f \times (V'_{ref} - V_{out})$$

20

【 0 2 3 0 】

したがって、時刻 t 3 1 の出力 V o u t (t 3 1) は次式で与えられる。

【 0 2 3 1 】

[数 4]

$$V_{out}(t_{31}) = V'_{ref} - Q_{inj} / C_f$$

【 0 2 3 2 】

時刻 t 3 2 における第 1 のオペアンプ 4 2 1 の第 2 の入力端子 (+) の入力信号 V i n p (t 3 2) については次式が与えられる。

【 0 2 3 3 】

[数 5]

$$C_s \times (V'_{ref} - V_{rst}) + C_f \times V'_{ref} = C_s \times (V_{inp} - (V_{rst} + V_{sig}) / 2) + C_f \times V_{inp}$$

30

【 0 2 3 4 】

したがって、時刻 t 3 2 の第 1 のオペアンプ 4 2 1 の第 2 の入力端子 (+) の入力信号 V i n p (t 3 2) は次式で与えられる。

【 0 2 3 5 】

[数 6]

$$V_{inp}(t_{32}) = V'_{ref} + (C_s / (C_s + C_f)) \times (V_{rst} - V_{sig}) / 2$$

40

【 0 2 3 6 】

時刻 t 3 2 における第 1 のオペアンプ 4 2 1 の第 1 の入力端子 (-) の入力信号 V i n n (t 3 1) に関連して次式が与えられる。

【 0 2 3 7 】

[数 7]

$$C_s \times (V'_{ref} - V_{rst}) + C_f \times 0 + Q_{inj} = C_s \times (V_{inp} - (V_{rst} + V_{sig}) / 2) + C_f \times (V_{inp} - V_{out})$$

【 0 2 3 8 】

したがって、時刻 t 3 2 の出力 V o u t (t 3 2) は次式で与えられる。

【 0 2 3 9 】

[数 8]

50

$$V_{out}(t_{32}) = V_{ref} - (Q_{inj} / C_f) + (C_s / C_f) \times (V_{rst} - V_{sig})$$

【0240】

したがって、デジタルCDS処理の差分出力は次式で与えられる。

【0241】

[数9]

$$V_{out}(t_{32}) - V_{out}(t_{31}) = (C_s / C_f) \times (V_{rst} - V_{sig})$$

【0242】

以上より、差動信号をCDS処理することで、読み出し輝度信号V_{SIG}および読み出しリセット信号V_{RST}の差分を出力することができる。また、上式では明記されないが、読み出し輝度信号V_{SIG}および読み出しリセット信号V_{RST}の平均化信号A_{VSR}をCDS処理することで、ソースフォロワトランジスタS_{F3S-Tr}、S_{F3R-Tr}等のオフセットを除去することができる。

10

【0243】

ここで、カラム読み出し回路40の第1のオペアンプ421の具体的な構成例について説明する。

【0244】

図16は、本第3の実施形態に係るカラム読み出し回路の第1のオペアンプの構成例を示す回路図である。

20

図17は、差動のグローバルシャッタモード時の第1のオペアンプの入力レンジの制御の一例を説明するための図である。

【0245】

第1のオペアンプ421としては、たとえば図16に示すようなソースカップルペア入力の高利得オペアンプが適用可能である。

【0246】

図16のオペアンプ421Bは、PMOSトランジスタP_{T41}~P_{T44}、NMOSトランジスタN_{T41}~N_{T44}、スイッチ部S_{W41}、電流源I₄₁、およびノードN_{D41}、N_{D42}を含んで構成されている。

【0247】

PMOSトランジスタP_{T41}、P_{T42}、NMOSトランジスタN_{T41}、N_{T42}が電源電位V_{DD}と基準電位V_{SS}との間に縦続接続され、PMOSトランジスタP_{T43}、P_{T44}、NMOSトランジスタN_{T43}、N_{T44}が電源電位V_{DD}と基準電位V_{SS}との間に縦続接続されている。

30

そして、PMOSトランジスタP_{T41}のソースとPMOSトランジスタP_{T43}のソース同士が接続されて、その接続ノードが電源電位V_{DD}に接続されている。

NMOSトランジスタP_{T41}のソースとNMOSトランジスタP_{T43}のソース同士が接続されて、その接続ノードが基準電位V_{SS}に接続されて電流源I₄₁に接続されている。

【0248】

PMOSトランジスタP_{T42}のドレインとNMOSトランジスタN_{T42}のドレインとの接続点によりノードN_{D41}が形成され、PMOSトランジスタP_{T44}のドレインとNMOSトランジスタN_{T44}のドレインとの接続点によりノードN_{D42}が形成されている。

40

そして、ノードN_{D41}がPMOSトランジスタP_{T41}、P_{T43}のゲートに接続され、ノードN_{D42}が出力ノードN_{D421}に接続されている。

また、PMOSトランジスタP_{T42}、P_{T44}のゲートがバイアス電位V_{b p}の供給端子T_{v b p}に共通に接続されている。

【0249】

スイッチ部S_{W41}は、端子aがNMOSトランジスタN_{T42}、N_{T44}のゲートに

50

共通に接続され、端子 b が電源電位 V D D に接続され、端子 c がテレスコピック電位 V t r の供給端子 T v t r に接続されている。

スイッチ部 S W 4 1 は、たとえば制御信号 C T L が L レベルのときは端子 a と端子 b とを導通状態に保持し、制御信号 C T L が H レベルのときは端子 a と端子 c とを導通状態に保持する。

【 0 2 5 0 】

第 1 のオペアンプ 4 2 1 は、ゲイン設定 G が低いときはスイッチ部 S W 4 1 により、N M O S トランジスタ N T 4 2 , N T 4 4 のゲートが電源電位 V D D に接続されるように制御され、いわゆるテレスコピックアンプとして機能しないように制御される。これは、広い入力レンジに対応するためである。

10

第 1 のオペアンプ 4 2 1 は、ゲイン設定 G が高いときはスイッチ部 S W 4 1 により、N M O S トランジスタ N T 4 2 , N T 4 4 のゲートがテレスコピック電位 V t r に接続されるように制御され、いわゆるテレスコピックアンプとして機能するように制御される。これは、ゲインエラーを低減するためである。

【 0 2 5 1 】

図 1 7 の例では、ゲインが $\times 1$ 、 $\times 2$ の低いゲインの場合、明時のゲインエラーよりも光子 (フォトン) ショットノイズが支配的であることから、N M O S トランジスタ N T 4 2 , N T 4 4 のゲートを電源電位 V D D に接続し、テレスコピックアンプとして機能させない。

一方、ゲインが $\times 4$ 、 $\times 8$ の高いゲインの場合は、入力レンジが小さいため、N M O S トランジスタ N T 4 2 , N T 4 4 のゲートをテレスコピック電位 V t r に接続し、高いゲインのテレスコピックアンプとして機能させ、明時のゲインエラーを低減する。

20

【 0 2 5 2 】

本第 3 の実施形態によれば、上述した第 1 および第 2 の実施形態の効果を得られることはもとより、差動出力型のグローバルシャッタ画素に対して、キャパシタ等を追加することなく、小面積で差動出力信号の C D S 処理を実現することができる。

【 0 2 5 3 】

(第 4 の実施形態)

図 1 8 は、本発明の第 4 の実施形態に係るカラム読み出し回路の構成例を示す回路図である。

30

図 1 9 (A) および (B) は、本第 4 の実施形態に係る A D 変換部に採用される反転二分探索法に対応した探索信号入力部の構成例を説明するための図である。

【 0 2 5 4 】

本第 4 の実施形態に係る固体撮像装置 1 0 C が上述した第 1、第 2 および第 3 の実施形態に係る固体撮像装置 1 0 , 1 0 A , 1 0 B と異なる点は、カラム読み出し回路 4 0 における A D 変換部 4 3 0 C の探索信号入力部 4 3 2 C の構成にある。

【 0 2 5 5 】

第 1 ~ 第 3 の実施形態においては、探索信号 V r a m p として、第 1 のモード信号 M O D 1 (シングルエンドのローリングシャッタモード)、第 3 のモード信号 M O D 3 (差動のローリングシャッタモード)、第 4 のモード信号 M O D 4 (差動のグローバルシャッタモード) のとき第 1 の探索信号 V r a m p 1 が探索信号入力部 4 3 2 に供給される。

40

そして、第 1 ~ 第 3 の実施形態においては、探索信号 V r a m p として、第 2 のモード信号 M O D 2 (シングルエンドのグローバルシャッタモード) のとき第 2 の探索信号 V r a m p 2 が探索信号入力部 4 3 2 に供給される。

すなわち、第 1 ~ 第 3 の実施形態においては、A D 変換部 4 3 0 にレベル反転させた第 1 の探索信号 V r a m p 1 と第 2 の探索信号 V r a m p 2 を採用している。

【 0 2 5 6 】

これに対して、本第 4 の実施形態においては、A D 変換部 4 3 0 C を S A R 型 (逐次比較型) A D C として構成し、探索信号の供給に反転二分探索を採用している。

【 0 2 5 7 】

50

探索信号入力部 432C は、複数 (x 個) の第 4 のサンプリングキャパシタ $C_{s4-1} \sim C_{s4-x}$ 、および複数のスイッチ部 $SW_{432-1} \sim SW_{432-x}$ を含んで構成されている。

第 4 のサンプリングキャパシタ $C_{s4-1} \sim C_{s4-x}$ は、一方の電極 (端子) が AD 変換部 430C の入力ノード ND_{431} に共通に接続され、他方の電極 (端子) が、対応して配置されたスイッチ部 $SW_{432-1} \sim SW_{432-x}$ の端子 a に接続されている。

スイッチ部 $SW_{432-1} \sim SW_{432-x}$ の端子 b が参照電位 V_{ref} に接続され、端子 c がグランド GND に接続されている。

【0258】

10
 カラム読み出し回路 40C に読み出しリセット信号 V_{RST} 、読み出し輝度信号 V_{SIG} の順に読み出される第 1 の画素信号 $pixout_1$ が入力される場合、スイッチ部 $SW_{432-1} \sim SW_{432-x}$ は制御信号 CTR_{SAR} により参照電位 V_{ref} とグランド GND で、この順に交互にスイッチするように制御される。

このように、スイッチ部 $SW_{432-1} \sim SW_{432-x}$ を制御信号 CTR_{SAR} により参照電位 V_{ref} とグランド GND で、この順に交互にスイッチすることにより、図 19 (A) に示すように、読み出しリセット信号 V_{RST} 、読み出し輝度信号 V_{SIG} の順に読み出される第 1 の画素信号 $pixout_1$ を AD 変換することができる。

【0259】

20
 カラム読み出し回路 40C に読み出し輝度信号 V_{SIG} 、読み出しリセット信号 V_{RST} の順に読み出される第 2 の画素信号 $pixout_2$ が入力される場合、スイッチ部 $SW_{432-1} \sim SW_{432-x}$ は制御信号 CTR_{SAR} によりグランド GND と参照電位 V_{ref} で、この順に交互にスイッチするように制御される。

このように、スイッチ部 $SW_{432-1} \sim SW_{432-x}$ を制御信号 CTR_{SAR} によりグランド GND と参照電位 V_{ref} 、この順に交互にスイッチすることにより、図 19 (B) に示すように、読み出し輝度信号 V_{SIG} 、読み出しリセット信号 V_{RST} の順に読み出される第 2 の画素信号 $pixout_2$ を AD 変換することができる。

【0260】

本第 4 の実施形態によれば、上述した第 1、第 2 および第 3 の実施形態の効果と同様の効果を得ることができる。

【0261】

30
 以上説明した固体撮像装置 10, 10A ~ 10C は、デジタルカメラやビデオカメラ、携帯端末、あるいは監視用カメラ、医療用内視鏡用カメラなどの電子機器に、撮像デバイスとして適用することができる。

【0262】

図 20 は、本発明の実施形態に係る固体撮像装置が適用されるカメラシステムを搭載した電子機器の構成の一例を示す図である。

【0263】

本電子機器 300 は、図 20 に示すように、本実施形態に係る固体撮像装置 10, 10A ~ 10C が適用可能な CMOS イメージセンサ 310 を有する。

40
 さらに、電子機器 300 は、この CMOS イメージセンサ 310 の画素領域に入射光を導く (被写体像を結像する) 光学系 (レンズ等) 320 を有する。

電子機器 320 は、CMOS イメージセンサ 310 の出力信号を処理する信号処理回路 (PRC) 330 を有する。

【0264】

信号処理回路 330 は、CMOS イメージセンサ 310 の出力信号に対して所定の信号処理を施す。

信号処理回路 330 で処理された画像信号は、液晶ディスプレイ等からなるモニタに動画として映し出し、あるいはプリンタに出力することも可能であり、またメモ리카ード等の記録媒体に直接記録する等、種々の態様が可能である。

【0265】

10

20

30

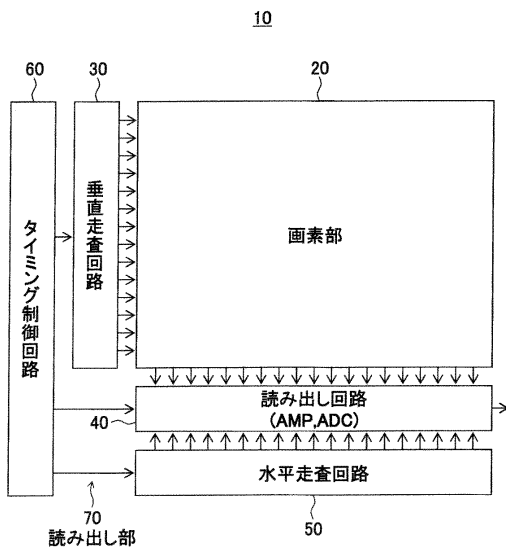
40

50

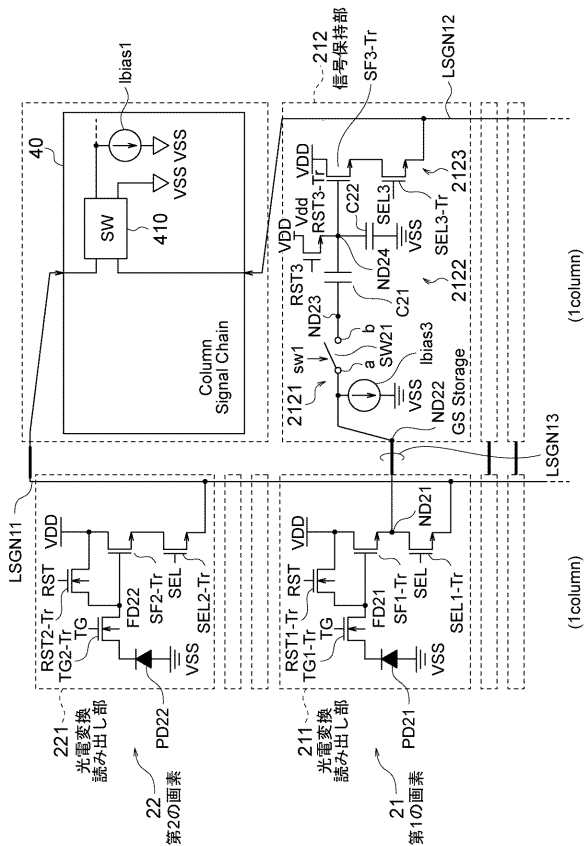
上述したように、CMOSイメージセンサ310として、前述した固体撮像装置10，10A～10Cを搭載することで、高性能、小型、低コストのカメラシステムを提供することが可能となる。

そして、カメラの設置の要件に実装サイズ、接続可能ケーブル本数、ケーブル長さ、設置高さなどの制約がある用途に使われる、たとえば、監視用カメラ、医療用内視鏡用カメラなどの電子機器を実現することができる。

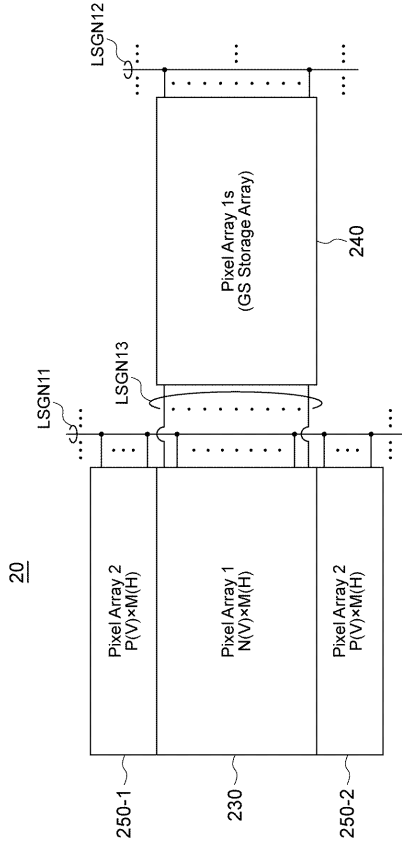
【図1】



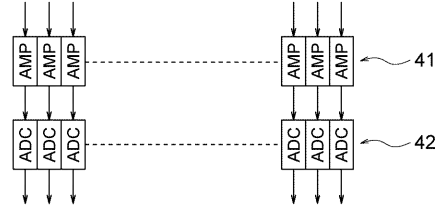
【図2】



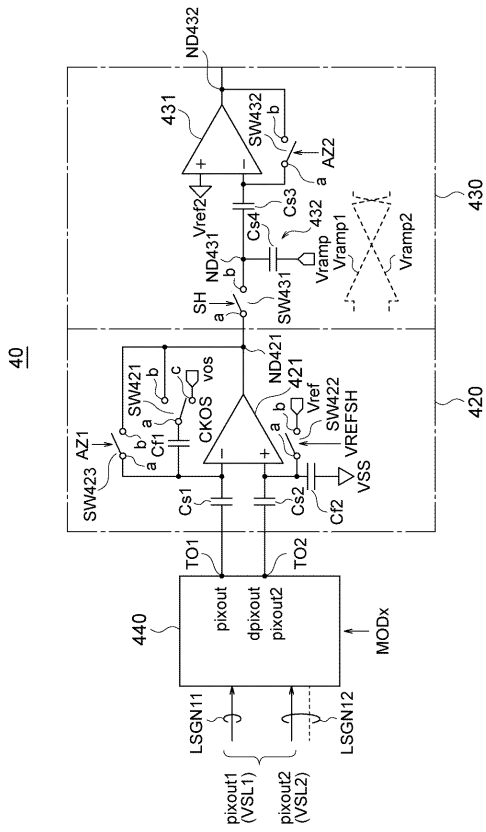
【 図 3 】



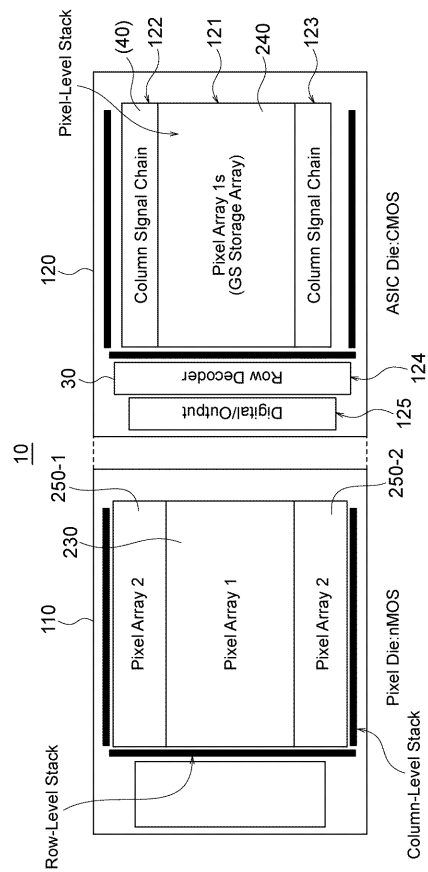
【 図 4 】



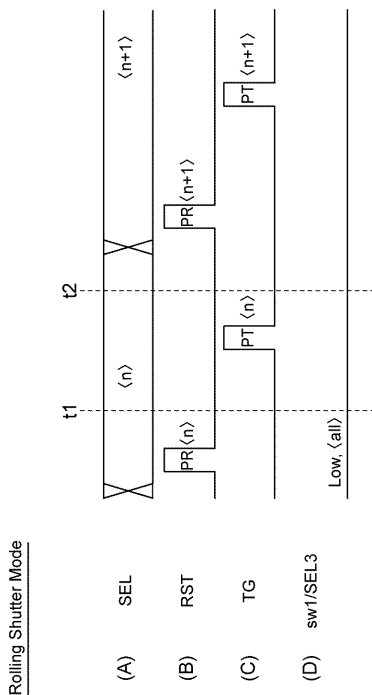
【 図 5 】



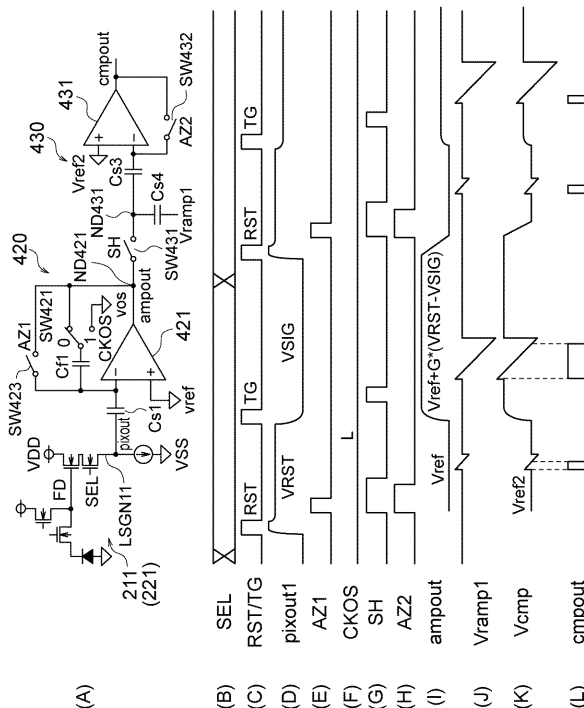
【 図 6 】



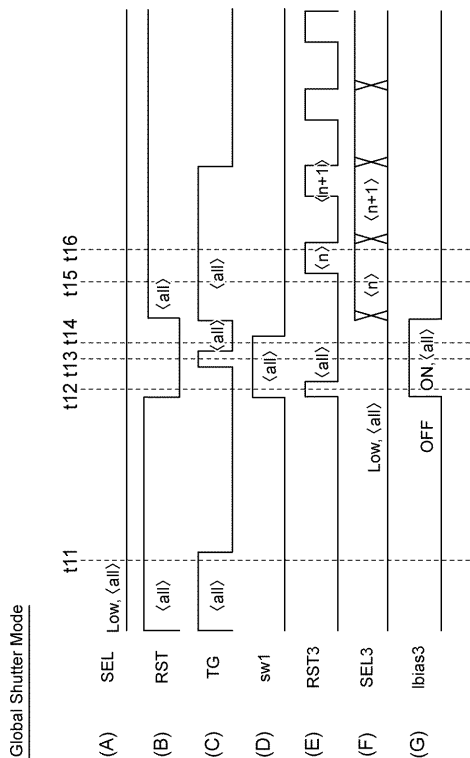
【 図 7 】



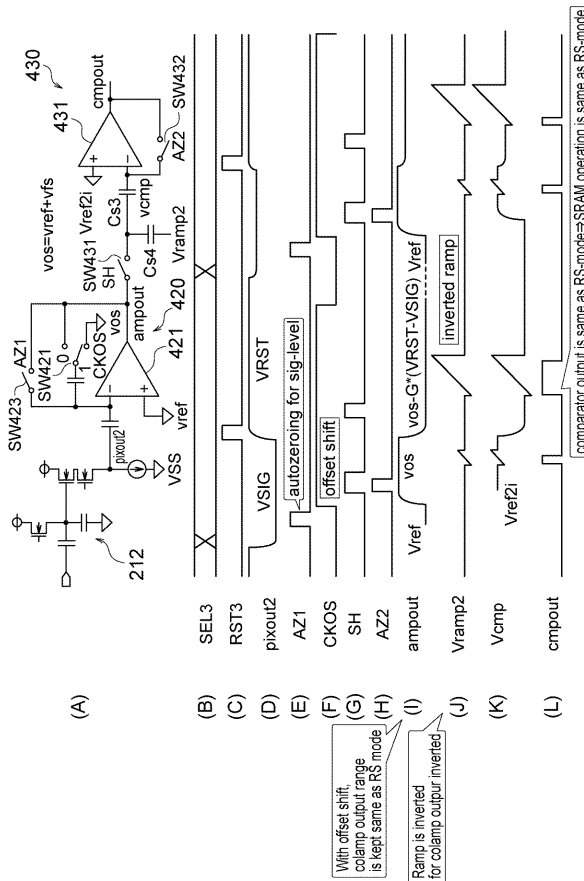
【 図 8 】



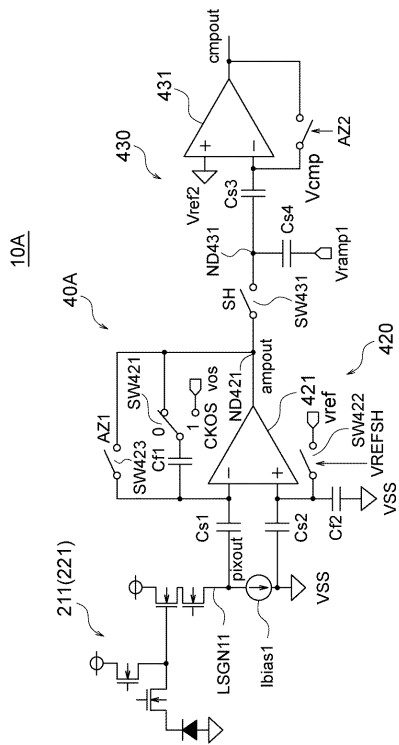
【 図 9 】



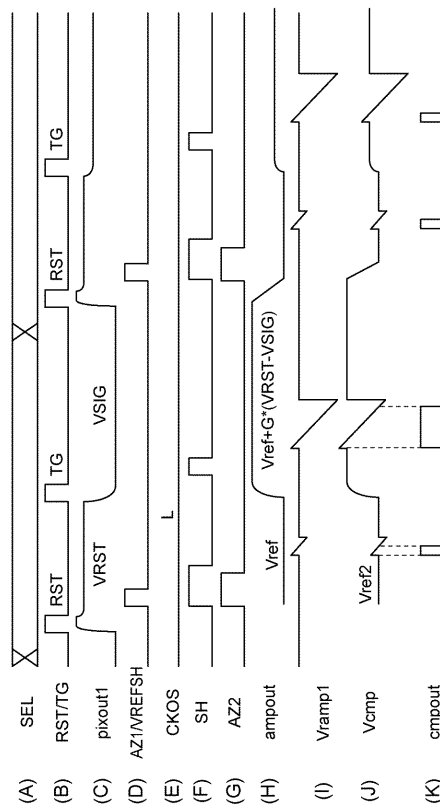
【 図 10 】



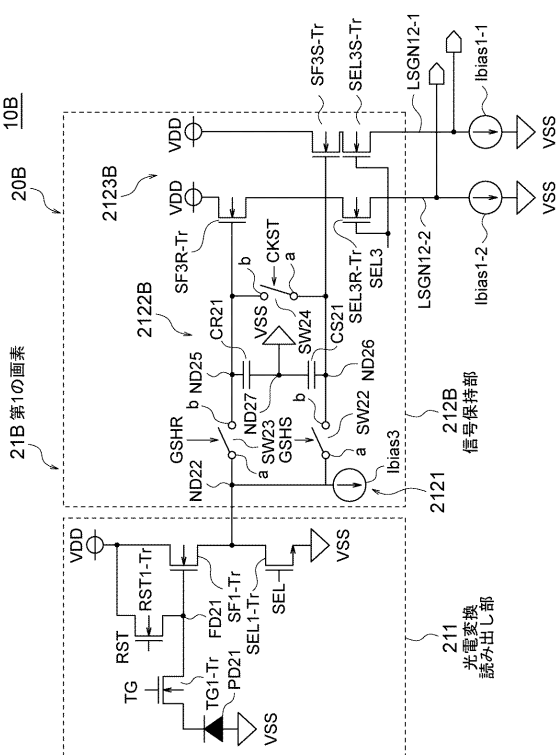
【 図 1 1 】



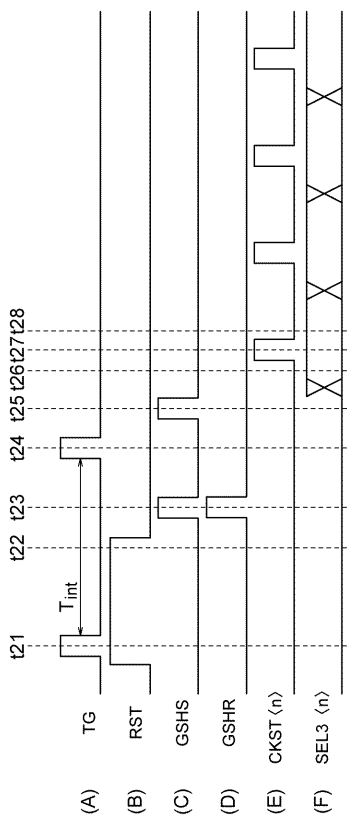
【 図 1 2 】



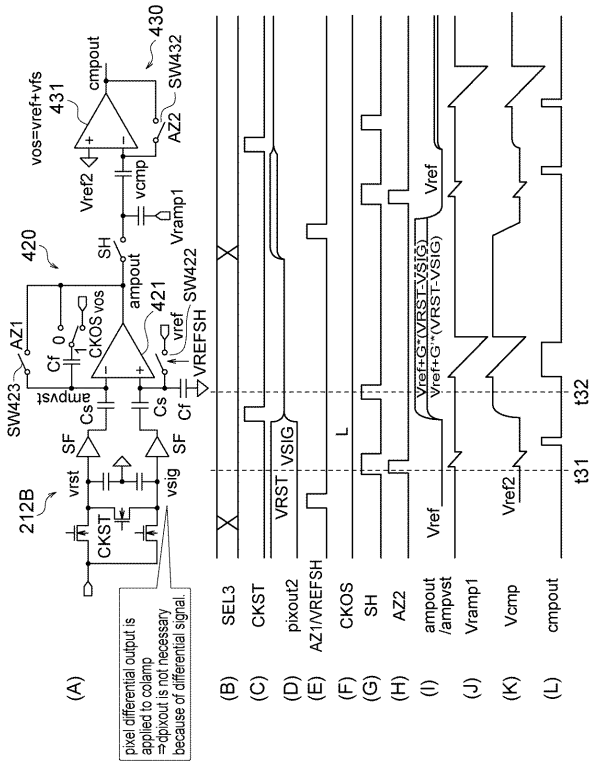
【 図 1 3 】



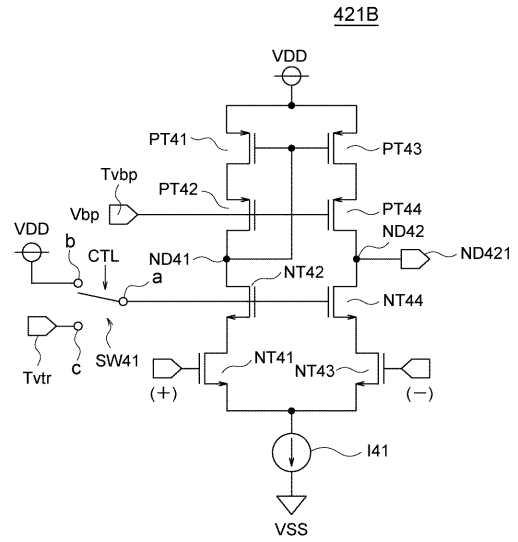
【 図 1 4 】



【 図 1 5 】



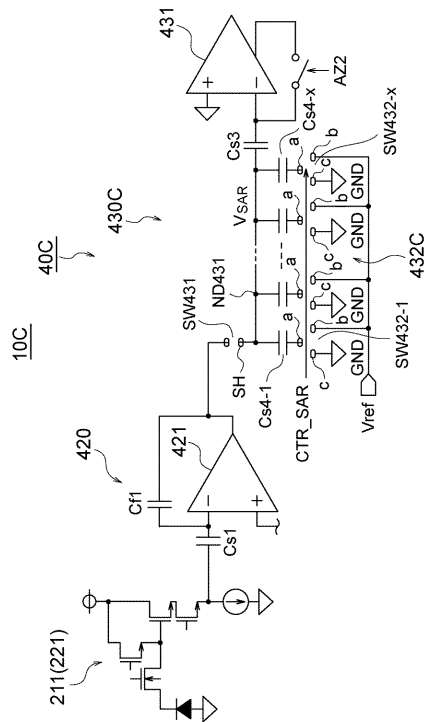
【 図 1 6 】



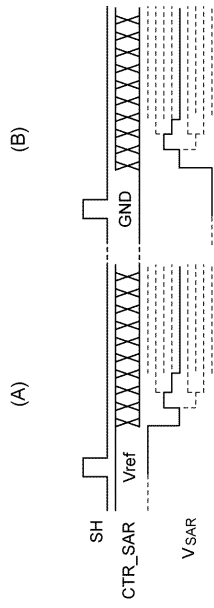
【 図 1 7 】

| gain [V/V] | gain_vst [V/V] | max(vrst-vsig) [V] | max(ampvst) [V] | telesco -amp |
|------------|----------------|--------------------|-----------------|--------------|
| 1.0 | 0.500 | 1.000 | 0.500 | off |
| 2.0 | 0.667 | 0.500 | 0.333 | off |
| 4.0 | 0.800 | 0.250 | 0.200 | on |
| 8.0 | 0.889 | 0.125 | 0.111 | on |
| 0.5 | 0.333 | 2.000 | 0.667 | off |

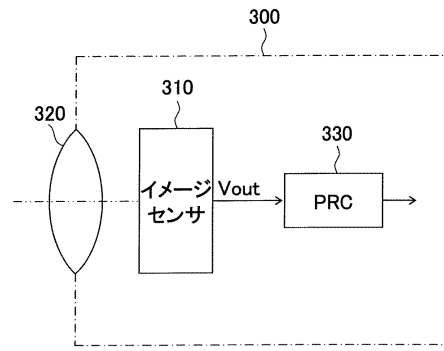
【 図 1 8 】



【図19】



【図20】



フロントページの続き

(56)参考文献 特開2015-091081(JP,A)
特開2013-055447(JP,A)
特開2012-019410(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/30 - 5/378