

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4167349号
(P4167349)

(45) 発行日 平成20年10月15日(2008.10.15)

(24) 登録日 平成20年8月8日(2008.8.8)

(51) Int.Cl.		F I			
HO4B	1/10	(2006.01)	HO4B	1/10	N
HO4B	15/04	(2006.01)	HO4B	15/04	
HO4B	1/08	(2006.01)	HO4B	1/08	Z
HO4B	1/26	(2006.01)	HO4B	1/26	E
			HO4B	1/26	R

請求項の数 6 (全 8 頁)

(21) 出願番号 特願平11-175861
 (22) 出願日 平成11年5月20日(1999.5.20)
 (65) 公開番号 特開2000-332629(P2000-332629A)
 (43) 公開日 平成12年11月30日(2000.11.30)
 審査請求日 平成18年5月16日(2006.5.16)

(73) 特許権者 591220850
 新潟精密株式会社
 新潟県上越市西城町2丁目5番13号
 (73) 特許権者 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100103171
 弁理士 雨貝 正彦
 (72) 発明者 宮城 弘
 神奈川県横浜市港北区新吉田庁1265番
 地1 イトーセア綱島204号室
 審査官 甲斐 哲雄

最終頁に続く

(54) 【発明の名称】 受信機

(57) 【特許請求の範囲】

【請求項1】

アンテナから受信したアナログ信号を処理するアナログ信号処理部と、該アナログ信号処理部の動作制御等を行うデジタル信号処理部と、前記アナログ信号処理部の出力を処理するオーディオプロセッサ部とを有する受信機において、前記アナログ信号処理部及び前記デジタル信号処理部を夫々略矩形形状サブストレートの反対側に配置し、前記オーディオプロセッサ部を中央部に配置して同じサブストレート上にIC化することを特徴とする受信機。

【請求項2】

前記アナログ信号処理部及び前記デジタル信号処理部は、夫々1以上の回路ブロックに分割し、夫々ガードリングにより包囲することを特徴とする請求項1の受信機。

【請求項3】

前記アナログ信号処理部は、ミキサ及び中間周波数増幅器を含むヘテロダイン方式であり、前記デジタル信号処理部は、PLL周波数シンセサイザを含み、前記ミキサに局部発振信号を供給することを特徴とする請求項1の受信機。

【請求項4】

前記アナログ信号処理部は、FM及びAM信号受信回路を含むことを特徴とする請求項1の受信機。

【請求項5】

前記ICは、MOSプロセスにより形成されことを特徴とする請求項1の受信機。

10

20

【請求項 6】

前記 IC は、前記アナログ信号処理部及び前記デジタル信号処理部を夫々バイポーラ及び MOS プロセスで形成するバイポーラ MOS 混合 IC であることを特徴とする請求項 1 の受信機

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は受信機、特に AM / FM ラジオ受信機及び携帯電話機等の小型軽量且つ低消費電力化に好適である受信機に関する。

【0002】

【従来の技術】

AM / FM ラジオ受信機及び携帯電話機等の受信機は一般的に音声信号を変調して無線周波数 (RF) の電波で発射され、斯る電波をアンテナで受信して所定の信号処理を行った後、スピーカ又はイヤホン (或はヘッドホン) で再生して聴くアナログ電子機器の代表例である。

【0003】

しかし、最近の半導体集積回路 (IC) 技術及びデジタル技術の進歩は顕著であり、斯るアナログ電子機器分野にもマイクロプロセッサを含む多くの IC 及びデジタル技術が採用されている。例えば、最近の受信機の選局回路、音量調節回路等にはデジタル回路が多用され、最早受信機はアナログ及びデジタル混在の電子機器となっている。

【0004】

受信機の代表例として、典型的なスーパーヘテロダイン方式の AM 及び FM 両用 (2バンド) ラジオ受信機の構成を示すブロック図は図 2 に示すとおりである。

【0005】

図 2 に示す如く、典型的な AM / FM ラジオ受信機 10 は、放送局から発射された RF 信号を受信するアンテナ 20 と、FM 受信部 30、AM 受信部 40 (両受信部 30、40 を総称してアナログ信号処理部という)、選局用 PLL (フェーズロックループ) 周波数シンセサイザ部 (デジタル信号処理部) 50、音量や音質等を調節するオーディオプロセッサ部 60、出力増幅部 70 及びスピーカ (又はイヤホン) 80 より構成される。

【0006】

FM 受信部 30 は、RF 増幅器 31、FM ミキサ 32、IF (中間周波数) フィルタ 33、IF 増幅器 34、IF フィルタ 35、IF リミタ増幅器 36、RM 検波器 37 及び FM 復調器 38 を有する。RF 増幅器 31 は、アンテナ 20 で受信した FM 信号を所定利得で増幅する。FM ミキサ 32 は、RF 増幅器 31 により増幅された受信 RF 信号と PLL 周波数シンセサイザ部 50 からの局部発振信号とを混合する。IF フィルタ 33 は、FM ミキサ 32 の出力のうち希望する IF 信号 (例えば 10.7 MHz) を選択して通過させるフィルタである。IF 増幅器 34 は、IF フィルタ 33 の出力を高利得で増幅する。IF フィルタ 35 は、IF 増幅器 34 の出力のうち希望する IF 信号を通過させる。IF リミタ増幅器 36 は、振幅を制限して不要な AM 成分の除去として動作する。FM 検波器 37 は、IF リミタ増幅器 36 からの FM 信号を FM 検波して、音声信号を出力する。また、FM 復調器 38 は、FM 検波器 37 からの出力信号からステレオ信号の L (左) 及び R (右) 信号等を復調する。

【0007】

次に、AM 受信部 40 は、RF 増幅器 41、第 1 ミキサ 42、第 1 の IF フィルタ 43、第 2 ミキサ 44、第 2 の IF フィルタ 45、第 2 の IF 増幅器 46 及び AM 検波器 47 を有する。RF 増幅器 41 は、アンテナ 20 で受信した RF 信号を所定利得で増幅する。第 1 ミキサ 42 は、RF 増幅器 41 からの RF 信号を PLL 周波数シンセサイザ部 50 からの局部発振信号と混合する。第 1 の IF フィルタ 43 は、第 1 ミキサ 42 の出力のうち、例えば 10.8 MHz である第 1 の IF 信号成分を通過させる。第 2 ミキサ 44 は、第 1 フィルタ 43 からの第 1 の IF 信号を、PLL 周波数シンセサイザ部 50 からの局部発振

10

20

30

40

50

信号と混合し、例えば450KHzの第2のIF信号を得る。第2のIFフィルタ45は、第2ミキサ44からの第2のIF信号を後段へ通過させる。第2のIF増幅器46は、第2のIF信号を所定利得で増幅する。AM検波器47は、第2のIF信号をAM検波して、それに含まれる音声信号を出力する。

【0008】

尚、AM受信部40は、RF増幅器41の出力を単一のミキサにより希望する例えば450KHzの最終IF信号に変換してもよい。しかし、上述の如く、2段のIFミキサ及びIF周波数選定により、AM受信部40及びFM受信部30のPLL周波数シンセサイザ部50の構成が簡単になる。

【0009】

PLL周波数シンセサイザ部50は、FM受信部30及びAM受信部40の各ミキサ32、42、44に対して必要な局部発振信号(又は周波数)を発生する為の回路である。このPLL周波数シンセサイザ部50は、FM/AM用VCO(電圧制御発振器)51、1/2分周器52、プログラブルカウンタ53、位相比較器54、LPF(低域通過フィルタ)55、1/10分周器56、基準分周器57及び基準発振器58を有する。FM/AM用VCO51は、増幅器、LC(インダクタ、キャパシタ)共振素子及び可変容量ダイオード等の可変キャパシタンス素子を含む従来構成の電圧制御可変発振器であり、制御電圧により可変キャパシタンス素子のキャパシタンスを変化させて発振周波数を一定範囲で変化させる。1/2分周器52は、VCO51の発振信号周波数を1/2分周する。プログラブルカウンタ53は、1/2分周器52からの出力パルスを任意に設定する整数(Nという)計数する毎に位相比較器54に対してパルスをしゅつりょくする。基準発振器58は、例えば水晶振動子を含む高精度の基準信号を発生する。この例では、10.35MHzの基準周波数を発振する。基準分周器57は、基準発振器58の出力周波数を予め決めた分周比(例えば1/128)で分周する。位相比較器54は、プログラムカウンタ53の計数出力と、基準分周器57からの分周基準信号との位相を比較して、位相差に応じた比較出力を発生する。LPF55は、位相比較器54の出力を平滑化して、VCO51の可変キャパシタンス素子に印加して、VCO51の発振出力を制御する。1/10分周器56は、VCO51の発振出力を1/10分周してAM受信部40の第1ミキサ42に出力する。また、VCO51の発振出力は、FM受信部30のFMミキサ32に直接供給される。

【0010】

斯かる構成のPLL周波数シンセサイザ部50によると、プログラブルカウンタ53の計数値設定をN、基準分周器57の分周比を1/n、VCO51の発振周波数をfo、基準発振器58の発振周波数をfrとすると、fo及びfr間には次の関係が成立する。

$$f_o \times 1/2 \times 1/N = f_r \times 1/n$$

$$f_o = (2N/n) \times f_r$$

この式から明らかな如く、VCO51の発振周波数foは、基準発振器58の基準周波数frに対してNに比例する倍数となる。従って、プログラブルカウンタ53の設定値Nを変更することにより基準周波数frの任意倍数の局部発振周波foがVCO51から出力されることとなる。

【0011】

オーディオプロセッサ部60は、入力セクタ部61、ボリューム/左右バランスコントロール部62、BASSコントロール部63、TREBLEコントロール部64、FADERコントロール部65及びミュート部66を有する。入力セクタ部61は、出力増幅器70及びスピーカ80へ出力する信号源をFM、AM又はテーププレーヤ等の外部(AUX)から選択する。ボリューム/左右バランスコントロール部62は、スピーカ80から出力される音量や左右スピーカのバランス等を調整する。BASSコントロール部63及びTREBLEコントロール部64は、フィルタ回路であり、夫々低音及び高音域の音質を調整する。FADERコントロール部65は、車内の前後にスピーカがあれば夫々の音量をコントロールする。ミュート部66は、スピーカ80からの出力を遮断する。

【 0 0 1 2 】

尚、同調 D A C (デジタル / アナログ変換機) 9 0 は、 F M 及び A M 用 R F 増幅器 3 1、4 1 に対する、デジタル制御入力信号をアナログ直流値に変換して、各 R F 増幅器 3 1、4 1 の同調周波数を変化させる。これにより、アンテナ 2 0 が受信した R F 信号中、必要とする周波数の信号を高利得で増幅可能にする。

【 0 0 1 3 】

上述の如き構成の F M / A M 2 バンドラジオ受信機、特に携帯型受信機にあつては、小型軽量化及び低価格の為に I C 化が進んでいる。I C には、バイポーラ I C とユニポーラ (又は M O S) I C の 2 種類がある。前者は一般に高周波回路に好適であるが、製造工程が複雑であるので高価になり、消費電力も比較的大きい。他方、後者、特に C M O S (相補 M O S) I C は、製造工程が簡単且つ製造が安価であるが、高周波アナログ回路ではなくメモリやカウンタを含むデジタル回路に使用されるのが一般的である。

10

【 0 0 1 4 】

小型軽量且つ安価な受信機を得るには、全ての回路を単一 I C (1 チップ) に集積化するのが好ましい。しかし、上述した I C の特性の為に且つデジタル回路はアナログ回路よりも発生するノイズが多い為に、現在市販される最も I C 化の進んでいるラジオ受信機であっても、図 3 に示す如き構成である。

【 0 0 1 5 】

即ち、I C 化ラジオ受信機 1 0 0 は、アンテナ 1 0 1、アナログ信号処理部 1 0 2、デジタル信号処理部 1 0 3、出力増幅部 1 0 4 及びスピーカ 1 0 5 より構成される。アナログ信号処理部 1 0 2 は、図 2 中の増幅器、ミキサ及び検波器等を含み、一般に 1 個以上のバイポーラ I C により構成される。他方、デジタル信号処理部 1 0 3 は、図 2 中の P L L 周波数シンセサイザ部等を含み、例えば C M O S 型 I C により構成されている。

20

【 0 0 1 6 】

【 発明が解決しようとする課題 】

しかし、図 3 のラジオ受信機 1 0 0 の如く、アナログ信号処理部 1 0 2 とデジタル信号処理部 1 0 3 とを 2 以上の異種の I C にて構成すると、単一 I C に比して多くの部品 (デバイス) を必要とするので、一層の小型軽量化を困難とすると共に組み立て製造工程数の増加等により安価とするのが困難であった。しかも、例えばアナログ / デジタル信号処理回路を単一 I C チップに集積化しても、デジタル信号処理部からのノイズがアナログ信号処理部に混入して、ラジオ受信機等の重要な特性である S / N 比を十分高くすることが不可能と考えられていた。

30

【 0 0 1 7 】

【 発明の目的 】

本発明の目的は、上述したアナログ信号処理部及びデジタル信号処理部の両方を単一 I C チップに集積化して小型軽量化を図ると共に受信機が必要とする十分な S / N 比等の電気的特性を得ることが可能な受信機を提供することである。

【 0 0 1 8 】

【 課題を解決する為の手段 】

本発明の受信機によると、アナログ信号処理部及びデジタル信号処理部を略矩形状の同じ半導体サブストレートに集積して形成する。アナログ信号処理部は、半導体サブストレートの略一辺に沿って配置され、デジタル信号処理部は半導体サブストレートの前記一辺と反対側の辺に沿って配置され、オーディオプロセッサ部を略中央部分に配置することを特徴とする。

40

【 0 0 1 9 】

本発明の好適実施形態例によると、各回路部分は、可能な限り細かく分割して各々ガードリングにて包囲することによりノイズを低減する。

【 0 0 2 0 】

好ましくは、アナログ信号処理部及びデジタル信号処理部の双方を M O S トランジスタで集積化し、製造コストの低減及び消費電力化を図る。

50

【 0 0 2 1 】

製造原価よりも電气的特性を優先させる場合には、アナログ信号処理部はバイポーラ I C、デジタル信号処理部は M O S 型 I C によるバイポーラ M O S 混合 I C により同じ半導体サブストレートに集積してもよい。

【 0 0 2 2 】

また、アナログ信号処理部は F M 及び A M 受信部の双方を含み、局部発振器を F M 及び A M 受信部の双方のミキサ部の近傍に配置することを特徴とする。

【 0 0 2 3 】

【 発明の実施の形態 】

以下、本発明の受信機の好適実施形態例を添付図 1 を参照して詳細に説明する。

10

【 0 0 2 4 】

図 1 は、本発明による受信機の主要構成素子であるアナログ及びデジタル信号処理用 I C のレイアウト（回路配置図）を示す。図 1（A）は、本発明の受信機用 I C の基本レイアウトを示し、図 1（B）は図 2 に示した F M / A M ラジオ受信機のアナログ / デジタル信号処理用 I C のレイアウトを示す。

【 0 0 2 5 】

先ず図 1（A）を参照して説明する。この受信機用 I C は、略矩形状の半導体サブストレートに例えば周知の M O S プロセスで形成される。図示せずも、このサブストレート 1 の外周には、例えば基板との相互接続用パッドが多数形成されている。この受信機用 I C には、アナログ信号処理部 2 とデジタル信号処理部 3 との双方を同じ半導体サブストレート 1 上に集積形成される。

20

【 0 0 2 6 】

アナログ信号処理部 2 は、サブストレート 1 の一辺 1 a に沿って、又は一辺 1 a 近傍に配置形成される。次に、デジタル信号処理部 3 は、サブストレート 1 の一辺 1 a と反対の辺 1 b に沿って配置形成される。このデジタル信号処理部 3 は、受信機の例えば P L L 周波数シンセサイザ部である。更に、サブストレート 1 の略中央部には、受信機のアナログ信号処理部 2 のミキサに選局用局部発振器 4 及びオーディオプロセッサ部 5 が配置形成されるのが好ましい。

【 0 0 2 7 】

受信機用アナログ / デジタル信号処理用 I C は、好ましくは各部分を全体的又は、複数領域に分各してガードリング 6 を形成し、各回路部分間を電气的に隔離して、ノイズの混入又は発生を防止する。ガードリング 6 は、各部分を可能な限り細分割して包囲するのがノイズ低減には有効である。

30

【 0 0 2 8 】

受信機用 I C を上述の如く構成することにより、ノイズ発生量が最も大きいデジタル信号処理部 3 をアナログ信号処理部 2 から離間し、ノイズを低減することが可能になる。また、サブストレート 1 の中央部にオーディオプロセッサ部 5 を配置することにより、デジタル信号処理部 3 からアナログ信号処理部 2 へ到達するノイズを一層低減することが可能である。斯る配置にすることにより、従来不可能と考えられていたアナログ / デジタル信号処理部の双方を単一サブストレートに集積可能である。特に、製造工程がバイポーラ I C よりも簡単、安価且つ低消費電力である周知の M O S 型 I C により形成することが可能になる。

40

【 0 0 2 9 】

次に、図 1（B）は、図 2 のブロック図に示した F M / A M ラジオ受信機用アナログ信号処理部及びデジタル信号処理部を含む I C のレイアウトを示す。尚、図 2 中の出力増幅器 7 0 及びスピーカ 8 0 は、この I C から除外している。但し、十分な放熱機構を一体又は別体に設けることにより、出力増幅器 7 0 も同じサブストレート上に形成して I C 化することも可能である。

【 0 0 3 0 】

図 1（B）において、アナログ信号処理部はサブストレート 1 の一辺 1 a に沿って配置さ

50

れるFM受信部、即ちFM用RF増幅器及びミキサ部2a、FM用IF部2b、IFリミタ増幅部2c、FM検波部2d、FMステレオデコーダ部2e及びIF増幅器の利得を自動調整するAGC部2fが配置形成される。これら各部2a~2fは、個別のガードリングで包囲される。また、AM受信部、即ちAM用RF増幅器及びミキサ部2Aが上述したFM用RF増幅器及びミキサ部2aと略並列に配置形成されている。更に、AM用IF及び検出器部2Bがサブストレート1の中央部に配置形成されている。

【0031】

サブストレート1の他辺1bに沿ってデジタル信号処理部のPLL周波数シンセサイザ部3aが配置形成され、更に必要に応じて選択された放送局の周波数を計数表示する周波数カウンタ部3bが配置形成される。

10

【0032】

次に、FM及びAM受信回路30、40のミキサ32及びAM第1ミキサ42に入力する局部発振器部4及びオーディオプロセッサ部5がサブストレート1の中央部に配置形成される。また、同調DAC7及びオーディオプロセッサ部5のFM受信部側に配置形成されている。また、これら各部は、ガードリング6により包囲され、シールドされている。

【0033】

図1(B)のICにあっても、図1(A)につき上述したICと実質的に同じ構成上の特徴を有し、且つ同様の効果を有する。

【0034】

以上、本発明のIC化された受信機の好適実施形態例を詳述した。しかし、本発明は斯る特定例のみに限定されるべきでなく、本発明の要旨を逸脱することなく特定用途に応じて種々の変形変更が可能であることが当業者には容易に理解できよう。例えば、FM及びAM受信部の一部の回路を必要に応じて別のIC又は個別デバイスで構成してもよい。また、ラジオ受信機以外の他の受信機にも適用可能である。

20

【0035】

【発明の効果】

上述の説明から理解される如く、本発明の受信機によると、アナログ信号処理部とデジタル信号処理部とをサブストレートの相互に離れた反対位置に配置し、中央部分にオーディオプロセッサ部を配置することにより、従来、ノイズ等問題で不可能であった受信機のアナログ及びデジタル信号処理部を同じサブストレートに配置して単一チップに集積することが可能である。従って、小型軽量化が可能であると共に安価に製造可能である。

30

【0036】

また、斯る構成により、全ての回路を製造工程が簡単で低消費電力のMOS型IC化が可能であるので、一層安価に製造可能である。

【図面の簡単な説明】

【図1】 本発明の受信機用のICの好適実施形態例のレイアウトを示し、(A)は基本配置図、(B)は具体的レイアウト例を示す。

【図2】 本発明が適用可能なFM/AMラジオ受信機の構成を示すブロック図である。

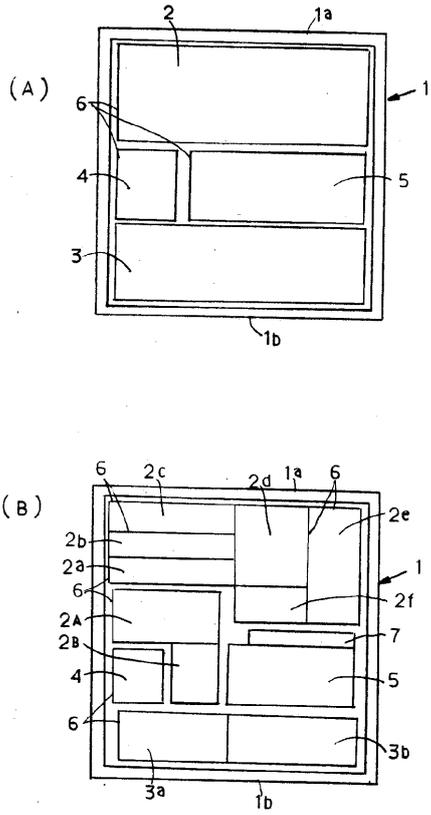
【図3】 従来のIC化受信機のブロック図である。

【符号の説明】

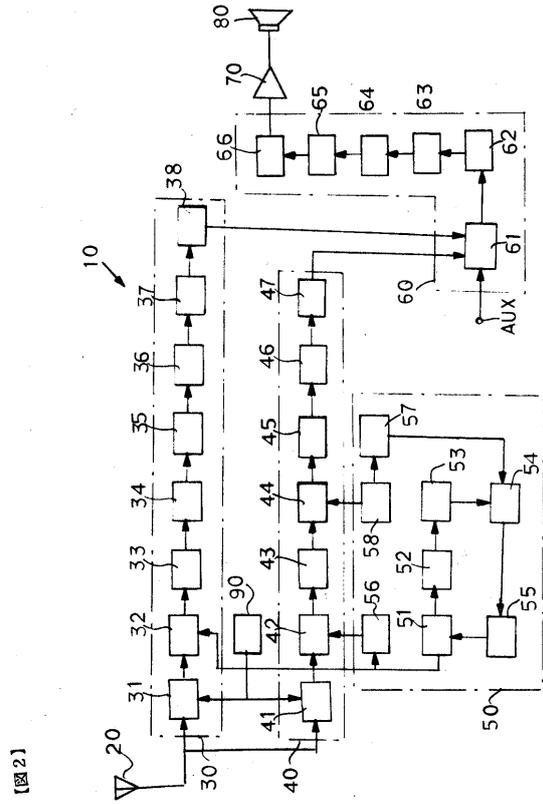
40

- 1 半導体サブストレート
- 1 a ... サブストレートの一辺
- 1 b ... サブストレートの反対辺
- 2 アナログ信号処理部
- 3 デジタル信号処理部
- 5 オーディオプロセッサ部
- 6 ガードリング

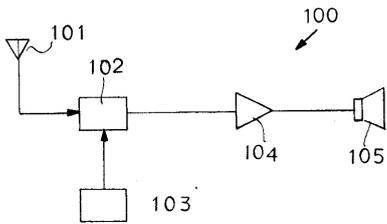
【図1】



【図2】



【図3】



フロントページの続き

- (56)参考文献 特開平06-334543(JP,A)
特開平06-284024(JP,A)
国際公開第98/012750(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H04B 1/10
H04B 15/00-15/06
H04B 1/08
H04B 1/26